

# BLDC MOTOR HIL REAL-TIME SIMULATION ON ZYNQ

**Ondřej Bartík**

Master Degree Programme (5), FEEC BUT

E-mail: xbarti07@stud.feec.vutbr.cz

Supervised by: Petr Blaha

E-mail: blahap@feec.vutbr.cz

**Abstract:** This paper is focused on real-time simulation of BLDC motor on SOC ZYNQ device. The simplified model of BLDC motor in Matlab/Simulink is introduced. Next, the scale method based on physical principles of motor is described. This method is used to decrease the calculation complexity. Last part of this paper is mentioned for FPGA implementation and the results comparison.

**Keywords:** ZYNQ, FPGA, BLDC motor, scaling, real-time, simulation

## 1 ÚVOD

Tento příspěvek se zabývá real-time simulací modelu BLDC motoru na platformě ZYNQ. Nejprve je zde stručně popsán BLDC motor a následně je uveden jeho zjednodušený model, který je vytvořen v prostředí *Matlab/Simulink*. Model je posléze doplněn o měřítka, které zjednodušují náročnost výpočtu modelu, protože stanovují limity vnitřních proměnných modelu a tím i definují náročnost na přesnost datových typů použitých pro výpočet modelu. Dále je v tomto příspěvku stručně popsána platforma ZYNQ a je také popsán způsob implementace modelu. Na závěr je zmíněna náročnost implementace modelu z hlediska prostředků platformy ZYNQ a výsledky implementace jsou porovnány s výsledky z modelu v prostředí *Matlab/Simulink*.

## 2 BLDC MOTOR

BLDC motor se skládá z rotoru s permanentními magnety a statoru s trojfázovým vinutím. Díky permanentním magnetům je rotor vždy spřažen se státorem a rotor se otáčí synchronně se statorovým magnetickým polem. Proto tento motor spadá do kategorie synchronních strojů. Statorová vinutí se zapojují buď to do trojúhelníkové topologie, nebo hvězdicové topologie, bez vyvedeného středového vodiče.

### 2.1 ZJEDNODUŠENÝ MATEMATICKÝ MODEL

Zjednodušený matematický model vychází z následujících zjednodušujících podmínek [1]. Hodnoty odporů a indukčností všech vinutí ve statoru jsou shodné, tvar magnetického toku ve vzduchové mezeře je pravoúhlý, fázový posuv mezi jednotlivými vinutími je  $120^\circ$  a součet všech fázových proudů je roven nule. Díky těmto zjednodušujícím podmínkám je možné matematický model BLDC motoru popsat pomocí dvou následujících rovnic [1]:

$$u_0(t) = 2Ri(t) + 2L\frac{di(t)}{dt} + 2Ce\omega(t) \quad (1)$$

$$2Cei(t) = J\frac{d\omega(t)}{dt} + M_z(t) \quad (2)$$

Kde  $u_0$  je napětí na statoru,  $R$  je odpor jednoho vinutí,  $L$  je indukčnost jednoho vinutí,  $C_e$  je konstanta stroje,  $J$  je moment setrvačnosti motoru a  $M_z$  je zátěžný moment. Rovnice (1) popisuje vztah mezi elektrickým napětím na statoru motoru a otáčkami a rovnice (2) pak vyjadřuje vztah mezi elektrickým proudem a momentem motoru. Tento model je vhodný pouze pro „Six-step“ řízení.

## 2.2 ROZŠÍŘENÍ MODELU O MĚŘÍTKA

pro potřeby implementace je nutné uvažovat náročnost na paměť a čas výpočtu. S oběma těmito aspekty souvisí velikost a typ použitých datových typů pro výpočet. Datové typy s plovoucí desetinnou čárkou představují velmi přesné řešení, ale nutný výpočetní výkon pro jednotlivé operace s nimi může být zbytečně vysoký a pro některé platformy nedosažitelný. Mnohem efektivnější řešení je použití datových typů s pevnou desetinnou čárkou. V závislosti na aplikaci, mohou tyto datové typy disponovat větší nebo i menší přesností než datové typy s plovoucí čárkou, ale operace s nimi jsou méně náročné na výpočetní výkon. Další nevýhodou datových typů s pevnou desetinnou čárkou je omezený číselný rozsah, který je nutné volit s ohledem k aplikaci. Pomocí měřítek je možné nutný číselný rozsah nastavit na 0 až 1, popřípadě -1 až 1. Následující rovnice jsou diferenčním ekvivalentem předchozích dvou rovnic s pomocí Eulerovy aproximace a také rozšířením o měřítko:

$$\frac{u_0(t)}{SC_u} = \frac{2Ri(k)}{SC_R SC_i} \frac{SC_R SC_i}{SC_u} + \frac{2L}{SC_L} \frac{SC_{T_s}(i(k+1) - i(k))}{T_s SC_i} \frac{SC_i SC_L}{SC_u SC_{T_s}} + \frac{2C_e \omega(k)}{SC_{C_e} SC_\omega} \frac{SC_{C_e} SC_\omega}{SC_u} \quad (3)$$

$$\frac{2C_e i(k)}{SC_{C_e} SC_i} = \frac{J}{SC_J} \frac{SC_{T_s}(\omega(k+1) - \omega(k))}{T_s SC_\omega} \frac{SC_\omega SC_J}{SC_u SC_{T_s}} + \frac{M_z(t)}{SC_{M_z}} \frac{SC_{M_z}}{SC_u} \quad (4)$$

Při vhodném zvolení měřítek (limitů)  $SC_u, SC_i, SC_\omega, SC_{M_z}$  a  $SC_{T_s}$ , například z katalogu výrobce, je možné dopočítat ostatní měřítko pro zbývající parametry.

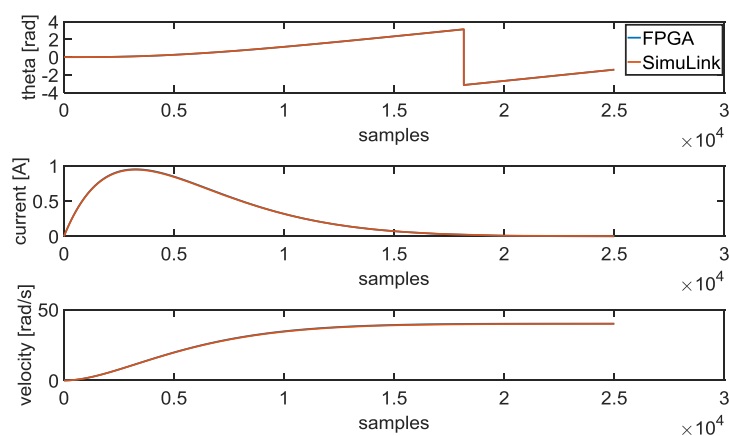
## 3 IMPLEMENTACE PRO OBVOD ZYNQ

Obvod ZYNQ je *System-On-Chip (SOC)* řešení firmy *Xilinx*. Tento obvod v sobě kombinuje dvoujádrový mikroprocesor s jádru ARM Cortex-A9 a FPGA obvod. Sběrníkový systém procesoru ARM je propojen s FPGA částí a díky tomuto je možné vytvářet paměťově mapované periferie pro procesor ARM uvnitř FPGA. Sběrníkový systém využívá protokol AXI4 Lite [2]. Výše popsaný model byl implementován jako paměťově mapovaná *IP core* periferie. Skrze sběrníkové rozhraní jsou nastaveny parametry modelu, je řízen výpočet (připravenost, spuštění, kontrola dokončení) a jsou vyčteny výsledky výpočtu. Periferie disponuje třemi možnostmi předložení výsledků. První je skrze sběrníkové rozhraní pomocí přístupu do registru periferie. Druhý je výstup z periferie, který je vhodný pro případné připojení dalších bloků, například regulátorů. Třetí možností je implementovaný FIFO buffer, který je určen pro případné posílání dat do procesoru skrze DMA rozhraní. Tento přístup pak umožňuje zkrátit průměrnou dobu jedné iterace výpočtu. Výpočetní náročnost jedné iterace bloku modelu je 16 taktů hodin, kde pro časování FPGA části je použito 100MHz hodinový signál. Pro potřeby puštění simulačního kroku a vyčtení dat z periferie z pohledu ARM procesu je potřeba 12 taktů sběrnice [2]. Kde sběrnice pracuje taktéž se 100MHz hodinovým signálem. Aby software vykonal všech 6 přístupů na sběrnici [3], musí pro každý přístup provést tři jednotaktové instrukce procesoru. Pracovní frekvence procesoru je 667MHz a doba pro provedení všech instrukcí je 54ns dlouhá. Celková časová náročnost jedné iterace simulace je tedy 334ns. Předpokládaná vzorkovací frekvence, a tedy frekvence se kterou budou jednotlivé kroky iterace prováděny je 1us. A protože výsledky výpočtu jsou validní v námi definovaný časový okamžik, lze prováděnou operaci označit za operaci prováděnou v reálném čase. Následující tabulka vyjadřuje procentuální spotřebu prostředků v hradlovém poli FPGA.

Prostředek	Procentuální spotřeba [%]
LUT	2,4
LUTRAM	0,5
FF	2,5
DSP	14,5

**Tabulka 1:** Náročnost implementace

Na následujícím obrázku lze vidět porovnání výsledku ze simulace z prostředí *Matlab/Simulink* a modelu implementovaném v hradlovém poli FPGA. Perioda vzorkování je 1us. První porovnávanou veličinou je poloha motoru v rozsahu  $\pm\pi$ , Další je pak proud vinutím statoru. Poslední Veličinou jsou otáčky motoru v *rad/s*.



**Obrázek 1:** porovnání simulací

#### 4 ZÁVĚR

Tento příspěvek se zabývá implementací zjednodušeného modelu BLDC motoru na platformě ZYNQ. Popisuje zjednodušený model BLDC motoru a definuje zjednodušující podmínky pro jeho tvorbu. Dále také popisuje využití datových typů s pevnou desetinnou čárkou a využití měřítek pro snížení náročnosti implementace na potřebný výkon cílené platformy. Dále také poskytuje porovnání výsledků výpočtu modelu z prostředí *Matlab/Simulink* a implementovaného modelu v hradlovém poli FPGA, které je části obvodu ZYNQ.

#### PODĚKOVÁNÍ

Tento výzkum byl podporován projektem CIDAM - Centrum inteligentních pohonů a pokročilého řízení strojů TE02000103, který je financovaný Technologickou agenturou České republiky.

#### REFERENCE

- [1] Dynamic Simulation of Electric Machinery: Using Matlab/Simulink. 1. Upper Saddle River, New Jersey 07458: PENTICE HALL PTR, 1997. ISBN 0-13-723785-5.
- [2] AXI Reference Guide. 2011. Dostupné také z: [http://www.xilinx.com/support/documentation/ip\\_documentation/ug761\\_axi\\_reference\\_guide.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug761_axi_reference_guide.pdf)
- [3] ARM Cortex-A9 Technical Reference Manual. 2008. Dostupné také z: [http://infocenter.arm.com/help/topic/com.arm.doc.ddi0388g/DDI0388G\\_cortex\\_a9\\_r3p0\\_trm.pdf](http://infocenter.arm.com/help/topic/com.arm.doc.ddi0388g/DDI0388G_cortex_a9_r3p0_trm.pdf)