

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A
KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV AUTOMATIZACE A MĚŘÍCÍ TECHNIKY



FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF CONTROL AND INSTRUMENTATION

UP GENERÁTOR SIGNÁLŮ UP SIGNAL GENERATOR

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

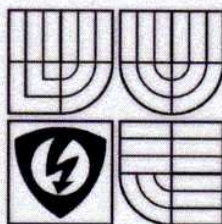
AUTOR PRÁCE
AUTHOR

Bc. JAROSLAV TESAŘ

VEDOUČÍ PRÁCE
SUPERVISOR

Ing. PAVEL KUČERA, Ph.D.

BRNO 2008



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav automatizace a měřicí techniky

Diplomová práce

magisterský navazující studijní obor
Kybernetika, automatizace a měření

Student: Tesař Jaroslav, Bc.

Ročník: 2

ID: 88515

Akademický rok: 2007/08

NÁZEV TÉMATU:

uP Generátor signálů

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte problematiku DA převodu a jednočipových mikropočítačů. Navrhněte systém, který bude generovat dvojici nezávislých harmonických signálů o definované frekvenci, amplitudě, zkreslení, fázového posuvu a stejnosměrné složce.

DOPORUČENÁ LITERATURA:

www.analog.com - Analog Devices.

www.keil.com - Keil Software

Termín zadání: 3.12.2007

Termín odevzdání: 26.5.2008

Vedoucí projektu: Ing. Pavel Kučera, Ph.D.

prof. Ing. Pavel Jura, CSc.
předseda oborové rady



UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Abstrakt

Tato práce se zabývá návrhem nízkofrekvenčního generátoru tří harmonických průběhů napětí o zadané frekvenci, amplitudě, stejnosměrném posunutí, vzájemném fázovém posuvu signálů a zkreslení signálu.

Navržený generátor je řízen jednočipovým mikropočítačem AT89C51ED2, generování průběhů napětí zajišťují tři 12bitové paralelní DA převodníky AD5340. Uživatelské rozhraní tvoří dvouřádkový alfanumerický LCD displej a čtyři ovládací tlačítka.

Navržené zařízení umožňuje generovat tři harmonické průběhy napětí s nastavitelnou amplitudou signálu 0 V až 3 V na frekvenčním rozsahu 0,05 Hz až 5 Hz. Stejnosměrné posunutí signálů lze nastavit od -3 do +3 V. Na prvním výstupním kanálu lze nastavit amplitudu druhé harmonické složky v rozsahu 0 až 1 V. U druhého a třetího výstupního kanálu lze nastavit fázový posuv vůči prvnímu kanálu od 0° do 359°.

Klíčová slova: generátor signálů, DA převodník, jednočipový mikropočítač.

Abstract

This work deals with the design of a low-frequency generator of three harmonic voltages with a given frequency, amplitude, DC bias, phase shift and signal distortion.

The designed generator is controlled by the single-chip microcontroller AT89C51ED2, generating of the waveforms ensure the three 12-bit DA converters AD5340. The user interface form four buttons and a two-row alphanumeric LCD.

The device allows generating of three harmonic waveforms with adjustable amplitude 0 – 3 V and with frequency range from 0,05Hz to 5Hz. The DC bias can be set from -3 V to +3 V, the amplitude of the second harmonic component can be set on the first output channel from 0 V to 1 V and the phase shifts of the second and third channel can be set from 0° to 359°.

Keywords: Signal Genereator, DA Converter, Microcontroller

Bibliografická citace

TESAŘ, J. *uP Generátor signálů*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2008. 59 stran, 7 příloh. Vedoucí diplomové práce Ing. Pavel Kučera, Ph.D.

P r o h l á š e n í

„Prohlašuji, že svou diplomovou práci na téma *uP Generátor signálů* jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.“

V Brně dne :

Podpis:

P o d ě k o v á n í

Děkuji tímto ing. Pavlu Kučerovi, Ph.D. za cenné připomínky a rady při vypracování diplomové práce

OBSAH

OBSAH	5
SEZNAM OBRÁZKŮ	7
SEZNAM TABULEK	8
1. ÚVOD	9
2. TEORETICKÝ ÚVOD	10
2.1 PARALELNÍ DA PŘEVODNÍKY [1].....	10
2.1.1 <i>Vlastnosti DA převodníků</i>	11
2.1.2 <i>Principy DA převodníků</i>	13
2.2 JEDNOČIPOVÝ MIKROPOČÍTAČ AT89C51ED2.....	15
2.2.1 <i>Organizace paměti AT89C51ED2</i>	17
2.2.2 <i>Přerušovací systém</i>	18
2.2.3 <i>Časovače/čítače</i>	18
2.2.4 <i>Rozhraní UART</i>	19
3. HW NÁVRH	20
3.1 NAVRŽENÉ ŘEŠENÍ GENERÁTORU.....	20
3.2 VOLBA SOUČÁSTKOVÉ ZÁKLADNY	21
3.3 OBVODOVÉ ŘEŠENÍ GENERÁTORU	22
3.3.1 <i>Napájení</i>	22
3.3.2 <i>Procesorová část</i>	24
3.3.3 <i>Zapojení DA převodníku</i>	28
3.3.4 <i>Zapojení LCD</i>	32
3.3.5 <i>RS232</i>	32
3.4 DESKA PLOŠNÉHO SPOJE	33
4. SW VYBAVENÍ	35
4.1 GENEROVÁNÍ SINUSOVÉHO PRŮBĚHU	35
4.1.1 <i>Fázový posuv</i>	38
4.1.2 <i>Druhá harmonická složka</i>	39
4.2 FIRMWARE GENERÁTORU	41

4.3	POPIS POUŽITÝCH PROSTŘEDKŮ MIKROKONTROLERU	44
4.3.1	Čítač/časovač 2	45
4.3.2	Čítač/časovač 0	45
4.3.3	Vnější přerušení INTO a INT1	45
4.3.4	Paměť dat EEPROM	46
4.4	POPIS OVLÁDÁNÍ GENERÁTORU	46
5.	OVĚŘENÍ VLASTNOSTÍ GENERÁTORU	48
5.1	STABILITA FREKVENCE	48
5.2	LINEARITA NASTAVENÍ FREKVENCE.....	49
5.3	LINEARITA NASTAVENÍ AMPLITUDY SIGNÁLU	50
5.4	HARMONICKÉ ZKRESLENÍ VÝSTUPNÍHO SIGNÁLU	52
5.5	UKÁZKY PRŮBĚHŮ SIGNÁLŮ	54
6.	ZÁVĚR	56
	LITERATURA	57
	SEZNAM PŘÍLOH	59

SEZNAM OBRÁZKŮ

Obrázek 2.1: Blokové schéma DA převodníku [1].....	10
Obrázek 2.2: Základní zapojení paralelního převodníku čísla na proud [1].....	13
Obrázek 2.3: Princip 3bitového DA převodníku s váhovou rezistorovou sítí	14
Obrázek 2.4: Princip 3bitového DA převodníku s inverzní sítí R-2R	14
Obrázek 2.5: Blokové schéma mikroprocesoru AT89C51ED2 [2]	16
Obrázek 2.6: Organizace paměti dat mikropočítače AT89C51ED2 [2]	17
Obrázek 3.1: Blokové schéma generátoru	20
Obrázek 3.2: Zapojení napájecího obvodu.....	22
Obrázek 3.3 Voltampérová charakteristika diody SB540 [5]	23
Obrázek 3.4: Schéma zapojení procesorové části obvodu	27
Obrázek 3.5: Vnitřní struktura AD5340 [4].....	28
Obrázek 3.6: Časování signálů při komunikaci s AD5340 [4]	29
Obrázek 3.7: Fyzické zapojení DA převodníku AD5340	30
Obrázek 3.8 Zapojení napěťové reference a volba kompenzační kapacity [10].....	31
Obrázek 3.9: Zapojení LCD displeje	32
Obrázek 3.10: Schéma zapojení budiče linky RS232	33
Obrázek 3.11: Osazená deska plošného spoje a popis konektorů.....	34
Obrázek 4.1: Principiální schéma generování sinusového průběhu.....	37
Obrázek 4.2: Princip generování zkresleného harmonického průběhu.....	40
Obrázek 4.3: Vývojový diagram těla programu.....	44
Obrázek 5.1: Zkreslený průběh harmonického signálu na kanálu 1	54
Obrázek 5.2: Frekvenční spektrum signálu z předchozího obrázku	54
Obrázek 5.3: Průběh dvou signálů s fázovým posuvem 180°	55
Obrázek 5.4: Dva harmonické signály s offsetem +1 V a -1 V	55

SEZNAM TABULEK

Tab. 3.1: Zapojení datové sběrnice	24
Tab. 3.2: Zapojení řídicí sběrnice DA převodníku	24
Tab. 3.3: Připojení ostatních signálů.....	24
Tab. 3.4: Parametry krystalového oscilátoru SG531HP C.....	25
Tab. 3.5: Parametry DA převodníku AD5340	28
Tab. 3.6: Parametry napěťové reference DA780	31
Tab. 3.7: Popis signálů při komunikaci s LCD displejem MC1602	32
Tab. 3.8: Popis konektorů na DPS	34
Tab. 4.1: Mapování proměnných diskrétními vzorky do paměti XRAM.....	41
Tab. 4.2: Přehled funkcí v souboru <i>lcd.c</i>	42
Tab. 4.3: Přehled funkcí v souboru <i>ad5340.c</i>	43
Tab. 4.4: Přehled funkcí v souboru <i>rutiny.c</i>	43
Tab. 4.5: Registr IEN0	44
Tab. 4.6: Funkce tlačítek.....	46
Tab. 4.7: Popis položek menu	47
Tab. 4.8: Stavové informace	47
Tab. 5.1: Stabilita frekvence výstupního harmonického signálu	48
Tab. 5.2: Linearita nastavení amplitudy výstupního napětí	50
Tab. 5.3: Hodnoty harmonického zkreslení výstupního signálu na kanálu 1	53

1. ÚVOD

Cílem této práce je navrhnout a realizovat generátor sinusového průběhu napětí ovládaný mikropočítačem. Tento generátor je určen k emulování výstupních signálů ze snímačů zrychlení (akcelerometrů) v krystalizátoru oceli a má být využíván při vývoji řídicího systému linky pro kontinuální lití oceli.

Výstupem generátoru má být trojice harmonických signálů o zadané frekvenci s nezávisle nastavitelnou amplitudou, stejnosměrným posuvem, fázovým posuvem harmonického signálu vůči prvnímu kanálu a alespoň na jednom kanálu nastavitelným harmonickým zkreslením.

První část práce se zabývá teoretickým popisem paralelních DA převodníků. V této kapitole jsou popsány jejich základní parametry a principy funkce. Dále je v této kapitole stručně popsán jednočipový mikropočítač AT89C51ED2.

Druhá část práce se zabývá hardwarovým návrhem generátoru. Nejprve je popsána koncepce navrženého řešení v závislosti na požadovaných parametrech výstupních signálů generátoru. Dále je zde řešen výběr součástkové základny a návrh zapojení obvodu generátoru. Na závěr této části je popsán návrh desky plošných spojů a její realizace.

Ve třetí části práce je popsán výběr vhodného algoritmu generování harmonických signálů pomocí DA převodníků a mikropočítačem. Zvolený způsob generování je podrobně rozebrán a následně je popsáno softwarové řešení firmwaru generátoru a použité systémové prostředky mikropočítače. V závěru kapitoly je popsáno uživatelské rozhraní generátoru a způsob jeho obsluhy.

V poslední části práce jsou zhodnoceny parametry navrženého generátoru a ukázány výsledky jeho funkce.

2. TEORETICKÝ ÚVOD

2.1 PARALELNÍ DA PŘEVODNÍKY [1]

DA převodník (Digital-Analog Converter) je elektronický obvod, který převádí číslicový signál na odpovídající analogovou hodnotu. Číslicový signál bývá nejčastěji vyjádřen ve dvojkové číselné soustavě. Výstupní analogový signál má podobu elektrického napětí, případně proudu. DA převodníky se používají v přístrojích, kde je potřeba rekonstruovat digitální signál na analogový průběh, např. ve zvukových kartách PC, funkčních generátorech apod.

Převod digitálního signálu D na analogový je určen následujícími vztahy:

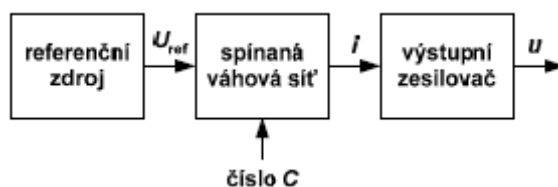
$$u = U_r \cdot D \quad \text{resp.} \quad i = I_r \cdot D \quad (2.1)$$

kde U_r a I_r jsou referenční hodnoty napětí a proudu.

Digitální signál D se nejčastěji vyjadřuje zlomkem ve dvojkové číselné soustavě a ve dvojkovém kódu.

$$D = \sum_{k=0}^{N-1} a_k \cdot 2^{-k} = \frac{1}{2^N} \sum_{m=0}^{N-1} b_m \cdot 2^m = \frac{1}{2^N} C \quad (2.2)$$

kde N je počet bitů digitálního signálu, a_k a b_m jsou číslice nabývající hodnoty 0 nebo 1 a C je číslo nabývající hodnot 0, 1 ... $(2^N - 1)$



Obrázek 2.1: Blokové schéma DA převodníku [1]

2.1.1 Vlastnosti DA převodníků

Statické parametry převodníků jsou určovány pomocí převodní charakteristiky, zatímco dynamické vlastnosti se vyhodnocují z kmitočtového spektra převodníku.

Přehled statických vlastností DAC

a) *Rozsah*

je rozdíl výstupní analogové veličiny mezi nejvyšší a nejnižší dosažitelnou kvantovací hladinou.

b) *Rozlišení*

je poměr kvantovacího kroku a velikosti výstupního rozsahu, případně počet diskrétních úrovní, který souvisí s počtem bitů vstupního slova.

c) *Přesnost*

udává maximální odchylku mezi skutečnou a ideální převodní charakteristikou převodníku. Často bývá vztahena k celému rozsahu.

d) *Multiplikativní chyba*

je chyba převodní charakteristiky DAC, jejíž absolutní hodnota narůstá lineárně s vstupní číselnou hodnotou převodníku.

e) *Chyba nastavení nuly*

způsobuje stejnosměrné posunutí ideální převodní charakteristiky, jde tedy o chybu aditivní. Nejčastěji bývá způsobena vstupní proudovou nebo napěťovou nesymetrií použitých operačních zesilovačů.

f) *Integrální nelinearita INL*

je definovaná jako maximální vertikální rozdíl mezi ideální a skutečnou převodní charakteristikou DA převodníku. Obvykle je vyjádřena jako poměrná veličina v relaci s maximálním napětím převodníku a to v %, v promilích nebo v LSB

g) *Diferenciální nelinearita DNL*

je vertikální rozdíl mezi dvěma po sobě jdoucími kódy. Udává se vždy maximální hodnota, a to v jednotkách či zlomcích LSB nebo ve voltech.

Přehled dynamických vlastností DA převodníků

a) Odstup signál-šum

se vyhodnocuje z kmitočtového spektra signálu, kdy signál odpovídá základní harmonické složce. SNR závisí na počtu kvantovacích úrovní. Pro sinusový signál teoreticky platí

$$SNR = (6,02N + 1,76) \text{ dB}, \quad (2.3)$$

kde N je efektivní počet bitů

b) Harmonické zkreslení THD

se zjišťuje při buzení DAC daty, která odpovídají digitalizovanému průběhu ideální sinusovky. Zkreslení je pak určeno z výstupního signálu

$$THD = \frac{\sqrt{U_2^2 + \dots + U_N^2}}{U_1}, \quad (2.4)$$

kde U_2 až U_N jsou vyšší efektivní hodnoty vyšších harmonických (obvykle $N \leq 5$), U_1 je základní harmonická složka.

c) Náhodný šum

je šum generovaný uvnitř převodníku. Šum se udává v efektivních hodnotách pro určité pásmo kmitočtu, nebo jako spektrální hustota (mV/\sqrt{Hz} , mA/\sqrt{Hz}).

d) Dobou převodu T_P ,

je maximální doba potřebná k ustálení výstupní analogové veličiny na správnou hodnotu s povolenou chybou za předpokladu konstantní hodnoty digitálního signálu během převodu.

e) Četnost převodu

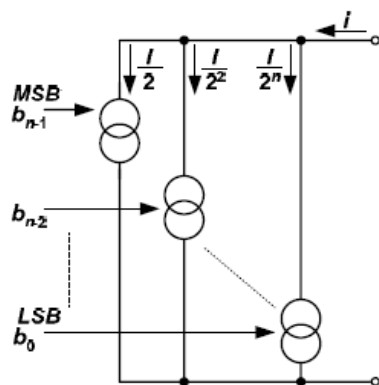
je určena počtem vstupních slov D , která mohou být převodníkem převedena na analogovou výstupní veličinu za jednotku času. Je převrácenou hodnotou doby převodu T_P .

2.1.2 Principy DA převodníků

Mezi nejrozšířenější typy DA převodníků patří převodníky paralelní, které se velmi často vyrábějí monoliticky. Na obrázku 2.2 je znázorněn základní paralelní převodník čísla na proud, pro jehož výstupní proud platí.

$$i = I_r \cdot D = I_r \frac{C}{2^N}, \quad (2.5)$$

kde I_r je referenční proud DA převodníkem, čísla C a D jsou digitální čísla popsaná v rovnici (2.2) a N je počet váhově odstupňovaných zdrojů proudu, který odpovídá šířce digitálního slova.



Obrázek 2.2: Základní zapojení paralelního převodníku čísla na proud [1]

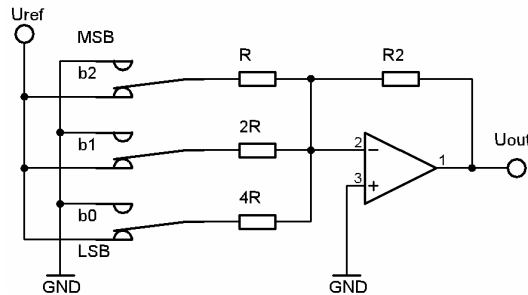
Pokud požadujeme, aby se číslo C převádělo na napětí, stačí zařadit za popisovaný převodník jen převodník proudu na napětí.

2.1.2.1 DA převodník s váhovými rezistory

DAC s váhovými rezistory mohou být zapojeny podle obrázku 2.3. Váhové proudy se generují pomocí rezistorů s váhově odstupňovanými odpory ze společného zdroje referenčního napětí U_{ref}

Řídicí veličinou je vstupní datové slovo, předávané prostřednictvím datové sběrnice, přičemž jednotlivé bity vstupního slova s příslušnou váhou ovládají jednotlivé elektrické přepínače.

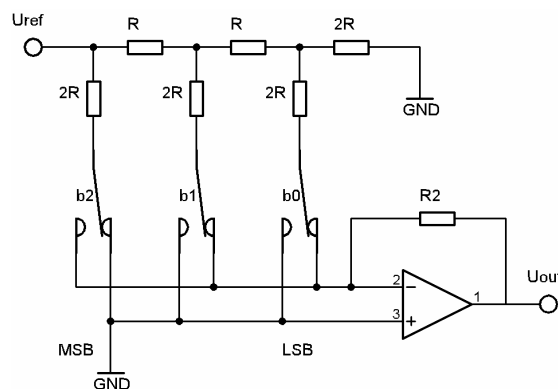
Předností rezistorové váhové sítě je malý počet rezistorů v síti a konstantní hodnota proudu tekoucího spínačem. Nevýhodou je naopak velké rozpětí odporů váhových rezistorů. Pro n -bitové dvojkové číslo je poměr odporů $1 : 2^{n-1}$.



Obrázek 2.3: Princip 3bitového DA převodníku s váhovou rezistorovou sítí

2.1.2.2 DA převodník s invertovanou sítí R-2R

Paralelní převodníky DA s invertovanou sítí R-2R využívají rezistorovou síť R-2R nejčastěji podle zapojení na obrázku 2.4.



Obrázek 2.4: Princip 3bitového DA převodníku s inverzní sítí R-2R

Síť je na jednom konci buzena referenčním napětím a použité přepínače rozdělují proud (váhově odstupňovaný) jednotlivými příčnými rezistory do přímého nebo doplňkového proudového výstupu. Převodníky jsou vyrobeny technologií CMOS a umožňují zpracovat napětí obojí polarity.

2.2 JEDNOČIPOVÝ MIKROPOČÍTAČ AT89C51ED2

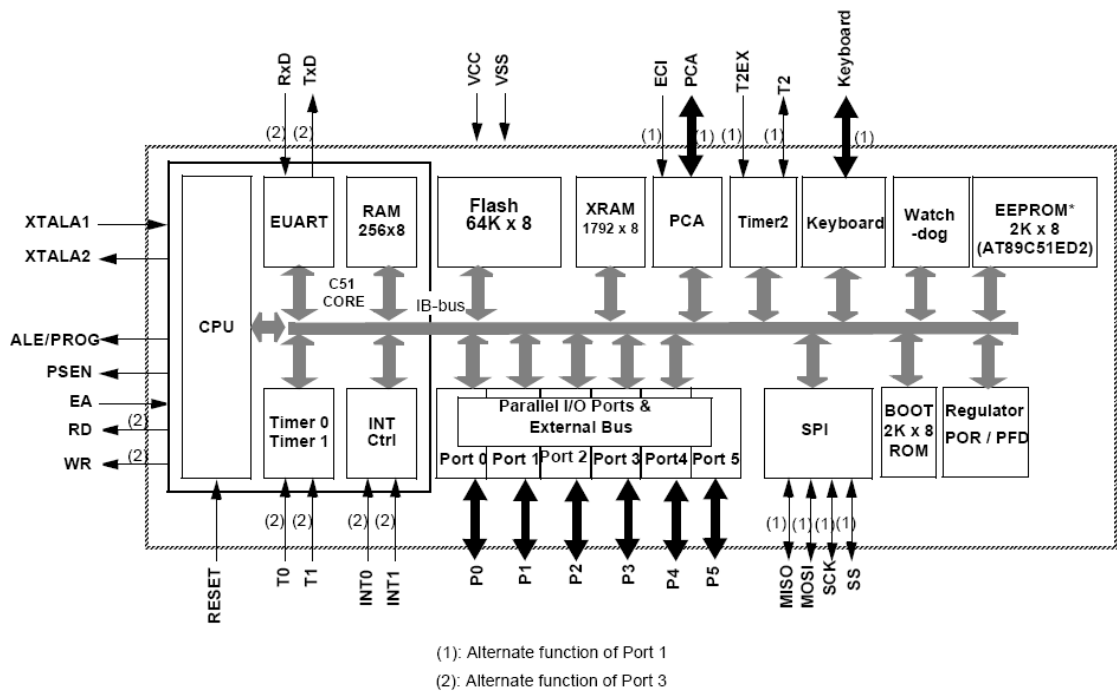
Jednočipový mikropočítač představuje kompletní mikropočítačový systém integrovaný na jednom čipu. Kromě vlastního CPU obsahuje také všechny prvky, které jsou potřebné k samostatné činnosti, jako paměti RAM, ROM, čítače, časovače, sériový kanál, IO porty, ale v současné době i AD a DA převodníky, rozhraní USB nebo Ethernet.

Mezi nejstarší osmibitové mikropočítače patří rodina založená na jádru 8051 od firmy Atmel. I přesto, že mikropočítače této řady jsou na trhu téměř 30 let, patří stále mezi velice používané a dočkaly se mnoha modifikací a rozšíření.

Do této rodiny patří i mikropočítač AT89C51ED2. Jedná se o mikroprocesor s jádrem 8x51 doplněný o mnoho periférií. Mezi ně patří EEPROM paměť pro trvalé ukládání dat, rozšířená paměť dat XRAM, sériové komunikační rozhraní SPI, bootloader uložený ve zvláštní FLASH paměti, rozhraní pro připojení klávesnice s generovaným přerušením atd.

Přehled vlastností AT89C51ED2 [2]:

- jádro 8x51
- 4x 8-bitový IO port
- 3x 16-bit. čítač/časovač
- 64 kB FLASH paměti programu
- 256 B paměti RAM
- 1792 B paměti XRAM
- 2 kB EEPROM paměti dat
- 2kB FLASH pro bootloader
- plně duplexní UART s interním generátorem přenosové rychlosti
- 16-bit. PCA – programovatelné pole čítačů
- vysokorychlostní architektura (až 60 MHz std. mód/30 MHz X2 mód)
- rozhraní SPI
- rozhraní pro připojení klávesnice
- 9 zdrojů přerušení / 4 úrovně priority



Obrázek 2.5: Blokové schéma mikroprocesoru AT89C51ED2 [2]

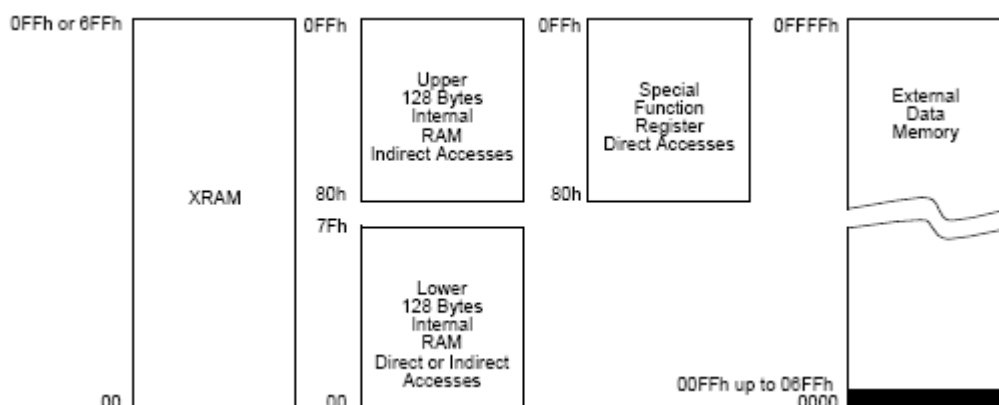
Jednočipový mikropočítač AT89C51ED2 je 8bitový mikropočítač s harvardskou architekturou s jádrem vycházejícím z procesoru 8051. Aritmeticko-logická jednotka obsahuje sčítačku, násobičku, děličku a booleovskou jednotku a je přímo propojena s registry ACC, B a stavovým registrem PSW. Jednotlivé funkce mikropočítače jsou ovládány přes speciální funkční registry (SFR). Pro připojování periférií slouží čtveřice 8-bitových vstupně-výstupních portů, na které je vyvedena i adresová, datová a řídicí sběrnice.

Přehled IO portů:

- Port P0: obousměrný I/O port s otevřeným kolektorem použitelný jako multiplexovaná dolní část adresové sběrnice a 8bitová datová sběrnice
- Port P1: obousměrný I/O port s pull-up rezistory s alternativními funkcemi
- Port P2: obousměrný I/O port s pull-up rezistory použitelný jako horních 8 bitů adresové sběrnice
- Port P3: obousměrný I/O port s pull-up rezistory s vyvedenými řídicími signály a alternativními funkcemi (Rx/D, Tx/D, INT0, INT1, T0, T1).

2.2.1 Organizace paměti AT89C51ED2

Jednočipové mikropočítače řady 8051 mají harvardskou strukturu, což znamená, že paměť programu a paměť dat je oddělena a adresové prostory se překrývají. Přístup do jednotlivých typů pamětí je řešen použitím odlišných instrukcí a způsobů adresování.



Obrázek 2.6: Organizace paměti dat mikropočítače AT89C51ED2 [2]

Mikropočítače rodiny 8051 mohou adresovat až 64 kB paměti programu a 64 kB paměti dat. Program může být načítán buď z integrované paměti programu na čipu, a nebo z externí paměti připojené k vnější adresové a datové sběrnici. Výběr paměti se provádí pomocí pinu EA. Je-li EA připojen k napájecímu napětí, je program čten z interní paměti, je-li uzemněn, je čten z paměti externí. Při čtení z externí paměti programu je aktivován signál PSEN.

Přístup do interní paměti RAM je řešen odlišným způsobem adresování. Přímým adresováním instrukce MOV lze přistupovat k dolním 128 B (adr. 0x00 až 0x7F) paměti dat a k speciálním funkčním registrům (adr. 0x80 až 0xFF). Adresy speciálních funkčních registrů překrývají horních 128 B paměti RAM, která je přístupná pouze nepřímým adresováním.

Pro přístup do externí paměti RAM se používá instrukce MOVX a nepřímé adresování přes 16bitový registr DPTR. Zde se přistupuje, v případě mikropočítače AT89C51ED2, k paměti XRAM integrované na čipu nebo externí paměti RAM připojené k vnější adresové a datové sběrnici, určuje bit EXTRAM v registru AUXR.

Podobným způsobem je řešen také přístup k paměti dat typu EEPROM. Přístup do paměti EEPROM se nastavuje bitem EEE v registru EECON. Ukončení zápisu do této paměti je indikováno bitem EEBUSY v témže registru.

2.2.2 Přerušovací systém

Pro zjednodušení styku s periferiemi disponuje AT89C51ED2 devíti zdroji přerušení: externí přerušení INT0 a INT1, čítače/časovače TF0, TF1 TF2+EXF2, sériová linka RI+TI, pole čítačů PCA, klávesnice KBD a rozhraní SPI. Pro každý zdroj přerušení lze nastavit jednu ze čtyř úrovní priority v registrech IPL0, IPH0, IPL1 a IPH0.

2.2.3 Časovače/čítače

Důležitou součástí mikropočítače jsou čítače a časovače. Čítače a časovače jsou speciální funkční registry, jejichž obsah je inkrementován při vzniku určité vnitřní nebo vnější události. V případě čítače jsou počítány události vnější – např. sestupná hrana napěťové úrovně na příslušném pinu, v případě časovače hodinový signál.

Mikropočítač AT98C51ED2 obsahuje tři 16bitové časovače/čítače – T0, T1 a T2. Režim čítačů/časovačů T0 a T1 se nastavuje v registru TMOD a TCON, hodnoty časovače jsou uloženy v registrech TL0, TH0, TL1 a TH1. Čítače/časovače T0 a T1 pracují ve 4 režimech. V módu 0 pracují jako 13bitové čítače/časovače, v módu 1 jako 16bitové. Mód 2 je 8bitový režim s přednastavením a módu 3 pracuje čítač/časovač T0 jako dva samostatné čítače/časovače a časovač T1 slouží ke generování přenosové rychlosti sériové linky.

Čítač/časovač T2 je 16bitový a jeho režim se nastavuje v registru T2CON, obsah čítače/časovače je uložen v registrech TL2 a TH2. T2 může pracovat ve třech režimech: záchytný režim, režim automatického přednastavení (autoreload) a režim generování přenosové rychlosti rozhraní UART.

2.2.4 Rozhraní UART

Sériový kanál mikroprocesoru AT89C51 je shodný s mikroprocesory řady 8051. Je plně duplexní (může současně přijímat i vysílat data). Ovládání sériového kanálu se provádí pomocí speciálního funkčního registru SCON. Přenášená data se zapisují nebo čtou z registru SBUF. Sériový kanál může pracovat ve čtyřech módech [3].

Mód 0. Jedná se o synchronní režim sériového kanálu. Data vstupují a vystupují linkou RxD. Jako první se vysílá nejnižší bit LSB. Po lince TxD vystupují ze zdroje dat synchronizační impulsy. Tento režim není tedy duplexní. Přenosová rychlost je pevně daná frekvencí oscilátoru:

$$v = \frac{f_{osc}}{12} \quad [\text{baud}] \quad (2.6)$$

Mód 1. V tomto módu se přenáší 8 datových bitů. Vysílání se zahajuje sestupnou hranou start bitu a ukončuje vzestupnou hranou stop bitu. Data se vysílají přes linku TxD a přijímají přes RxD. Přenosová rychlost je dána obsahem registru čítače TH1 a bitem SMOD v registru PCON:

$$v = \frac{2^{SMOD}}{32} \cdot \frac{f_{osc}}{12 \cdot (256 - TH1)} \quad [\text{baud}] \quad (2.7)$$

Mód 2 je určen pro přenos 9bitových slov. Přenáší se 8 datových bitů a bit paritní. Paritní bit se zapisuje při vysílání do příznakového bitu TB8 v registru SCON a při příjmu do bitu RB8 téhož registru. Zahájení a ukončení přenosu určuje opět start a stop bit. Přenosová rychlost v tomto režimu může nabývat dvou hodnot, v závislosti na bitu SMOD v registru PCON:

$$v = \frac{2^{SMOD}}{64} \cdot f_{osc} \quad [\text{baud}] \quad (2.8)$$

Mód 3. je stejný, co se týká struktury přenášeného slova, jako mód 2. Od tohoto módu se liší pouze způsobem generování přenosové rychlosti. Ta se určuje stejně jako v módu 1.

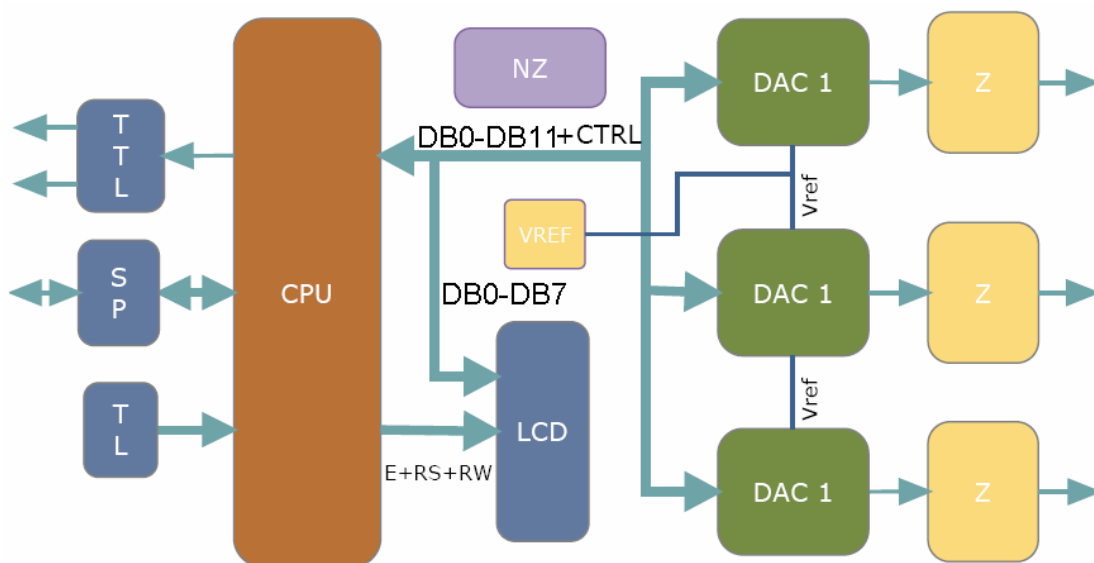
3. HW NÁVRH

Při návrhu generátoru se vycházelo z následujících požadavků:

- Rozsah výstupního napětí generátoru -5 V až +5 V
- Rozlišení DA převodníku 12 bitů
- Frekvence 0,05 Hz až 5 Hz
- 3 výstupní kanály

3.1 NAVRŽENÉ ŘEŠENÍ GENERÁTORU

Pro realizaci generátoru bylo navrženo koncepční schéma znázorněné na obrázku 3.1. Základ generátoru tvoří jednočipový mikro počítač, který zajišťuje výpočet digitálních hodnot pro generování sinusových průběhů pomocí DA převodníků, jejich obsluhu, zadávání parametrů výstupních analogových pomocí tlačítek a zobrazování parametrů na LCD displeji. Pro programování mikro počítače je vyvedeno sériové rozhraní RS-232. K výstupům DA převodníků jsou připojeny výstupní zesilovače, které zesilují signál DA převodníků na požadovaný rozsah hodnot.



Obrázek 3.1: Blokové schéma generátoru

Legenda

CPU	mikropočítač	DB0 – DB11	rozšířená datová sběrnice
NZ	napájecí zdroj	CTRL	řídící sběrnice DAC
DAC x	DA převodník	E+RS+RW	ovládací signály LCD
Z	výstupní zesilovač	VREF	napěťová reference
LCD	LCD displej	TL	ovládací tlačítka
SP	sériový port	TTL	výstup synchron. impulzů

Všechny periferní obvody jsou připojeny přímo na vstupně-výstupní porty mikropočítače. Z jednotlivých portů je vytvořena datová a řídící sběrnice. Vstupní datové slovo DA převodníků a datové signály LCD jsou paralelně připojeny k datové sběrnici a ovládací signály DA převodníků a LCD displeje jsou připojeny ke sběrnici řídící. Na porty mikropočítače jsou dále připojeny ovládací tlačítka, indikační LED dioda a tranzistorový výstup. K programování mikropočítače slouží sériová linka.

3.2 VOLBA SOUČÁSTKOVÉ ZÁKLADNY

Volba jednočipového mikropočítače byla omezena na typy založené na jádru 8051. Vzhledem k povaze řešené úlohy byl hledán procesor s maximálním pracovním kmitočtem, dostatečně velkou pamětí XRAM a případně i s pamětí dat typu EEPROM pro ukládání nastavených parametrů signálů.

Na základě výše popsaných kritérií byl zvolen typ AT89C51ED2 s vysokorychlostní architekturou (200 ns/instrukční cyklus) z produkce firmy ATMEL, který je podrobně popsán v kapitole 2.2.

Pro generování analogových signálů bylo potřeba zvolit vhodný DA převodník. Z důvodů potřeby rychlé komunikace mezi procesorem a DA převodníkem byl okruh použitelných převodníků zúžen na převodníky s paralelním rozhraní. Aby bylo možné generovat sinusový průběh napětí s dostatečnou přesností, bylo nutné vybírat z převodníků s rozlišením alespoň 12 bitů. Podle těchto požadavků byl zvolen DA převodník AD5340 od firmy Analog Device. Jedná se o paralelní DA převodník s rozlišením 12 bitů založený na principu rezistorové sítě.

Jako zdroj referenčního napětí pro DA převodník byl zvolen typ AD780, jenž je v technické dokumentaci[4] zvoleného DA převodníku uváděn jako doporučený. Jedná se o napětřovou referenci s volitelným výstupním napětím 2,5 V nebo 3 V, vysokou přesností a nízkým šumem.

Pro upravení výstupního napětí DA převodníků na požadovaný rozsah a posílení proudové zatížitelnosti výstupu byl vybrán operační čtyřnásobný operační zesilovač AD824, což je čtyřnásobná verze doporučovaného rail-to-rail operačního zesilovače AD820 v technické dokumentaci [4] DA převodníku AD5340.

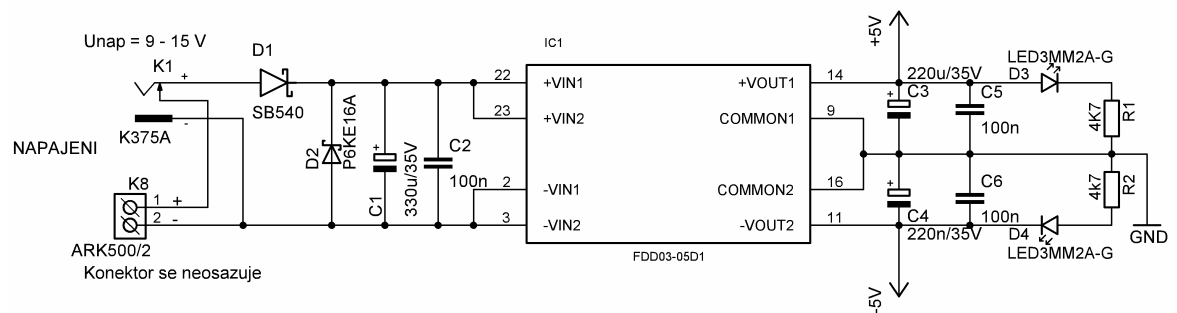
Pro zobrazování nastavených parametrů výstupních analogových signálů byl zvolen dvouřádkový LCD displej MC1602E-SYR s 16 znaky na řádek bez podsvětlení, který je pro daný účel plně dostačující.

Jelikož výstupní napětí generátoru bylo požadováno v rozsahu -5 V až $+5\text{ V}$, byl pro napájení zvolen DC-DC měnič FDD0305D1 s napájecím napětím 9 V až 18 V a se symetrickým výstupním napětím $\pm 5\text{ V}$ a výstupním proudem 200 mA . Použití tohoto měniče také zajišťuje oddělení napájecí a výstupní signálové země.

3.3 OBVODOVÉ ŘEŠENÍ GENERÁTORU

3.3.1 Napájení

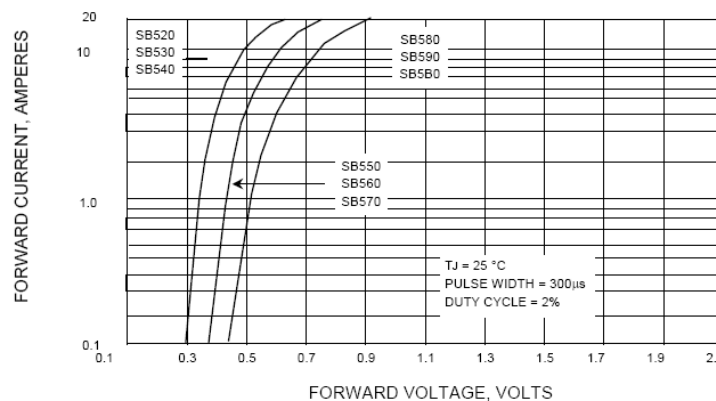
Napájení celého obvodu zajišťuje dvojitý DC-DC FDD03–05D1 měnič se vstupním napětím 9 V až 18 V a symetrickým výstupním napětím $\pm 5\text{ V}$. Mikro počítač, DA převodníky a podpůrné obvody jsou napájeny z kladné větve napájení, výstupní operační zesilovače jsou napájeny symetricky.



Obrázek 3.2: Zapojení napájecího obvodu

Napájení obvodu je realizováno standardně síťovým adaptérem s výstupním napětím 9 – 15 V, případně z 9 V baterie. Vzhledem k ceně DC/DC měniče je jeho výstup chráněn proti přepólování diodou D1 a transilem D2 proti přepětí.

Jako dioda D1 byla zvolena Shottkyho dioda SB540 a to z důvodu nízkého úbytku napětí v propustném směru, který činí při předpokládané maximální spotřebě na vstupu DC-DC měniče 200 mA přibližně 300 mV



Obrázek 3.3 Voltampérová charakteristika diody SB540 [5]

Jako ochrana před přepětím na vstupu DC-DC měniče byl zvolen transil P6KE16A. Jeho průrazné napětí se dle dokumentace [6] pohybuje mezi 15,2 V až 16,8 V, což jsou hodnoty mezi maximálním napájecím napětím generátoru 15 V a maximálním vstupním napětím DC-DC měniče 18 V.

Na vstupech a výstupech DC-DC měniče jsou dle doporučení v technické dokumentaci [7] připojeny elektrolytické kondenzátory, jejichž kapacita má být alespoň 10 μF . Z důvodů zajištění stability při krátkodobém poklesu napájecího napětí byla zvolena velikost těchto kapacit řádově vyšší.

Pro omezení rušení na napájecím napětí generátoru jsou vstupy a výstupy DC-DC měniče doplněny o blokovací keramické kondenzátory s kapacitou 100 nF.

Správnou funkčnost napájecího obvodu indikují dvě nízkopříkonové LED diody, každá v jedné napájecí větvi. Proud indikačními diodami I_F je omezen zařazením sériového odporu 4,7 k Ω mezi diody a napájecí napětí V_{CC} a za předpokladu úbytku napětí na LED diodě $V_F = 1,9\text{ V}$ na přibližně 0,65mA.

$$R_D = \frac{V_{CC} - V_F}{I_F} = \frac{5\text{V} - 1,9\text{V}}{0,65\text{mA}} = 4,76\text{k}\Omega \quad (3.1)$$

3.3.2 Procesorová část

Jádro celého obvodu tvoří jednočipový mikropočítač AT89C51ED2. Jelikož se jedná o 8bitový mikropočítač s 8bitovými vstupně-výstupními porty a zvolený DA převodník, potřebuje 12bitovou datovou sběrnici, dalších 6 řídicích signálů a výběrový signál převodníku, byla navržena koncepce softwarově řízené 12bitové datové sběrnice a 6bitové sběrnice řídicí. Dále jsou z portů mikropočítače vyvedeny výběrové signály převodníku a signály řídicí činnost LCD displeje.

Tab. 3.1: Zapojení datové sběrnice

SIGNÁL	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	DB8	DB9	DB10	DB11
PIN	P0.0	P0.1	P0.2	P0.3	P0.4	P0.5	P0.6	P0.7	P2.0	P2.1	P2.2	P2.3

Tab. 3.2: Zapojení řídicí sběrnice DA převodníku

SIGNÁL	GAIN	BUF	CLR	PD	WR	LDAC
PIN	P2.4	P2.5	P2.6	P2.7	P1.0	P1.1

Tab. 3.3: Připojení ostatních signálů

SIGNÁL	CS1	CS2	CS3	RS	RW	E
PIN	P1.2	P1.3	P1.4	P1.5	P1.6	P1.7

Pozn.: Jednotlivé signály jsou popsány v následujících kapitolách

3.3.2.1 Podpůrné obvody jednočipového mikropočítače

Krystalový oscilátor

Jelikož použití klasických krystalů ke generování hodinové signálu s vyššími frekvencemi než 20 MHz bývá problematické (krystal se nemusí rozkmitat), byl zvolen jako zdroj hodinového signálu krystalový oscilátor SG531PH C s frekvencí 30 MHz. Tato frekvence umožňuje zvolenému mikropočítači dosáhnout v X2 módu nejkratší možné doby instrukčního cyklu - 200 ns.

Výstup krystalového oscilátoru je připojen k pinu XTAL1. Napájení je přivedeno z kladné větve napájecího obvodu a je blokováno 100 nF keramickým kondenzátorem. Aktivace výstupu je zajištěna připojením vývodu OE k napájecímu napětí.

Tab. 3.4: Parametry krystalového oscilátoru SG531HP C

Frekvence	30 MHz
Stabilita frekvence	±100 ppm
Proudová spotřeba	max. 28 mA
Střída výstupního signálu	40 % až 60 %

Ošetření EA a PSEN

Jednočipový mikro počítač AT89C51ED2 je vybaven bootloaderem, který zajišťuje programování mikro počítače po sériové lince. Tlačítko, které je připojeno mezi pin PSEN a GND, umožňuje jeho stisknutím během resetu přepnout mikro počítač do režimu programování.

Připojením pinu EA mikro počítače AT89C51ED2 k napájecímu napětí +5 V je zajištěno, že je kód programu načítán z integrované paměti programu.

Resetovací obvod

Resetovací obvod je řešen klasickým RC článkem, který je doplněný o zkratovací tlačítko kondenzátoru. Při zvolených parametrech RC článku $R3 = 10\text{ k}\Omega$ a $C8 = 4,7\ \mu\text{F}$ je jeho časová konstanta $\tau = R \cdot C = 47\text{ ms}$, což zaručuje resetování mikro počítače po rozkmitání krystalového oscilátoru, jehož doba náběhu [8] je maximálně 10 ms.

Indikační LED dioda

K indikaci činnosti programu slouží nízkopříkonová LED dioda D5 připojená mezi napájecí napětí a pin mikro počítače P3.7. Dioda je spínána logickou úrovní L. Zařazený sériový odpor $R_{13} = 4,7\text{ k}\Omega$ omezuje proud diodou na přibližně 0,65 mA.

$$R_{13} = \frac{V_{CC} - V_F}{I_F} = \frac{5\text{V} - 1,9\text{V}}{0,65\text{mA}} = 4,76\text{k}\Omega \quad (3.2)$$

3.3.2.2 Ovládací tlačítka

K ovládání generátoru slouží čtveřice tlačítek s funkcemi MODE, SET, UP a DOWN. Tlačítka MODE a SET jsou připojena k pinům procesoru P3.2 (INT0) a P3.3 (INT1), což jsou vývody externího přerušení, tlačítka UP a DOWN jsou připojeny k vstupům P3.4 a P3.5. Všechna tlačítka jsou přes 1 k Ω rezistor připojena k signálové zemi GND.

3.3.2.3 Výstup synchronizačních impulsů

Pro generování synchronizačních impulsů slouží dvojitý tranzistorový výstup realizovaný tranzistory BC537. Jeden výstup je v provedení s otevřeným kolektorem, druhý s pull-up rezistorem. Vzhledem k omezenému počtu I/O pinů mikropočítače jsou oba tranzistory připojeny na společný pin P3.7. Aby nedocházelo k vzájemnému ovlivňování pracovních bodů tranzistorů, může být používán (osazen) pouze jeden z nich.

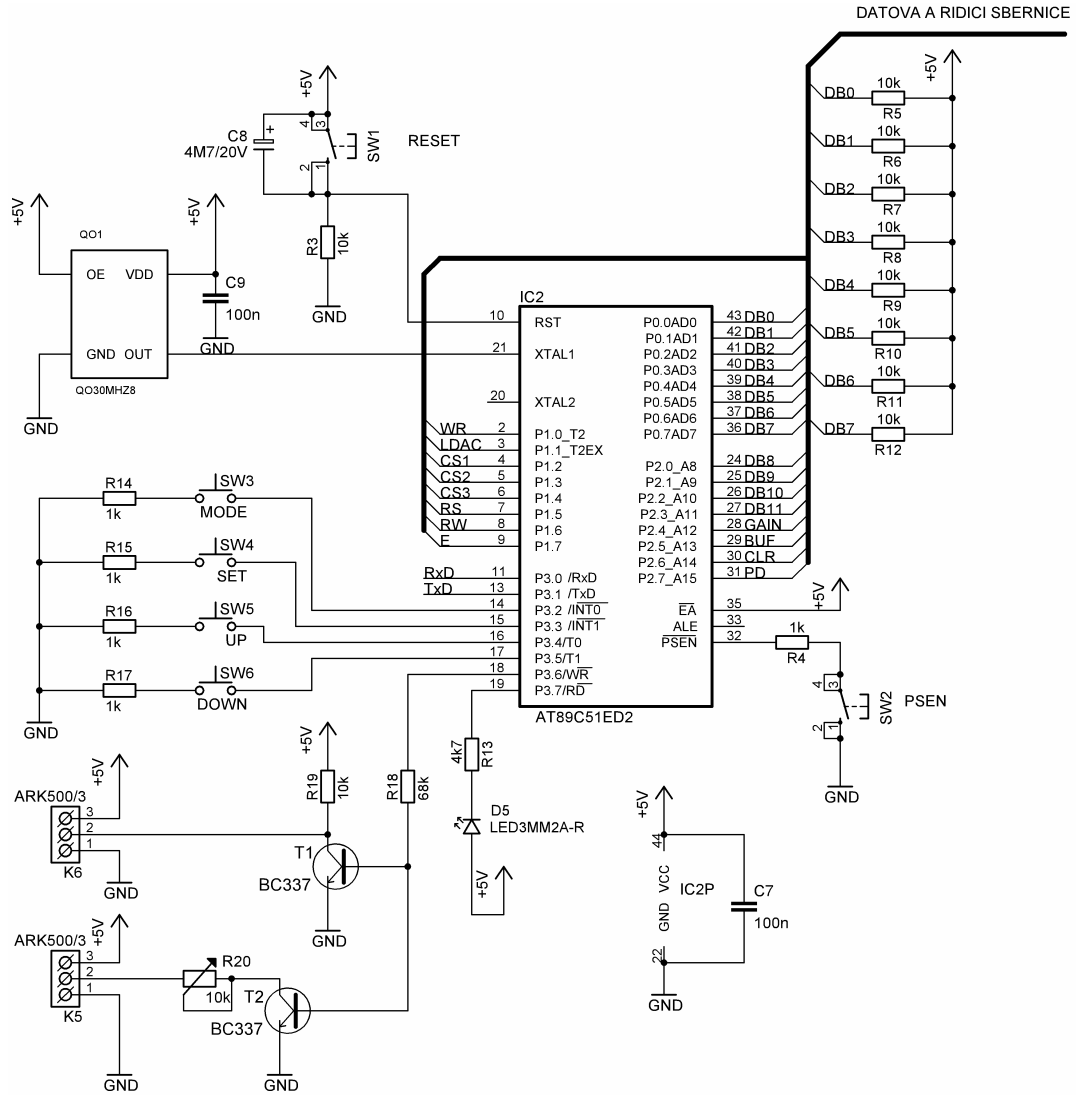
Bázový rezistor R_{18} byl navržen na spínání proudů obvodem otevřeného kolektoru maximálně 10 mA.

Při předpokládaném proudovém zesilovacím činiteli $h_{FE} = 200$ zvoleného tranzistoru a spínaném kolektorovém proudu $I_C = 10$ mA vychází bázový proud I_B :

$$I_B = \frac{I_C}{h_{FE}} = \frac{10mA}{200} = 0,05mA \quad (3.3)$$

Při $V_{BE} = 0,6$ V a poklesu výstupního napětí I/O pinu mikropočítače při log. 1 na přibližně $V_{OH} = V_{CC} - 1V$ [2] vychází velikost bázového rezistoru R_{18} :

$$R_{18} = \frac{V_{OH} - V_{BE}}{I_B} = \frac{V_{CC} - 1V - V_{BE}}{I_B} = \frac{5V - 1V - 0,6V}{0,05mA} = 68k\Omega \quad (3.4)$$

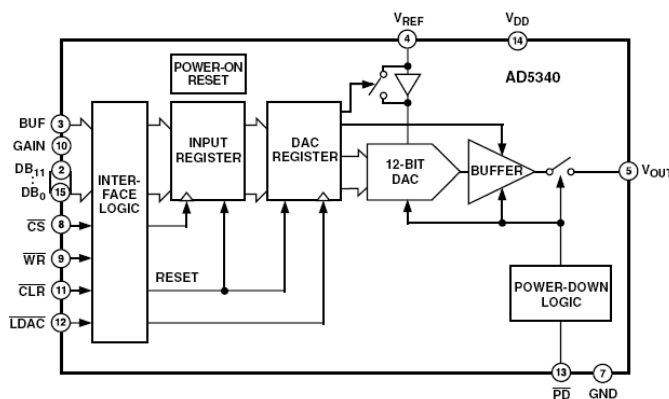


Obrázek 3.4: Schéma zapojení procesorové části obvodu

3.3.3 Zapojení DA převodníku

DA převodník AD5340

K vlastnímu generování výstupních analogových signálů slouží převodník AD5340. Na obrázku 3.5 je znázorněno jeho blokové schéma. Vstupní datové slovo je k převodníku přiváděno po 12bitové datové sběrnici (signály DB0 - DB11). K řízení činnosti převodníku slouží šestice signálů: GAIN, BUF, CLR, PD, WR a LDAC. Aktivace převodníku je prováděna výběrovým signálem CS.



Obrázek 3.5: Vnitřní struktura AD5340 [4]

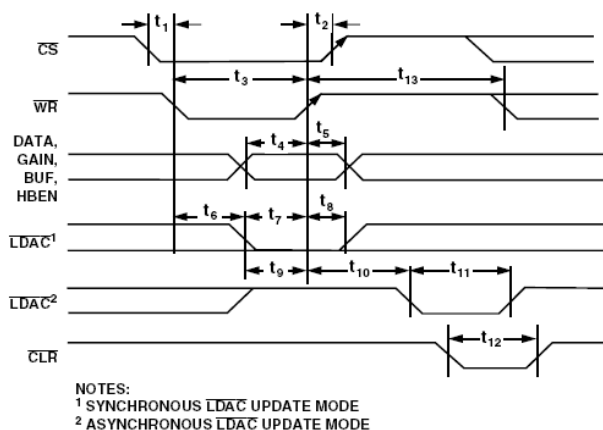
Přehled signálů AD5340

DB0 – DB11	vstupní datové slovo		
GAIN	rozsah výstupního napětí	GAIN = 0:	$V_{OUT} = 0$ až V_{REF}
		GAIN = 1:	$V_{OUT} = 0$ až $2 \times V_{REF}$
BUF	řídící signál vstupu napěťové reference		
CLR	vynulování všech registrů a výstupu DA převodníku		
PD	úsporný režim		
WR	potvrzení zápisu datového slova do vstupního registru		
LDAC	aktualizace výstupu převodníku		
CS	výběrový signál převodníku		
V_{REF}	vstup referenčního napětí		
V_{OUT}	výstupní napětí DA převodníku		

Tab. 3.5: Parametry DA převodníku AD5340

Rozlišení	12 bitů
Relativní přesnost	typicky ± 2 (max. ± 16) LSB
Diferenciální nelinearita	typicky $\pm 0,2$ (max. ± 1) LSB
Chyba zesílení	typicky $\pm 0,15$ (max. ± 1) % z rozsahu
Chyba offsetu	typ. $\pm 0,4$ (max. ± 3) % z rozsahu
Rozsah výstupního napětí	0 V až V_{REF} (GAIN = 0) 0 V až $2 \times V_{REF}$ (GAIN = 1)

Časování jednotlivých signálů s DA převodníkem je znázorněno na obrázku 3.6. Nejprve je signálem $\overline{CS} = 0$ aktivován převodník a signálem $\overline{WR} = 0$ je povolen zápis vstupního datového slova. Následně jsou na datovou sběrnici zapsána platná data DB0 – DB11 a přivedeny řídicí signály GAIN a BUF. Vzestupnou hranou signálu \overline{WR} a následně \overline{CS} jsou data zapsána do vstupního registru. Je-li signál LDAC během vzestupné hrany signálů \overline{WR} a \overline{CS} v úrovni 0, je současně aktualizován i výstup DA převodníku (synchronní režim). Výstup převodníku lze také aktualizovat až později krátkým přivedením nulové úrovně na signál LDAC (asynchronní režim).



NOTES:
¹ SYNCHRONOUS LDAC UPDATE MODE
² ASYNCHRONOUS LDAC UPDATE MODE

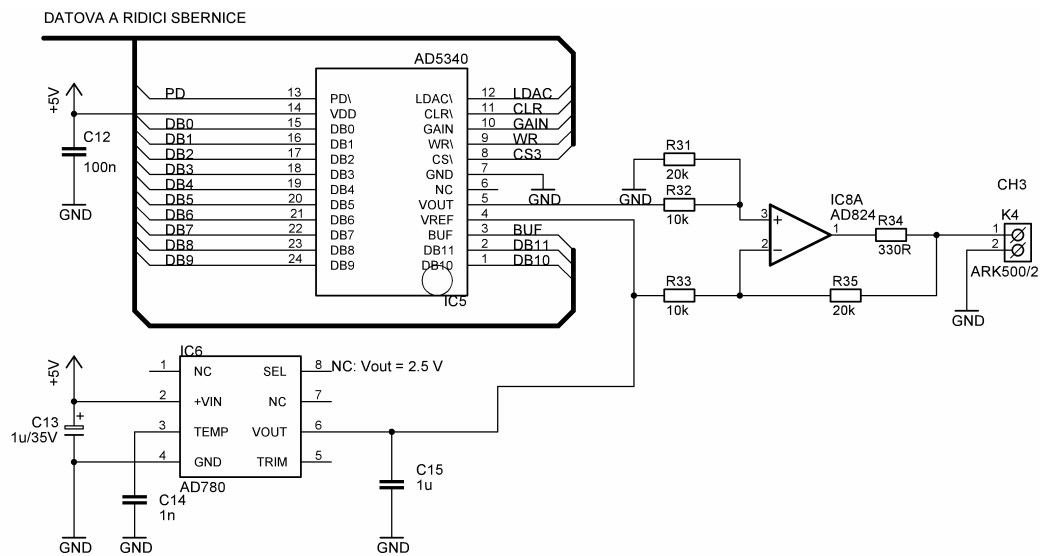
Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Condition/Comments
t ₁	0	ns min	\overline{CS} to \overline{WR} Setup Time
t ₂	0	ns min	\overline{CS} to \overline{WR} Hold Time
t ₃	20	ns min	\overline{WR} Pulsewidth
t ₄	5	ns min	Data, GAIN, BUF, HBEN Setup Time
t ₅	4.5	ns min	Data, GAIN, BUF, HBEN Hold Time
t ₆	5	ns min	Synchronous Mode. \overline{WR} Falling to \overline{LDAC} Falling.
t ₇	5	ns min	Synchronous Mode. \overline{LDAC} Falling to \overline{WR} Rising.
t ₈	4.5	ns min	Synchronous Mode. \overline{WR} Rising to \overline{LDAC} Rising.
t ₉	5	ns min	Asynchronous Mode. \overline{LDAC} Rising to \overline{WR} Rising.
t ₁₀	4.5	ns min	Asynchronous Mode. \overline{WR} Rising to \overline{LDAC} Falling.
t ₁₁	20	ns min	\overline{LDAC} Pulsewidth
t ₁₂	20	ns min	\overline{CLR} Pulsewidth
t ₁₃	50	ns min	Time Between \overline{WR} Cycles

Obrázek 3.6: Časování signálů při komunikaci s AD5340 [4]

Zapojení DA převodníku

Všechny tři DA převodníky jsou paralelně připojeny k výše popsané datové a řídicí sběrnici. K aktivaci jednotlivých převodníků slouží signály CS1, CS2 a CS3. Vzhledem k požadavku na bipolární výstup převodníku (rozsah výstupního napětí

–5 V až +5 V) bylo zvoleno ošetření výstupu DA převodníků pomocí operačního zesilovače. Jedná se o diferenční zesilovač, který dvakrát zesiluje výstupní napětí DA převodníku a stejnosměrně jej posouvá o –5 V.



Obrázek 3.7: Fyzické zapojení DA převodníku AD5340

Na výstup operačního zesilovače je zapojen rezistor $R_{34} = 330 \Omega$, který omezuje výstupní proud při výstupním napětí $U_{VYST} = 5V$ na $I_K = 15 mA$. Aby nedocházelo k ovlivnění výstupního napětí, je tento rezistor zapojen do obvodu zpětné vazby.

$$I_K = \frac{U_{VYST}}{R_{34}} = \frac{5V}{330\Omega} = 15mA \quad (3.5)$$

Výstupní napětí operačního zesilovače je dáno vztahem

$$V_o = \left[\left(1 + \frac{R_{35}}{R_{33}} \right) \cdot \left(\frac{R_{31}}{R_{32} + R_{31}} \right) \cdot \left(2^{GAIN} \cdot V_{REF} \frac{D}{2^N} \right) \right] - \left(R_{35} \frac{V_{REF}}{R_{33}} \right) \quad [V], \quad (3.6)$$

kde:

D	vstupní datové slovo tvořené signály DB0 – DB11	[-]
N	rozlišení DA převodníku	[-]
$GAIN$	rozsah výstupního napětí	[-]
V_{REF}	referenční napětí	[V]
V_o	výstupní napětí operačního zesilovače	[V]

Pro hodnoty $R_{31} = R_{35} = 20 \text{ k}\Omega$, $R_{32} = R_{33} = 10 \text{ k}\Omega$, $GAIN = 1$ a $V_{REF} = 2,5\text{V}$ platí:

$$V_o = 10 \frac{D}{2^N} - 5 \quad [\text{V}] \quad (3.7)$$

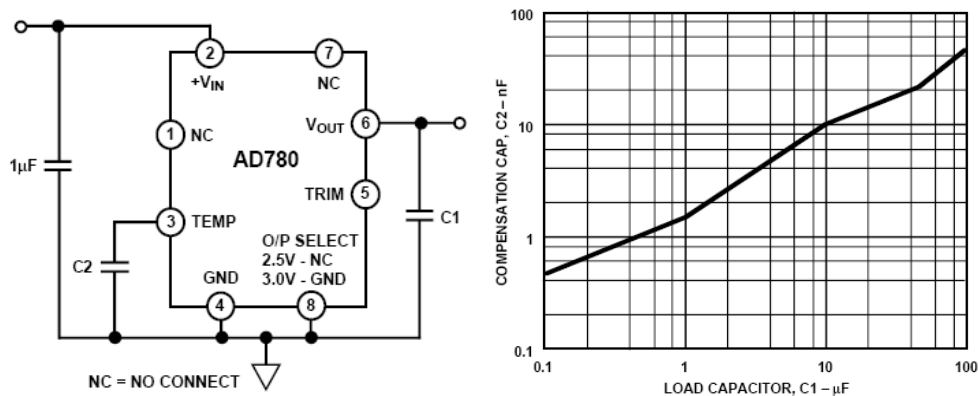
Napět'ová reference

Jako zdroj referenčního napětí slouží precizní napět'ová reference AD780. Napět'ová reference umožňuje zvolit velikost výstupního napětí 2,5 V nebo 3 V. Volba se provádí zapojením pinu SEL.

Tab. 3.6: Parametry napět'ové reference DA780

Výstupní napětí	2,5 V (SEL nezapojen) 3 V (SEL připojen k GND)
Přesnost	$\pm 1 \text{ mV}$
Teplotní drift	3 ppm/ $^{\circ}\text{C}$
Spektrální hustota šumu	100 nV/ $\sqrt{\text{HZ}}$

Na obrázku 3.8 je znázorněno doporučené zapojení napět'ové reference pro omezení šumu na výstupním napětí.



Obrázek 3.8 Zapojení napět'ové reference a volba kompenzační kapacity [10]

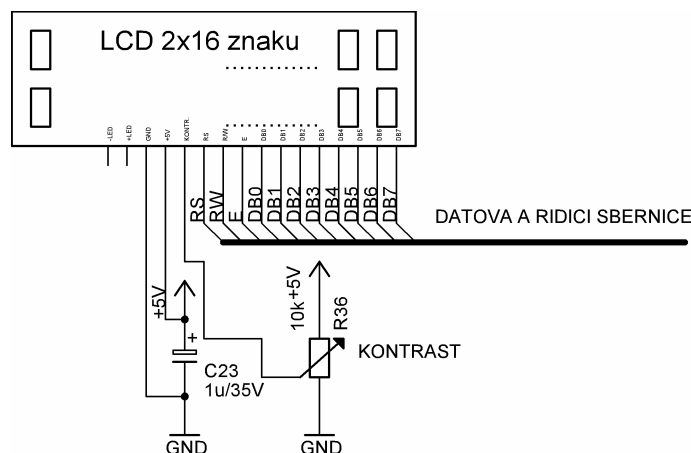
Na základě obrázku 3.8 byly zvoleny hodnoty kapacit $C_{14} = 1 \text{ nF}$ a $C_{15} = 1 \mu\text{F}$.

3.3.4 Zapojení LCD

K zobrazení parametrů výstupních signálů slouží dvouřádkový LCD displej MC1602E-SYR s reflexním pozadím bez podsvětlení. Datové signály displeje jsou připojeny na společnou datovou sběrnici, přičemž jsou využity pouze signály DB0 až DB7 a řídicí signály E, RW a RS jsou připojeny přímo na port jednočipového mikropočítače.

Tab. 3.7: Popis signálů při komunikaci s LCD displejem MC1602

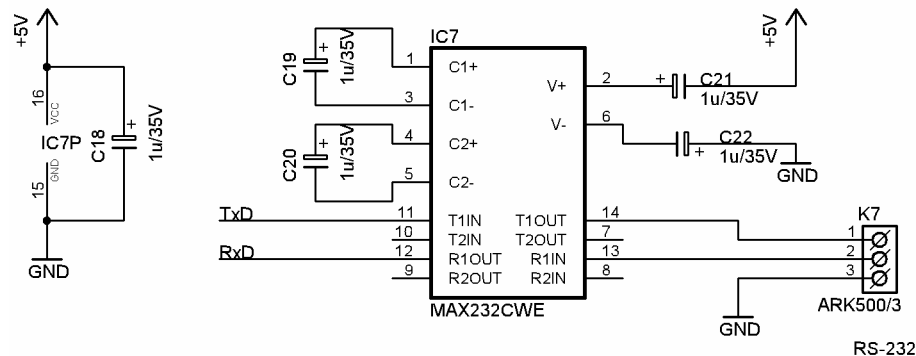
DB0 až DB7	8bitová datová sběrnice
RS	Výběr typu registru (datový/kontrolní)
RW	Četní z / zápis do zvoleného registru
E	Výběr LCD displeje



Obrázek 3.9: Zapojení LCD displeje

3.3.5 RS232

Pro programování mikropočítače AT89C51ED2 po sériové lince je obvod vybaven převodníkem úrovní UART na standard RS-232. Jako převodník byl zvolen integrovaný obvod MAX232CWE. Zapojení obvodu na obrázku 3.10 vychází z jeho technické dokumentace [11].



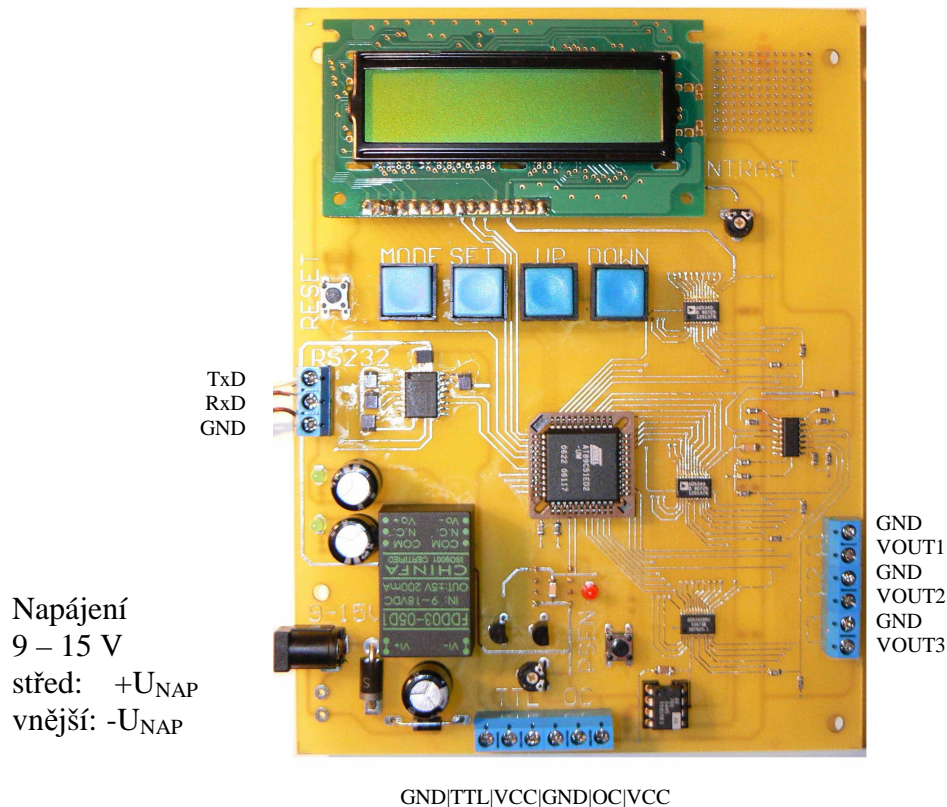
Obrázek 3.10: Schéma zapojení budiče linky RS232

3.4 DESKA PLOŠNÉHO SPOJE

Schéma zapojení i deska plošného spoje byly navrženy pomocí návrhového systému EAGLE. Většina integrovaných obvodů i pasivních součástek je v provedení SMD. Mikro počítač AT89C51ED2 je umístěn v SMD patici PLCC44, převodník sériové linky má pouzdro SO-16L, DA převodníky mají miniaturní pouzdro TSSOP24 a operační zesilovač je v provedení SO-14. Rezistory jsou v provedení pouzdra 0805 s tolerancí jmenovité hodnoty odporu 1% a keramické kondenzátory jsou zvoleny v pouzdře 1206. Tantalové kondenzátory jsou v provedení CTS-B a CTS-C. Ostatní součástky jsou v pouzdrech DIL8, případně v klasickém provedení diskretních součástek nebo ve speciálním pouzdře.

Deska plošného spoje je navržena jako oboustranná o rozměrech 125 mm x 165 mm. Většina integrovaných obvodů je umístěna ve vrchní vrstvě. Ve vrchní vrstvě jsou umístěny i všechny ovládací a systémová tlačítka a alfanumerický LCD displej. Spodní vrstva slouží zejména k rozvodu datové a řídicí sběrnice a napájecích vodičů. Deska plošného spoje byla kompletně osazena ručně pomocí mikropájky.

Vzhledem k nedostupnosti rail-to-rail operačního zesilovače AD824 byl tento zesilovač při osazování DPS nahrazen typem LM324, který má stejné rozložení vývodů na pouzdře. Vzhledem k tomu, že se nejedná o rail-to-rail zesilovač, nelze na jeho výstupu dosáhnout plného rozsahu výstupního napětí -5 až +5V, a proto je vhodné softwarově omezit rozsah generovaných signálů na rozsah ± 4 V. Tento rozsah je pro daný účel použití generátoru plně dostačující.



Obrázek 3.11: Osazená deska plošného spoje a popis konektorů

Konektor	Popis
$+U_{NAP}$	Kladný pól napájení DC-DV měniče
$-U_{NAP}$	Záporný pól napájení DC-DC měniče
V_{CC}	Výstupní kladné napětí DC-DC měniče (+ 5 V)
GND	Signálová zem
VOUT1	Výstupní kanál generátoru 1
VOUT2	Výstupní kanál generátoru 2
VOUT3	Výstupní kanál generátoru 3
RxD	Vstup sériové linky – signál RxD
TxD	Výstup sériové linky – signál TxD
TTL	Tranzistorový výstup synchronizačních impulsů s pull-up rezistor
OC	Tranzistorový výstup synchronizačních impulsů s otevřeným kolektorem

Tab. 3.8: Popis konektorů na DPS

4. SW VYBAVENÍ

4.1 GENEROVÁNÍ SINUSOVÉHO PRŮBĚHU

Vzhledem k časové náročnosti výpočtu diskretních hodnot sinusového průběhu v reálném čase bylo nutné najít jiný způsob generování, který by zajistil dostatečný počet vzorků na periodu diskretního signálu při nižší výpočetní náročnosti.

Další možností by bylo uložit do paměti programu jednu periodu normalizovaného harmonického průběhu a za běhu programu jen násobit jednotlivé diskretní hodnoty zadanou amplitudou. I tento způsob se však ukázal jako nevyhovující. Samotné násobení typu *float x float* a následné přetypování na celočíselný typ je poměrně časově náročné a nebylo by tak možné dosáhnout požadované frekvence signálu, případně by musel být snížen počet vzorků na periodu.

Z tohoto pohledu jako optimální se ukázal způsob, při kterém je při inicializaci programu pro každý kanál do paměti XRAM uloženo pole diskretních hodnot, které odpovídají čtvrtině periody harmonického průběhu (první kvadrant) se zadanou amplitudou. Vzhledem k velikosti paměti XRAM 1792B byl zvolen počet vzorků na čtvrtinu periody $n_K = 250$. Výpočet diskretních hodnot čtvrtiny periody harmonického signálu se provádí podle vztahu:

$$D [i] = \frac{A}{U_{\max} - U_{\min}} 2^N \sin\left(\frac{\pi \cdot i}{2 \cdot n_K}\right) \quad [-] \quad (4.1)$$

kde:

D	diskretní ekvivalent napětí	[-]
A	zadaná amplituda signálu	[V]
U_{\max}	maximální výstupní napětí DA převodníku	[V]
U_{\min}	minimální výstupní napětí DA převodníku	[V]
N	rozlišení převodníku	[-]
n_K	počet vzorků na kvadrant	[-]
i	pořadí vzorku $(i = 0, 1, 2 \dots n_K)$	[-]

Za běhu programu je prováděno pouze cyklické vyčítání dat z příslušného datového pole a k stejnosměrné složce (*offsetu*) je přičítána, případně odečítána, příslušná diskretní hodnota. Jelikož výstup převodníku je bipolární a data jsou uložena v bezznaménkovém formátu (`unsigned int`), je nutné upravit kódování dat do tvaru posunutého binárního kódu. Toho se dosáhne v případě 12bitového převodníku přičtením konstanty 2048, což odpovídá váze MSB. Výsledný offset v diskretním tvaru je dán vztahem:

$$D_{OFFSET} = \left\lfloor \frac{Off_{nast}}{U_{max} - U_{min}} \cdot 2^N \right\rfloor + 2048 \quad [-] \quad (4.2)$$

kde

D_{OFFSET}	celkový diskretní posun kódu	[-]
Off_{nast}	nastavený offset	[V]
U_{max}	maximální výstupní napětí DA převodníku	[V]
U_{min}	minimální výstupní napětí DA převodníku	[V]
N	rozlišení DA převodníku	[-]
2048	posunutí kódu o MSB	[-]

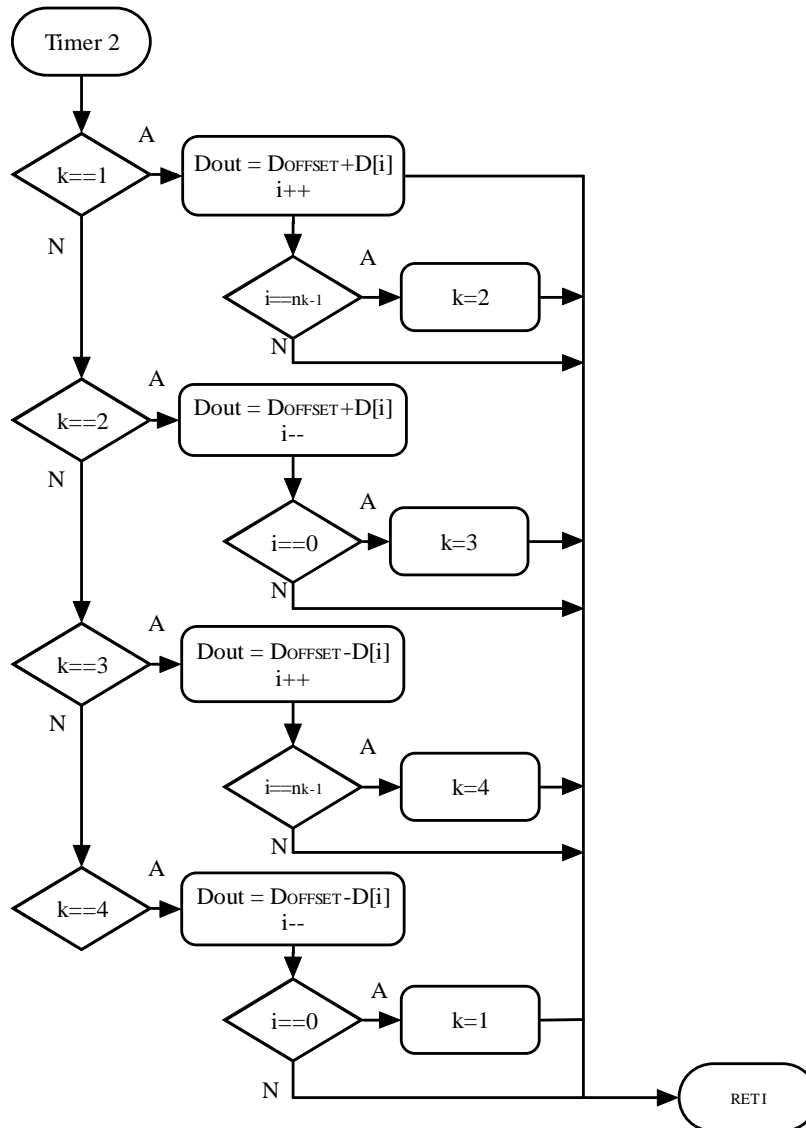
Aktualizace výstupů DA převodníků probíhá v obsluze přerušení od čítače/časovače 2, který pracuje v 16bitovém módu s automatickým přednastavením jako časovač. Frekvence přetečení časovače je dána nastavenou frekvencí harmonického signálu podle vztahu:

$$(TH2, TL2) = (RCAP2H, RCAP2L) = 65535 - \left\lfloor \frac{1}{\frac{f_{SET}}{12} n_P} \right\rfloor \quad [-] \quad (4.3)$$

kde:

$TH2$	horní registr časovače T2	[-]
$TL2$	dolní registr časovače T2	[-]
f_{SET}	nastavená frekvence harmonického signálu	[Hz]
f_{OSC}	frekvence oscilátoru mikropočítače	[Hz]
n_P	počet diskretních vzorků na periodu harm. signálu	[-]

Na následujícím obrázku je znázorněn princip generování harmonického průběhu na jednom kanále v obsluze přerušení od čítače/časovače 2.



Obrázek 4.1: Principiální schéma generování sinusového průběhu

Princip generování sinusového průběhu pomocí jedné čtvrtiny periody vychází ze vztahu pro jednotlivé kvadranty harmonického průběhu:

$$\sin(x) = \sin(\pi - x) = -\sin(\pi + x) = -\sin(2\pi - x), \quad \text{pro } x \in \left(0, \frac{\pi}{2}\right). \quad (4.4)$$

Proměnná k udává aktuální kvadrant sinusového průběhu, proměnná i udává aktuální pozici v datovém poli s diskretizovanou čtvrtinou periody harmonického signálu. Počáteční hodnoty proměnných jsou nastaveny při inicializaci programu, případně po změně nastavení parametrů signálů přes menu programu. Pro první kanál je počáteční nastavení $k = 1$ a $i = 0$, pro kanály 2 a 3 jsou počáteční hodnoty závislé na nastaveném fázovém posuvu harmonického signálu vůči prvnímu kanálu.

Výsledný harmonický diskretní signál D_{OUT} , který je následně odeslán ve formě datového slova na příslušný DA převodník, je složen z offsetu D_{OFFSET} a harmonické složky $D[i]$ následovně. Je-li aktuálně generovaný vzorek harmonického průběhu z prvního nebo druhého kvadrantu, je hodnota $D[i]$ k výslednému offsetu D_{OFFSET} přičítána, je-li ve třetím nebo čtvrtém kvadrantu, je hodnota $D[i]$ od D_{OFFSET} odečítána. V prvním a třetím kvadrantu je index i inkrementován (datové pole D je postupně procházeno od začátku do konce), v druhém a čtvrtém kvadrantu je index i dekrementován (pole je procházeno od konce k začátku). Aktuální kvadrant udává proměnná k .

4.1.1 Fázový posuv

Na druhém a třetím výstupním kanálu generátoru je implementovaná funkce nastavení fázového posuvu harmonické signálu vůči prvnímu kanálu. Na základě nastaveného posuvu jsou při inicializaci programu, případně po změně nastavení parametrů, nastaveny počáteční hodnoty proměnných k a i pro daný kanál. Přepočít se provádí podle vztahů:

$$k = \left\lfloor \frac{\varphi_{SET}}{90^\circ} \right\rfloor + 1 \quad [-], \quad (4.5)$$

$$\text{pro } k = 1 \text{ nebo } k = 3: \quad i = \left\lfloor \frac{\frac{\varphi_{SET} \% 90^\circ}{360^\circ}}{n_p} \right\rfloor \quad [-], \quad (4.6)$$

$$\text{pro } k = 2 \text{ nebo } k = 3: \quad i = n_K - \left\lfloor \frac{\frac{\varphi_{SET} \% 90^\circ}{360^\circ}}{n_p} \right\rfloor \quad [-], \quad (4.7)$$

kde:

k	proměnná udávající aktuální kvadrant	[-]
i	proměnná udávající aktuální pozici poli D	[-]
φ_{SET}	nastavený fázový posuv signálu vůči 1. kanálu	[°]
n_P	počet diskretních vzorků na periodu harm. signálu	[-]
n_K	počet diskretních vzorků na čtvrtinu periody harm. signálu	[-]

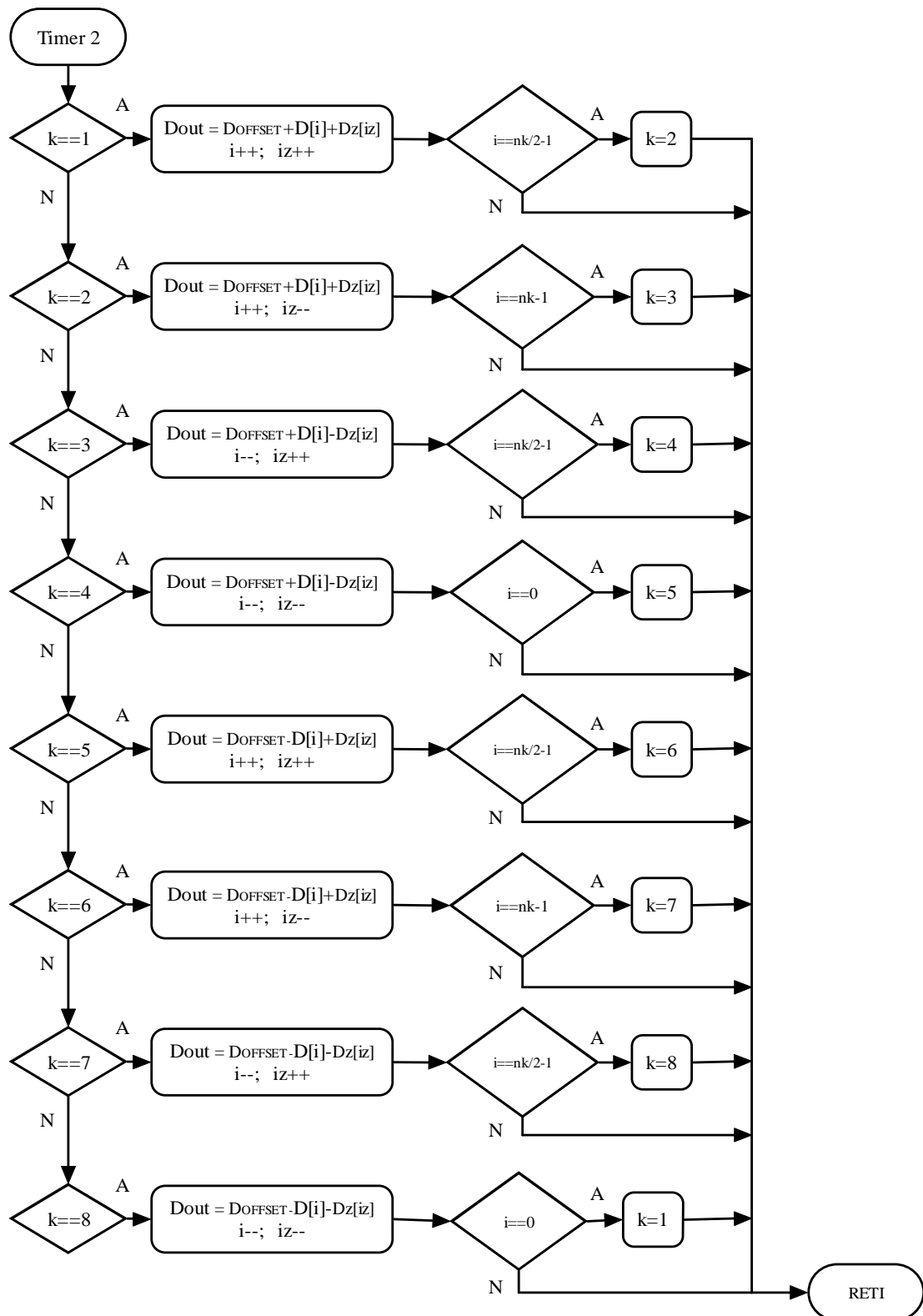
příčemž:
$$n_P = 4 \cdot n_K \quad (4.8)$$

4.1.2 Druhá harmonická složka

Na prvním výstupním kanálu generátoru lze také nastavit amplitudu druhé harmonické složky, čímž lze nastavit zkreslení signálu. Princip generování zkresleného harmonického průběhu je podobný generování základní harmonické složky. V tomto případě je k základní harmonické složce přičítána ještě složka druhé harmonické.

Do paměti dat XRAM je vypočteno a uloženo pole diskretních vzorků odpovídající čtvrtině periody harmonické signálu o zadané amplitudě druhé harmonické složky. Počet diskretních vzorků připadající na čtvrtinu periody druhé harmonické složky je poloviční oproti počtu diskretních vzorků pro základní harmonickou složku.

Výsledná frekvence signálu je opět určena frekvencí přetečení časovače. Při každém přetečení časovače je aktualizován výstup DA převodníku. Výsledná diskretní hodnota D_{OUT} , která je odesílána v podobě datového slova na DA převodník, je určena podle obrázku 4.2. $D[i]$ představuje aktuální diskretní vzorek základní harmonické složky v datovém poli, D_{OFFSET} je stejnosměrné posunutí signálu určené podle rovnice (4.2), $Dz[iz]$ je aktuální diskretní vzorek druhé harmonické složky a proměnné i a iz určují aktuální pozici vzorku v uloženém datovém poli. Proměnná k udává způsob výpočtu výsledné hodnoty podle schématu na obrázku 4.2.



Obrázek 4.2: Princip generování zkresleného harmonického průběhu

4.2 FIRMWARE GENERÁTORU

Programové vybavení tohoto generátoru bylo napsáno v programovacím jazyku C ve vývojovém prostředí Keil C51. Základní funkcí firmwaru je realizace funkcí popsaných v předchozí kapitole, tedy generování harmonických průběhů na základě zadaných parametrů, vlastní obsluha DA převodníků a zajištění uživatelského rozhraní.

V hlavní funkci programu (*main*) je provedena pouze inicializace programu a v nekonečné smyčce je kontrolován stav tlačítek UP a DOW a případně potřeby je zaktualizován obsah LCD displeje. Většina důležitých funkcí je obsluhována v přerušení programu od příslušných systémových prostředků.

Výpočet diskretních vzorků harmonických signálů a jejich uložení do paměti XRAM je prováděno ve funkci `generuj()`, která je volána jednak při inicializaci programu (je použito poslední nastavení parametrů), jednak v obsluze tlačítka MODE po změně nastavení parametrů výstupních signálů. Diskretní vzorky odpovídající čtvrtině periody harmonického signálu o zadané amplitudě jsou vypočteny podle rovnice (4.1) s využitím matematické knihovny `math.h` a postupně ukládány do paměti dat XRAM v podobě pole hodnot typů `unsigned int`. Pro každou diskretní čtvrtinu periody základního harmonického signálu je vypočteno 250 vzorků se zadanou amplitudou, což odpovídá 1000 vzorků na periodu. Pro druhou harmonickou složku, která je využita na prvním kanálu generátoru k simulování harmonického zkreslení, je vypočteno pouze 125 vzorků.

Proměnná	Rozsah adres	Popis
<code>pole1[250]</code>	0x0000 – 0x01F3	Diskretizovaná čtvrtina periody pro kanál 1
<code>pole2[250]</code>	0x01F4 – 0x03E7	Diskretizovaná čtvrtina periody pro kanál 2
<code>pole3[250]</code>	0x03E8 – 0x05DB	Diskretizovaná čtvrtina periody pro kanál 3
<code>poleZ[125]</code>	0x05DC – 0x06D6	Diskretizovaná čtvrtina periody druhé harmonické složky pro kanál 1

Tab. 4.1: Mapování proměnných diskretními vzorky do paměti XRAM

Celkový diskretní offset harmonických signálů je z nastavených hodnot offsetu určen podle vztahu (4.2) a uložen do proměnných `off1` (1. kanál), `off2` (2. kanál) a `off3` (3. kanál.) typu `unsigned int`.

Vlastní generování harmonického signálu z vypočtených diskretních vzorků a offsetu je prováděno v přerušení od čítače/časovače 2. Na základě nastavené frekvence výstupního signálu jsou vypočteny hodnoty registrů TH2, TL2, RCAP2H a RCAP2L podle rovnice (4.3), které nastavují frekvenci volání přerušení programu.

V obsluze přerušení od časovače 2 je vypočtena pro každý výstupní kanál aktuální diskretní hodnota výstupního napětí podle schématu na obrázku 4.2 pro první kanál a na obrázku 4.1 pro kanály dva a tři. Tyto hodnoty jsou zapsány do vstupních registrů DA převodníků a následně jsou ve stejný okamžik aktualizovány jejich výstupy napětí. V této rutině je také generován synchronizační impuls na tranzistorovém výstupu a prováděna indikace délky periody pomocí indikační diody.

Zdrojový kód projektu je rozdělen do několika souborů, které jsou stručně popsány v následujícím přehledu.

lcd.h

Soubor obsahuje deklarace funkcí pro ovládání alfanumerického LCD displeje s radičem KS0070B a definici připojení displeje k mikropočítači.

lcd.c

Tento soubor obsahuje funkce pro ovládání LCD displeje 16 x 2 znaků komunikujícím s mikropočítačem po 8bitové datové sběrnici.

<code>void disp_ini(void)</code>	inicializace displeje
<code>void gotoxy(unsigned char x, unsigned char y)</code>	nastavení pozice kurzoru
<code>void clrscr(void)</code>	smazání obsahu displeje
<code>void print_ch(char ch)</code>	zápis jednoho znaku na LCD
<code>void print_str(char *str)</code>	zápis řetězce znaků na LCD
<code>void write_cmd(char cmd, unsigned int delay)</code>	zápis příkazu

Tab. 4.2: Přehled funkcí v souboru *lcd.c*

ad5340.h

Soubor obsahuje deklarace funkcí pro ovládání DA převodníků AD5340 a definici připojení převodníku k jednočipovému mikropočítači.

ad5340.c

Tento soubor obsahuje základní funkce pro obsluhu třech DA převodníků připojených na společnou datovou sběrnici.

<code>void write_da(unsigned int nap, unsigned char channel, bit s)</code>	Zápis hodnoty napětí do vstupního registru s možností současné aktualizace výstupu
<code>void sync(void)</code>	Aktualizace výstupů všech DA převodníků

Tab. 4.3: Přehled funkcí v souboru *ad5340.c*

xbanking.a51

Soubor obsahuje rutiny pro komunikaci s integrovanou pamětí EEPROM pro trvalé ukládání dat. Tento soubor je součástí vývojového prostředí.

rutiny.c

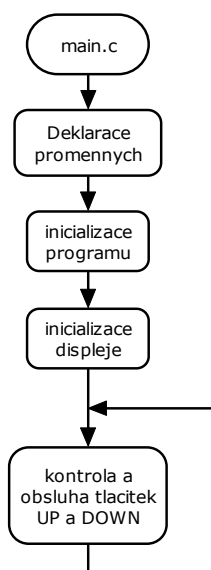
Tento soubor obsahuje hlavní rutiny pro funkci generátoru a uživatelské rozhraní. Většina funkcí je realizována v obsluze.

<code>void generuj (void)</code>	Uložení diskretizovaných čtvrtperiod harmonického signálu do paměti XRAM a nastavení offsetu a fáze
<code>void interrupt0 (void) interrupt 0</code>	Obsluha tlačítka MODE
<code>void interrupt1 (void) interrupt 2</code>	Obsluha tlačítka SET
<code>void timer0 (void) interrupt 1</code>	Obsluha tlačítek UP a DOWN
<code>void timer2 (void) interrupt 5</code>	Vlastní generování harmonického průběhu DA převodníky
<code>void updateLCD (void)</code>	Zobrazení menu na LCD displeji

Tab. 4.4: Přehled funkcí v souboru *rutiny.c*

main.c

Soubor *main.c* obsahuje vlastní tělo programu. Na začátku programu jsou deklarovány všechny proměnné a provedena inicializace programu (povolení přerušování, nastavení režimů časovačů a inicializace displeje). V nekonečné smyčce jsou kontrolovány tlačítka UP a DOWN a aktualizován obsah menu na LCD displeji.



Obrázek 4.3: Vývojový diagram těla programu

4.3 POPIS POUŽITÝCH PROSTŘEDKŮ MIKROKONTROLERU

Většina důležitých funkcí firmwaru je obsluhována v přerušení programu. Použitý mikropočítač obsahuje 9 zdrojů přerušení. Všechna přerušení kromě resetu jsou maskovatelná a je nutné je nejprve povolit nastavením příslušných bitů v registrech IEN0 a IEN1. Globální povol přerušení se povoluje nastavením bitu EA v registru IEN0.

Tento projekt používá přerušení od čítače/časovače T0, čítače/časovače T2 a externí přerušení INT0 a INT1. Všechny tyto zdroje přerušení se povolují v registru IEN0.

Bit	Název	Zdroj přerušení
7	EA	Globální přerušení
6	EC	Pole čítačů PCA
5	ET2	Čítač/časovač T2
4	ES	Sériová linka
3	ET1	Čítač/časovač T2
2	EX1	Vnější přerušení INT1
1	ET0	Čítač/časovač T2
0	EX0	Vnější přerušení INT0

Tab. 4.5: Registr IEN0

4.3.1 Čítač/časovač 2

Čítač/časovač 2 je v obslužném programu generátoru použit k pravidelné aktualizaci výstupů DA převodníku tak, aby výsledný harmonický signál měl požadovanou frekvenci. Dále zajišťuje generování synchronizačních impulsů na tranzistorovém výstupu.

Čítač/časovač 2 pracuje v 16bitovém režimu s automatickým přednastavením jako časovač, což umožňuje v pravidelných časových intervalech vyvolávat přerušování programu. Režim čítače/časovače 2 lze nastavit v registru T2CON. Tento režim je však po resetu nastaven implicitně a stačí pouze nastavit bit TR2 v registru T2CON, který spustí časovač. Frekvence přetečení je určena hodnotami v registrech TH2 a TL2. V okamžiku vyvolání přerušování od časovače 2 jsou tyto registry opětovně naplněny hodnotami z registrů RCAP2H a RCAP2L. Obsah registrů TH2, TL2, RCAP2H a RCAP2L je nastaven na základě zvolené frekvence výstupního signálu podle rovnice (4.3).

4.3.2 Čítač/časovač 0

Ke zjištění doby stisknutí tlačítek UP a DOWN je využit čítač/časovač 0, který pracuje v režimu 16bitového časovače (mód 1). Režim 16bitového časovače se nastavuje v speciálním funkčním registru TMOD zápisem hodnoty 0x01 a spouští se nastavením kontrolního bitu TR0 v registru TCON. Časový interval vyvolání přerušování programu T se nastavuje v registrech TL0 a TH0 a jeho délka je dána vztahem:

$$T = \frac{12}{f_{osc}} [65535 - (TH0, TL0)] \quad [s] \quad (4.9)$$

4.3.3 Vnější přerušování INT0 a INT1

Tlačítka MODE a SET jsou obsluhována v rutinách pro vnější přerušování INT0 a INT1. Přerušování je voláno při sestupné hraně na příslušném pinu jednočipového mikropočítače. K nastavení typu signálu pro vyvolání přerušování slouží bity IT0 a IT1 v registru TCON.

4.3.4 Paměť dat EEPROM

Integrovaná paměť dat EEPROM je využita k ukládání nastavených parametrů výstupních harmonických signálů generátoru a jejich uchování i po odpojení napájecího napětí.

Mapování proměnných do této paměti zajišťují rutiny obsažené v připojeném souboru *xbanking.a51*, který je dodáván jako součást vývojového prostředí.

4.4 POPIS OVLÁDÁNÍ GENERÁTORU

Uživatelské rozhraní generátoru tvoří čtveřice ovládacích tlačítek a dvouřádkový alfanumerický LCD. Po připojení napájecího napětí ke generátoru, případně po resetu, se automaticky provede inicializace programu dle posledního nastavení parametrů signálů a spustí se vlastní proces generování výstupních signálů.

Po stisknutí tlačítka MODE se generování výstupního napětí přeruší a na LCD displeji se zobrazí menu. Na horním řádku displeje je zobrazena aktuální položka menu s odpovídajícím parametrem výstupního signálu viz Tab. 4.6. Na druhém řádku se zobrazují stavové informace indikující režim výběru nebo editace. Mezi režimy „výběr“ a „editace“ se přepíná stisknutím tlačítka SET.

V režimu „výběr“ se lze v menu pohybovat pomocí tlačítek UP a DOWN, v režimu editace mají tyto tlačítka funkci zvýšení nebo snížení nastavené hodnoty aktuálního parametru výstupního signálu.

Po dokončení nastavení parametrů signálů se generátor spustí opětovným stisknutím tlačítka MODE a opět proběhne inicializace programu. Je-li generování spuštěno, tlačítka SET, UP a DOWN nemají žádnou funkci.

Tlačítko	Funkce
MODE	Přepíná mezi spuštěným generováním a zobrazením menu .
SET	V zobrazeném menu přepíná mezi režimy VÝBĚR a EDITACE.
UP	Režim VÝBĚR: posun v menu o položku nahoru Režim EDITACE: zvýšení hodnoty zvoleného parametru signálu
DOWN	Režim VÝBĚR: posun v menu o položku dolů. Režim EDITACE: snížení hodnoty zvoleného parametru signálu.

Tab. 4.6: Funkce tlačítek

Položka	Popis	Rozsah hodnot
f _{rek}	Frekvence výstupního signálu	0,05 Hz až 5 Hz
Amp ₁	Amplituda signálu na kanálu 1	0 V až 3 V
Off ₁	Stejnoseměrné posunutí signálu na kanálu 1	-3 V až +3 V
Amp _Z	Amplituda druhé harmonické složky na kanálu 1	0 V až 3 V
Amp ₂	Amplituda harmonického signálu na kanálu 2	0 V až 3 V
Off ₂	Stejnoseměrné posunutí signálu na kanálu 2	-3 V až +3 V
fi ₂₁	Fázový posuv signálu kanálu 2 vůči prvnímu kanálu	0° až 359°
Amp ₃	Amplituda harmonického signálu na kanálu 3	0 V až 3 V
Off ₃	Stejnoseměrné posunutí signálu na kanálu 3	-3 V až +3 V
fi ₃₁	Fázový posuv signálu kanálu 3 vůči prvnímu kanálu	0° až 359°

Tab. 4.7: Popis položek menu

Zobrazená informace	Popis
Probiha inicializace programu	Indikace výpočtu diskrétních hodnot pro generování harmonických signálů a následné spuštění generátoru.
BEZI	Indikace spuštěného generování výstupních signálů – nelze vybírat ani nastavovat parametry..
STOP	Krátká indikace zastavení generátoru a následné přepnutí do režimu výběru parametrů v menu.
VYBER	Režim výběru – tlačítka UP a DOWN lze v menu vybírat parametry signálu.
EDITACE	Režim editace – tlačítka UP a DOWN lze nastavit hodnotu zvoleného parametru signálu.

Tab. 4.8: Stavové informace

5. OVĚŘENÍ VLASTNOSTÍ GENERÁTORU

5.1 STABILITA FREKVENCE

Stabilita frekvence výstupního signálu byla určena pomocí univerzálního čítače HP53131A pracujícím ve statistickém režimu měření. Vzhledem k tomu, že výstupy všech DA převodníků jsou aktualizovány současně, měření stability frekvence bylo provedeno pouze na prvním kanálu. Stabilita frekvence byla určena pro frekvence výstupního napětí 1 Hz a 5 Hz s amplitudou signálu 3 V a nulovým offsetem. Statistické měření frekvence bylo prováděno po dobu 300 s. Stabilita frekvence byla určena podle vztahu:

$$\frac{\delta f}{\Delta t} = \frac{f_{MAX} - f_{MIN}}{f_{MEAN}} \cdot \frac{1}{\Delta t} \quad [s^{-1}] \quad (5.1)$$

kde:

$\frac{\delta f}{\Delta t}$	stabilita frekvence	[s ⁻¹]
f_{MAX}	maximální změřená frekvence	[Hz]
f_{MIN}	minimální změřená frekvence	[Hz]
f_{MEAN}	průměrná hodnota frekvence	[Hz]
Δt	doba měření	[s]

f_{SET}	Hz	1	5
f_{MAX}	Hz	1,003201	5,010018
f_{MIN}	Hz	1,003197	5,009997
f_{MEAN}	Hz	1,003199	5,009999
Δt	S	300	300
δf	–	$3,99 \cdot 10^{-6}$	$4,19 \cdot 10^{-6}$
$\delta f / \Delta t$	s ⁻¹	$1,33 \cdot 10^{-8}$	$1,40 \cdot 10^{-8}$

Tab. 5.1: Stabilita frekvence výstupního harmonického signálu

5.2 LINEARITA NASTAVENÍ FREKVENCE

Frekvence výstupního signálu byla nastavována v rozsahu 0,05 Hz až 5 Hz, skutečná výstupní frekvence byla měřena univerzálním čítačem HP53131A. Amplituda výstupního signálu byla $Amp1 = 3\text{ V}$ a offset $Off1 = 0\text{ V}$. Měření opět probíhalo pouze na prvním výstupním kanálu generátoru.

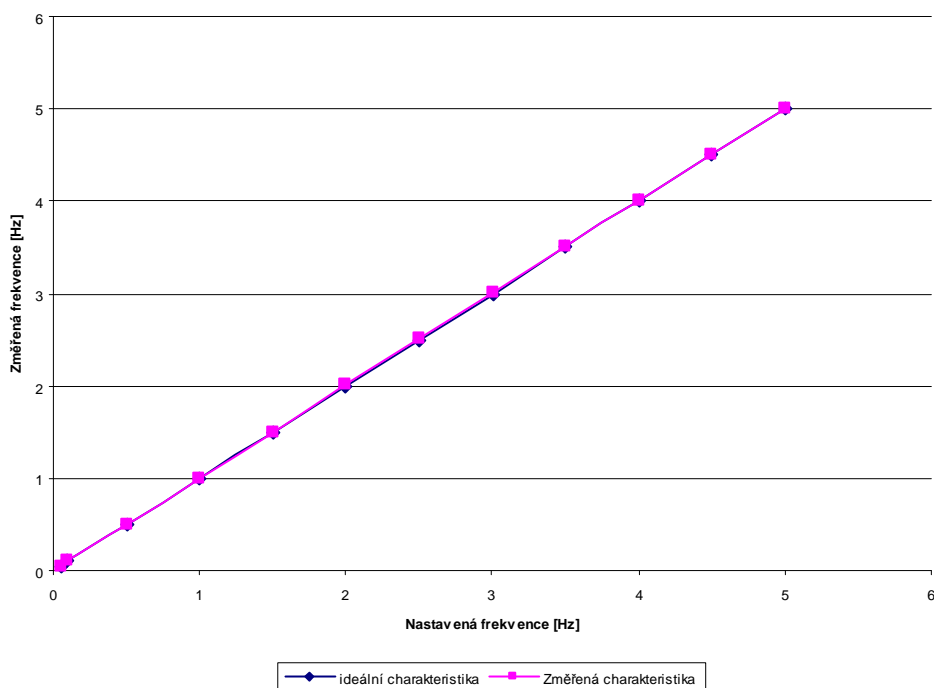
$$\delta_L = \frac{\max(f_M - f_{SET})}{f_{MAX} - f_{MIN}} \cdot 100\% \quad [\%] \quad (5.2)$$

kde:

δ_L	chyba linearity nastavení frekvence	[%]
f_M	změřená frekvence výstupního signálu	[V]
f_{SET}	nastavená frekvence výstupního signálu	[V]
f_{MAX}	maximální hodnota rozsahu	[V]
f_{MIN}	minimální hodnota rozsahu	[V]

Z naměřených hodnot zobrazených v grafu 5.1 byla linearita nastavení frekvence harmonického signálu určena na 0,2 % z rozsahu.

Graf 5.1: Linearita nastavení frekvence výstupního signálu



5.3 LINEARITA NASTAVENÍ AMPLITUDY SIGNÁLU

Měření linearity nastavení výstupního napětí bylo provedeno pomocí digitálního paměťového osciloskopu HP DSO3052A. Na generátoru byla postupně nastavována amplituda výstupního signálu v rozsahu 0,2 V až 3 V. Osciloskopem bylo měřeno napětí špička-špička (U_{pp}) a výstupní amplituda byla určena jako jeho polovina. Měření bylo provedeno zvláště pro každý výstupní kanál při frekvenci výstupního signálu 5 Hz a s nulovým nastaveným offsetem. Linearita výstupního byla určena podle vzorce:

$$\delta_L = \frac{\max(U_M - U_{SET})}{U_{MAX} - U_{MIN}} \cdot 100\% \quad [\%] \quad (5.3)$$

kde:

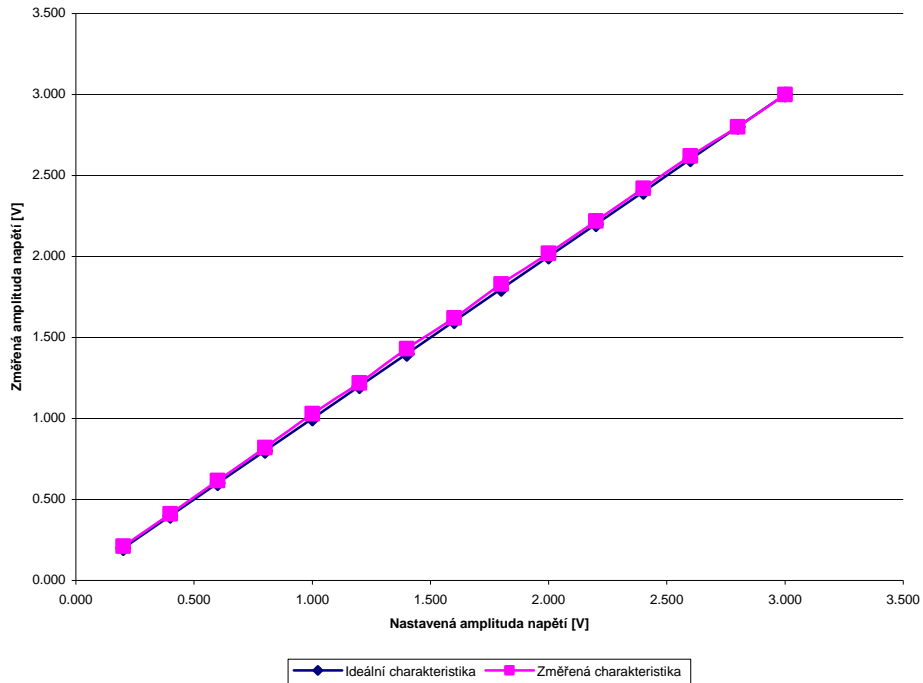
δ_L	chyba linearity nastavení amplitudy signálu	[%]
U_M	změřená amplituda výstupního signálu	[V]
U_{SET}	nastavená amplituda výstupního signálu	[V]
U_{MAX}	maximální hodnota rozsahu	[V]
U_{MIN}	minimální hodnota rozsahu	[V]

Kanál	Linearita z rozsahu [%]
1	1,00%
2	1,33%
3	1,33%

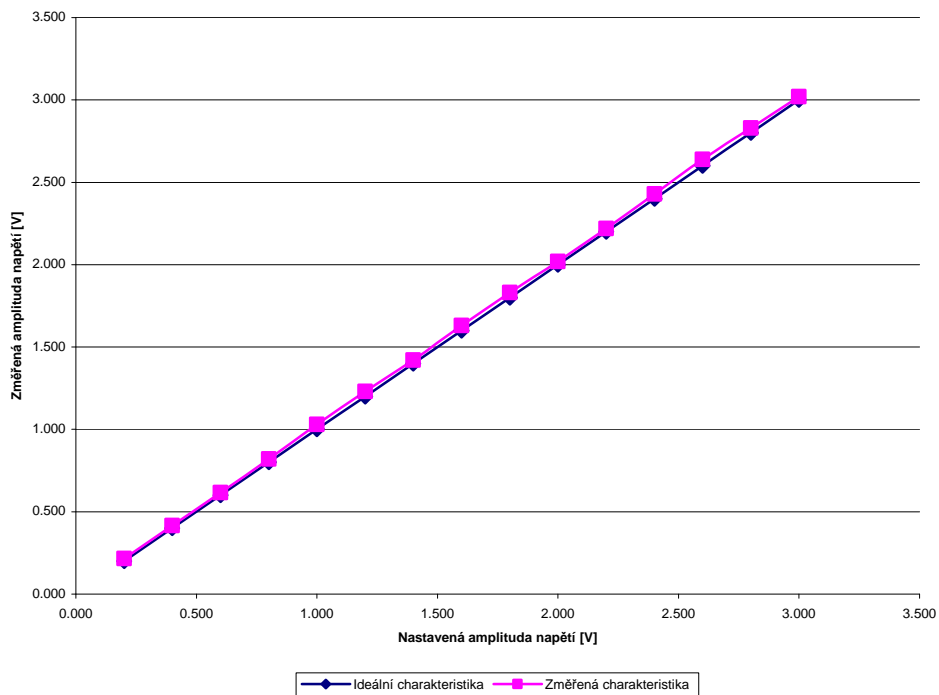
Tab. 5.2: Linearita nastavení amplitudy výstupního napětí

Naměřené hodnoty výstupního napětí generátoru v závislosti na nastavené hodnotě jsou pro jednotlivé kanály znázorněny v grafech 5.2 až 5.3. Největší podíl na odchylce naměřených hodnot od nastavených má přítomnost šumu na napájecím napětí způsobený činností DC-DC měniče, který přechází i na referenční napětí DA převodníků.

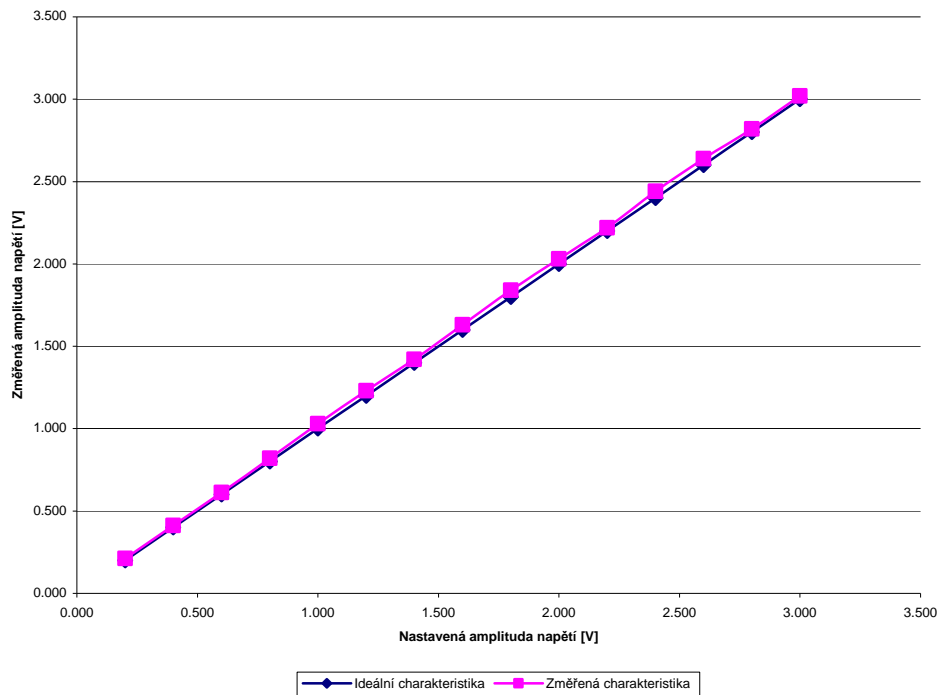
Graf 5.2: Linearita výstupního napětí - kanál 1



Graf 5.3: Linearita výstupního napětí - kanál 2



Graf 5.4: Linearita výstupního napětí - kanál 3



5.4 HARMONICKÉ ZKRESLENÍ VÝSTUPNÍHO SIGNÁLU

Na prvním výstupním kanálu generátoru lze nastavit amplitudu druhé harmonické složky v rozsahu 0 V až 1 V. Takto lze nastavit harmonické zkreslení signálu.

Ověření této vlastnosti bylo provedeno pomocí digitálního osciloskopu HP DSO3052A s FFT modulem. Na obrazovce osciloskopu bylo zobrazeno frekvenční spektrum pro různé nastavení amplitudy první a druhé harmonické složky. Pomocí kurzorů byla určena frekvence a efektivní hodnota jednotlivých harmonických složek a koeficient harmonického zkreslení signálu byl vypočten podle vztahu 5.4. Naměřené a vypočtené hodnoty jsou uvedeny v tabulce 5.3.

$$k = \frac{\sqrt{U_2 + U_3 + \dots + U_N}}{U_1} \quad [-] \quad (5.4)$$

kde k koeficient harmonického zkreslení signálu [-]
 $U_1 \dots U_N$ efektivní hodnota harmonických složek [V]

f_{SET}	[Hz]	1	1	1	5
U_{SET}	[V]	1	1	1	1
U_Z	[V]	0	0,5	1	1
U_1	[V]	0,676	0,684	0,664	0,672
U_2	[V]	0,000	0,352	0,664	0,646
f_1	[Hz]	1,1	1,1	1,1	5,3
f_2	[Hz]	0	2,1	2,1	10,4
k	[-]	0,00	0,51	1,00	0,96

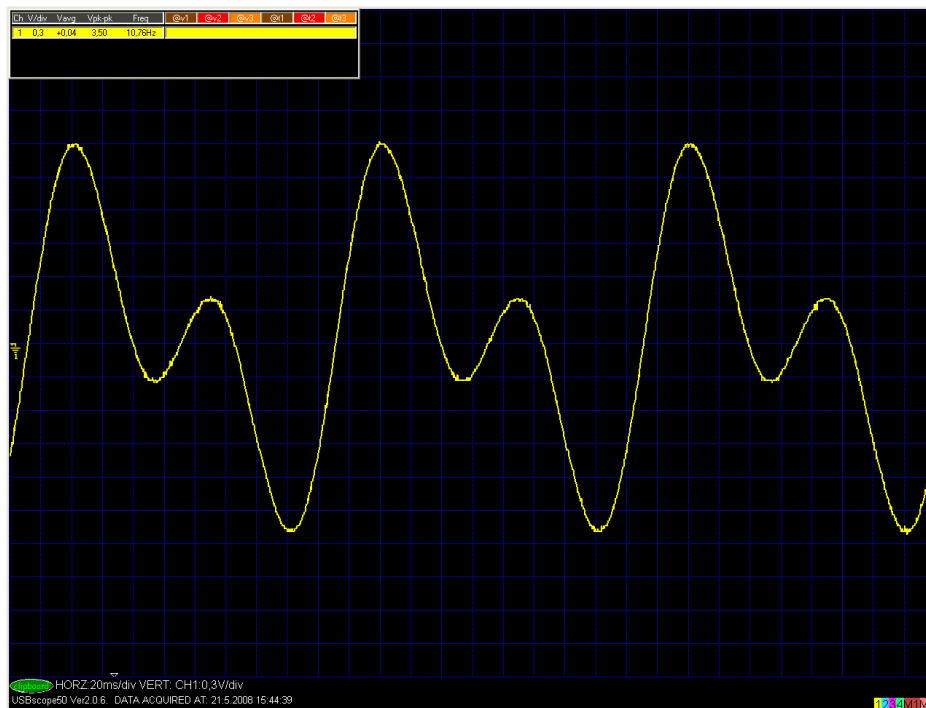
Tab. 5.3: Hodnoty harmonického zkreslení výstupního signálu na kanálu 1

Legenda

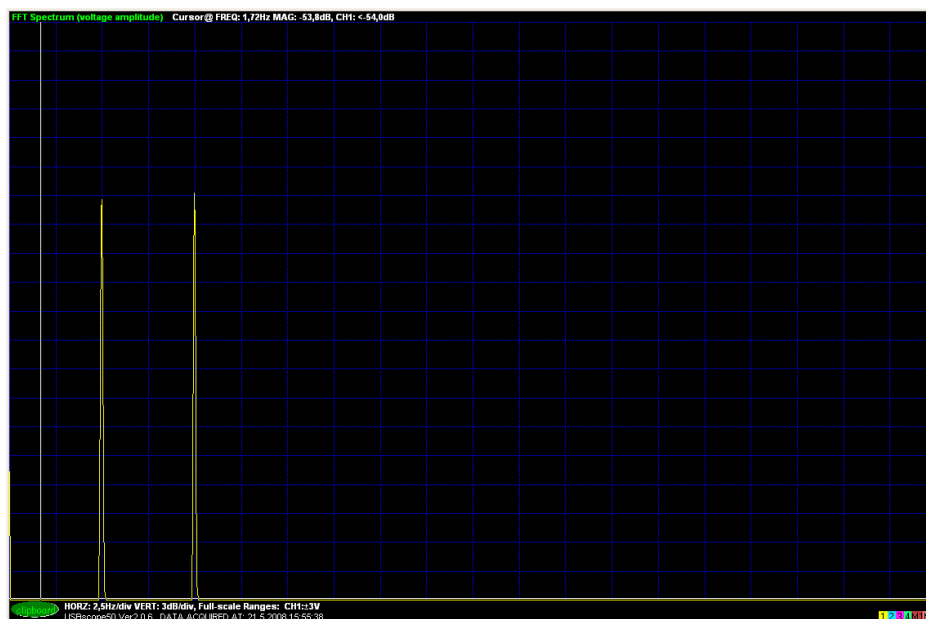
- f_{SET} nastavená frekvence
- U_{SET} nastavená amplituda první harmonické složky
- U_Z nastavená amplituda druhé harmonické složky
- U_1 změřená efektivní hodnota 1. harmonické složky
- U_2 změřená efektivní hodnota 2. harmonické složky
- f_1 změřená frekvence první harmonické složky
- f_2 změřená frekvence druhé harmonické složky
- k koeficient harmonického zkreslení

5.5 UKÁZKY PRŮBĚHŮ SIGNÁLŮ

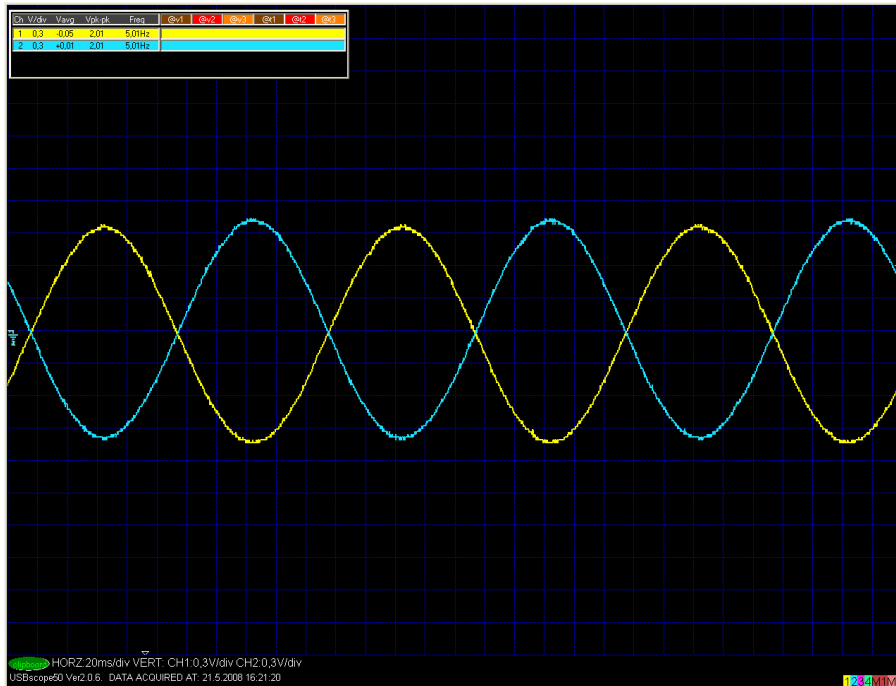
Pozn.: Následující průběhy byly zaznamenány přenosným USB osciloskopem USBScope50.



Obrázek 5.1: Zkreslený průběh harmonického signálu na kanálu 1
($f_{\text{rek}} = 5 \text{ Hz}$, $A_{\text{mp1}} = 1 \text{ V}$, $A_{\text{mpZ}} = 1 \text{ V}$, $Off1 = 0 \text{ V}$)

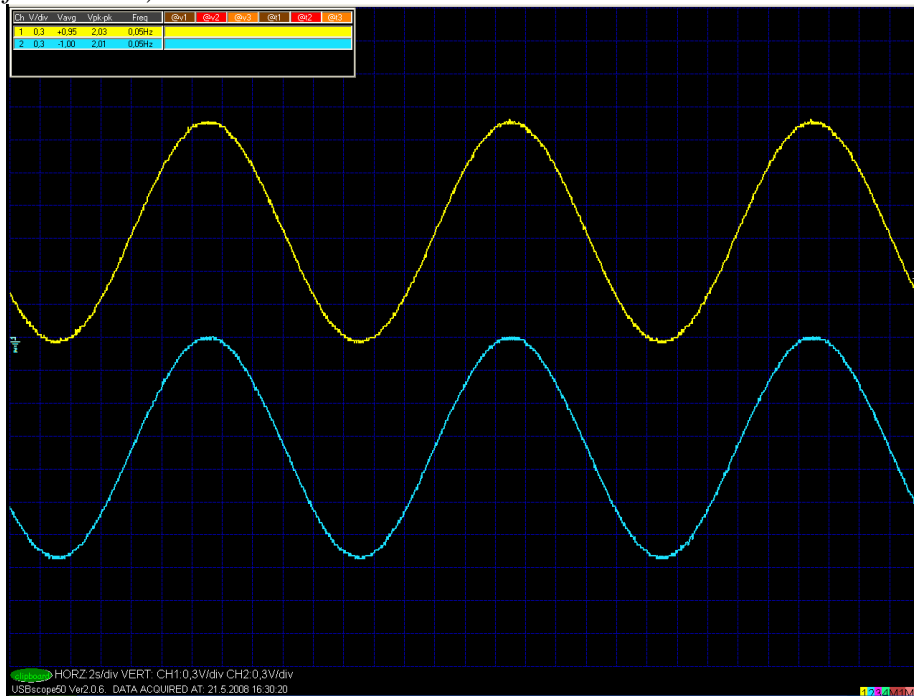


Obrázek 5.2: Frekvenční spektrum signálu z předchozího obrázku



Obrázek 5.3: Průběh dvou signálů s fázovým posuvem 180°

($f_{rek} = 5 \text{ Hz}$, $Amp1 = 1 \text{ V}$, $Amp2 = 1 \text{ V}$, $Off1 = 0 \text{ V}$, $Off2 = 1 \text{ V}$, $f_{i2} = 180^\circ$)



Obrázek 5.4: Dva harmonické signály s offsetem $+1 \text{ V}$ a -1 V

($f = 0,05 \text{ Hz}$, $Amp2 = 1 \text{ V}$, $Off2 = +1 \text{ V}$, $f_{i21} = 0^\circ$, $Amp3 = 1 \text{ V}$, $Off3 = -1 \text{ V}$, $f_{i31} = 0^\circ$)

6. ZÁVĚR

Výsledkem této práce je realizovaný a oživený nízkofrekvenční generátor harmonických signálů, který splňuje všechny požadavky specifikované v zadání.

Generátor umožňuje generovat tři harmonické signály o zadané frekvenci a nezávisle nastavitelnou amplitudou výstupního napětí a stejnosměrným posunutím. Frekvenci signálu lze nastavit v rozsahu 0,05 Hz až 5 Hz. Vzhledem k nedostupnosti a vysoké ceně rail to rail operačních zesilovačů byl původně navržený typ výstupního zesilovače AD824 nahrazen zesilovačem LM324, čímž bylo nutné snížit rozsah výstupního napětí generátoru na -4 V až +4 V. Toto omezení však nemá zásadní vliv na účel použití daného zařízení. Amplitudu signálu lze nastavit od 0 V do 3 V a stejnosměrné posunutí signálu od -3 V do +3 V. Při nastavování těchto parametrů je třeba dávat pozor, aby jejich kombinace nepřesáhla povolený rozsah. V opačném případě může být výstupní signál znehodnocen. Na výstupních kanálech dva a tři lze nezávisle nastavit fázový posuv signálu vůči prvnímu kanálu v rozsahu 0° až 359°.

Vlastní hardwarová konstrukce generátoru je založena na jednočipovém mikropočítači AT89C521ED2, který obsluhuje trojici DA převodníků AD5340 a zajišťuje uživatelské rozhraní v podobě alfanumerického LCD displeje a ovládacích tlačítek. Výstupní napětí DA převodníků je upraveno na požadovaný rozsah již zmíněným operačním zesilovačem, který je zapojen jako diferenční zesilovač výstupního a referenčního napětí.

Generování sinusového průběhu zajišťuje použitý mikropočítač. Jako nejvhodnější způsob generování harmonických průběhů se ukázala metoda uložení diskretizované čtvrtiny periody harmonického signálu o zadané amplitudě pro každý kanál do paměti dat XRAM a následná rekonstrukce harmonického signálu za běhu programu.

Na základě provedených měření parametrů výstupních signálů lze konstatovat, že navržený generátor je pro daný účel použití vyhovující. Největším problémem navrženého zařízení se jeví přítomnost rušení na napájecím napětí, které částečně ovlivňuje i výstupní signál generátoru.

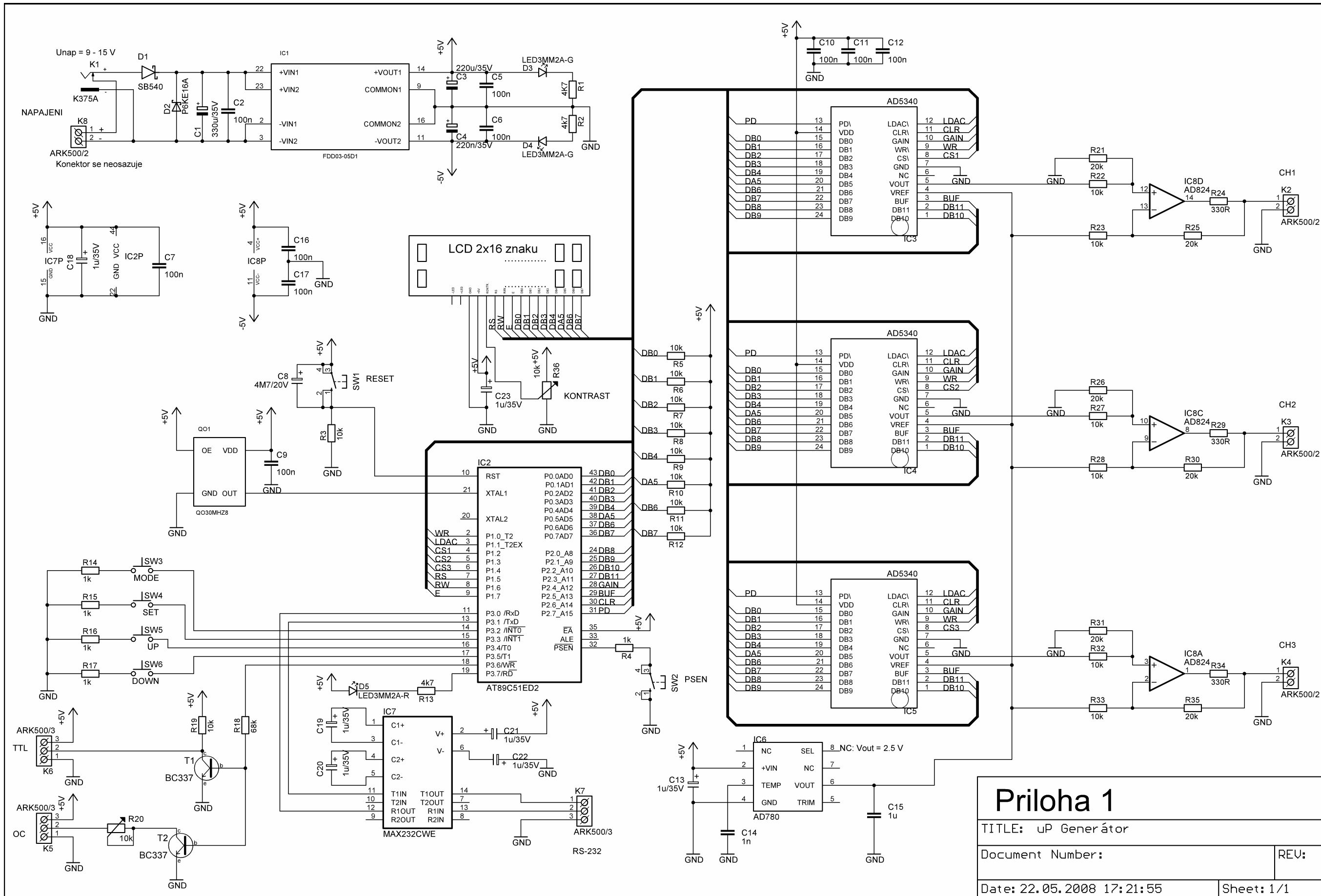
LITERATURA

- [1] HÁZE J., VRBA R., FUCIK L., SAJDL O.: *Teorie vzájemného převodu analogového a číslicového signálu*, [on-line], [CD-ROM]. Brno. VUT Brně, FEKT. Ver. 6.11.2006. Dostupné na
<http://www.feec.vutbr.cz/et/skripta/umel/Teorie_prevodu_analog_cislic_signalu_S.pdf>
- [2] *8-bit Flash Microcontroller AT89C51RD2, AT89C51ED2*, [on-line], [CD-ROM]. Atmel Corporation, 4235J–8051–01/08. Dostupné na:
<http://www.atmel.com/dyn/resources/prod_documents/doc4235.pdf>
- [3] *Atmel 8051 Microcontrollers hardware manual* [on-line], [CD-ROM]. Atmel Corporation, 4316E–8051–01/07. Dostupné na :
<http://www.atmel.com/dyn/resources/prod_documents/doc0509.pdf>
- [4] *AD5340 Data Sheet* [on-line], [CD-ROM]. Analog Devices, Rev.A. 02/2008. Dostupné na
<http://www.analog.com/UploadedFiles/Data_Sheets/AD5330_5331_5340_5341.pdf>
- [5] *SB520 – SB5B0 Data Sheet* [on-line], [CD-ROM] EIC Electronics Industry, SEPTEMBER 12, 1998. Dostupné na
<<http://www.datasheetcatalog.org/datasheet/eic/SB550.pdf>>
- [6] *TVS P6KE16A SERIES*, [on-line], [CD-ROM]. RECTRON Semiconductor, 1998-8. Dostupné na
<<http://www.datasheetcatalog.org/datasheet/RECTRON/P6KE27.pdf>>
- [7] *FDD03 SERIES*, [on-line], [CD-ROM]. Chinfa, 2007.8.30. Dostupné na
<<http://www.chinfa.com/04product/download/pdf/DCDC/fdd03.pdf>>
- [8] *SG-531P Data Sheet* [on-line],[CD-ROM]. Epson Corporate, Dostupné na <
<http://www.ortodoxism.ro/datasheets/epson/SG-531P.pdf>>
- [9] *BC337 Data Sheet* [on-line], [CD-ROM]. Fairchild, Rev. A2, August 2002. Dostupné na
<http://www.datasheetcatalog.org/datasheet/philips/BC337_3.pdf>

- [10] *AD780 Data Sheet* [on-line], [CD-ROM]. Analog Devices, Rev. E, 05/2004.
Dostupné na
<http://www.analog.com/UploadedFiles/Data_Sheets/AD780.pdf>
- [11] *MAX220 – MAX249 Data Sheet* [on-line], [CD-ROM]. MAXIM, 19-4323;
Rev 15; 1/06. Dostupné na <<http://datasheets.maxim-ic.com/en/ds/MAX220-MAX249.pdf>>
- [12] *AD824 Data Sheet* [on-line], [CD-ROM]. Analog Devices, Rev. E, 05/2004.
Dostupné na
<http://www.analog.com/UploadedFiles/Data_Sheets/AD824.pdf>
- [13] *16COM / 80SEG DRIVER & CONTROLLER FOR DOT MATRIX LCD* [on-line], [CD-ROM]. Samsung Electronic. Dostupné na
<<http://www.datasheetcatalog.org/datasheet/SamsungElectronic/mXqyrrs.pdf>>

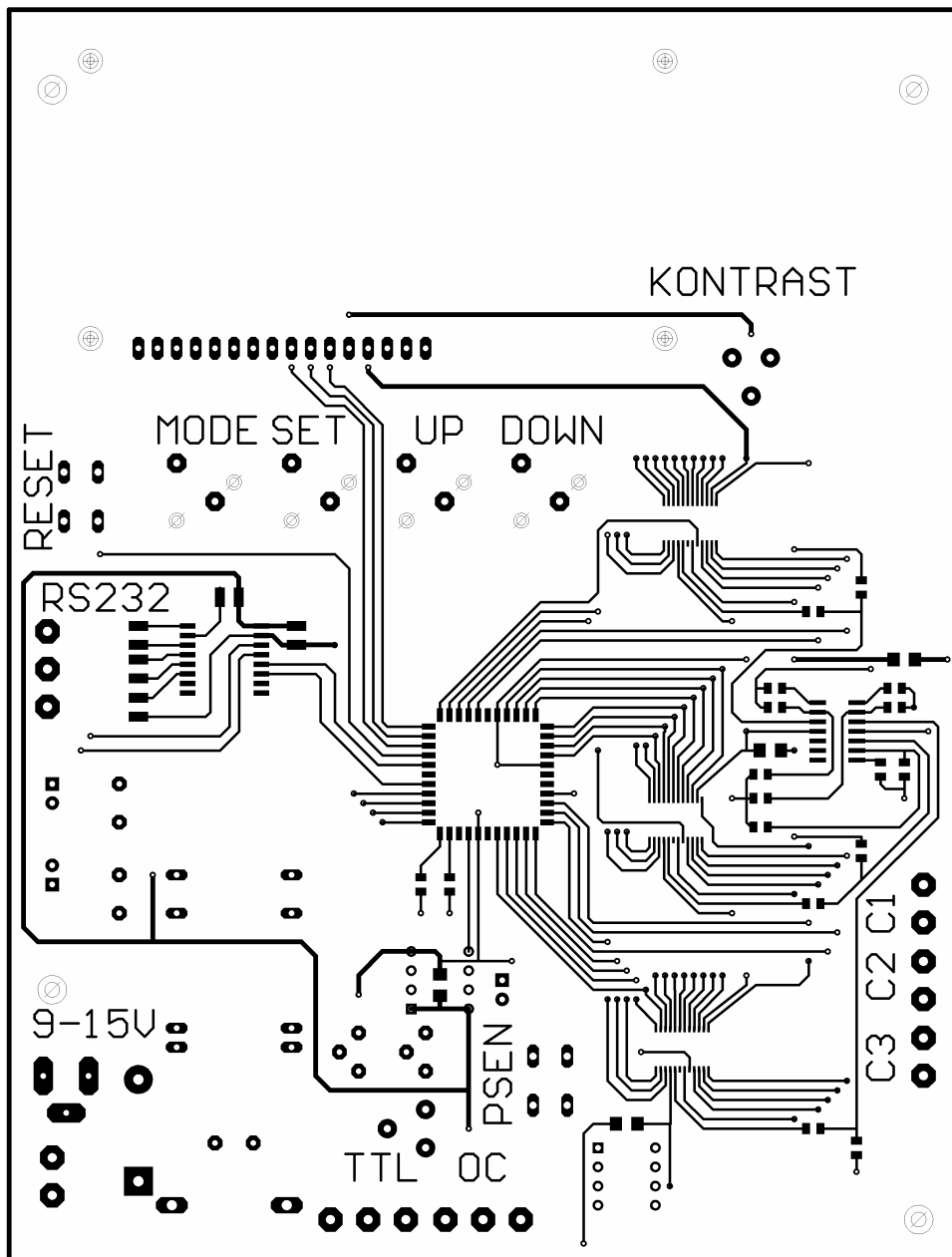
SEZNAM PŘÍLOH

- Příloha 1 Schéma zapojení (vložená volně)
- Příloha 2 Deska plošného spoje – top
- Příloha 3 Deska plošného spoje – bottom
- Příloha 4 Osazovací plán DPS – top
- Příloha 5 Osazovací plán DPS – bottom
- Příloha 6 Partlist
- Příloha 7 Obsah CD

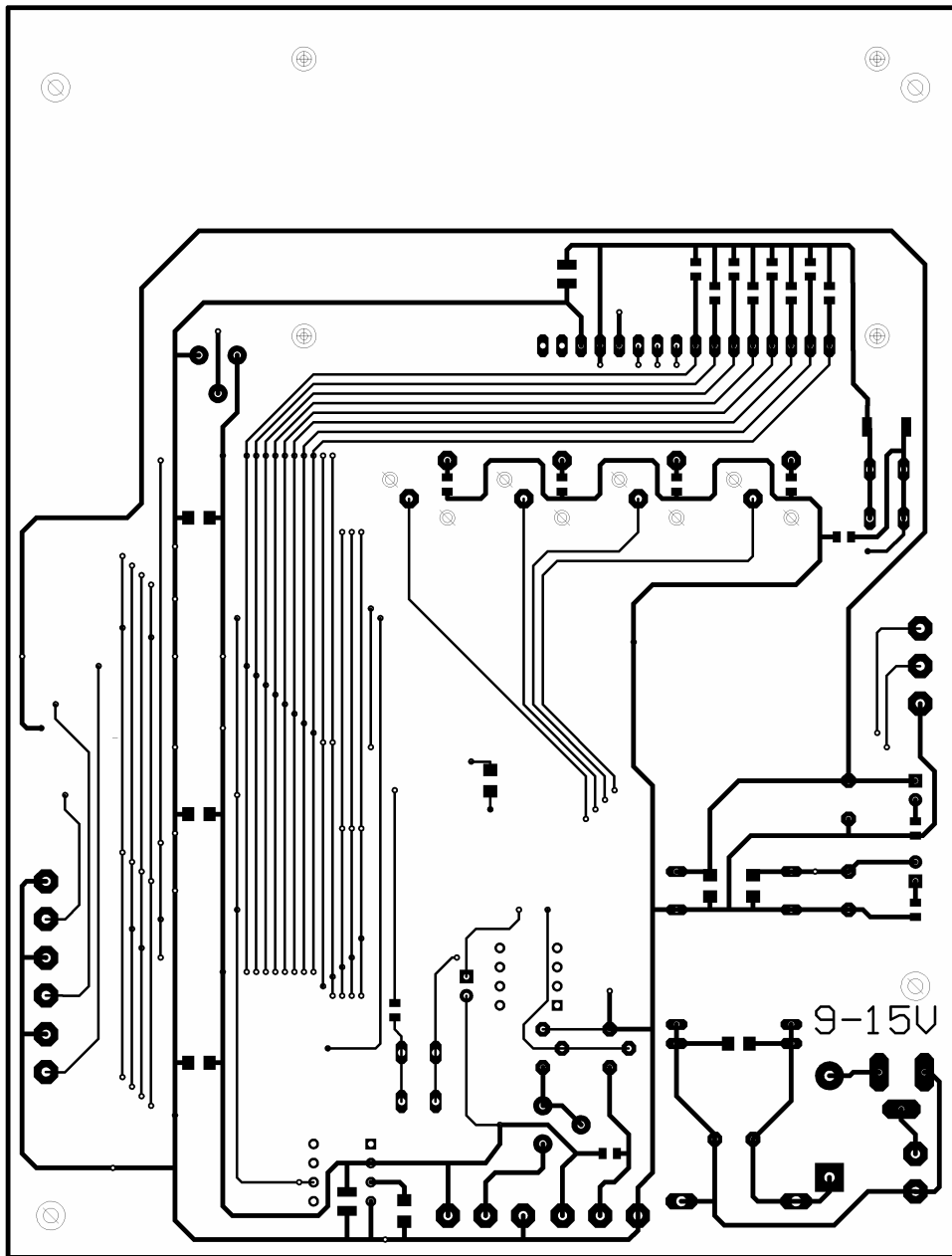


Priloha 1	
TITLE: uP Generátor	
Document Number:	REV:
Date: 22.05.2008 17:21:55	Sheet: 1/1

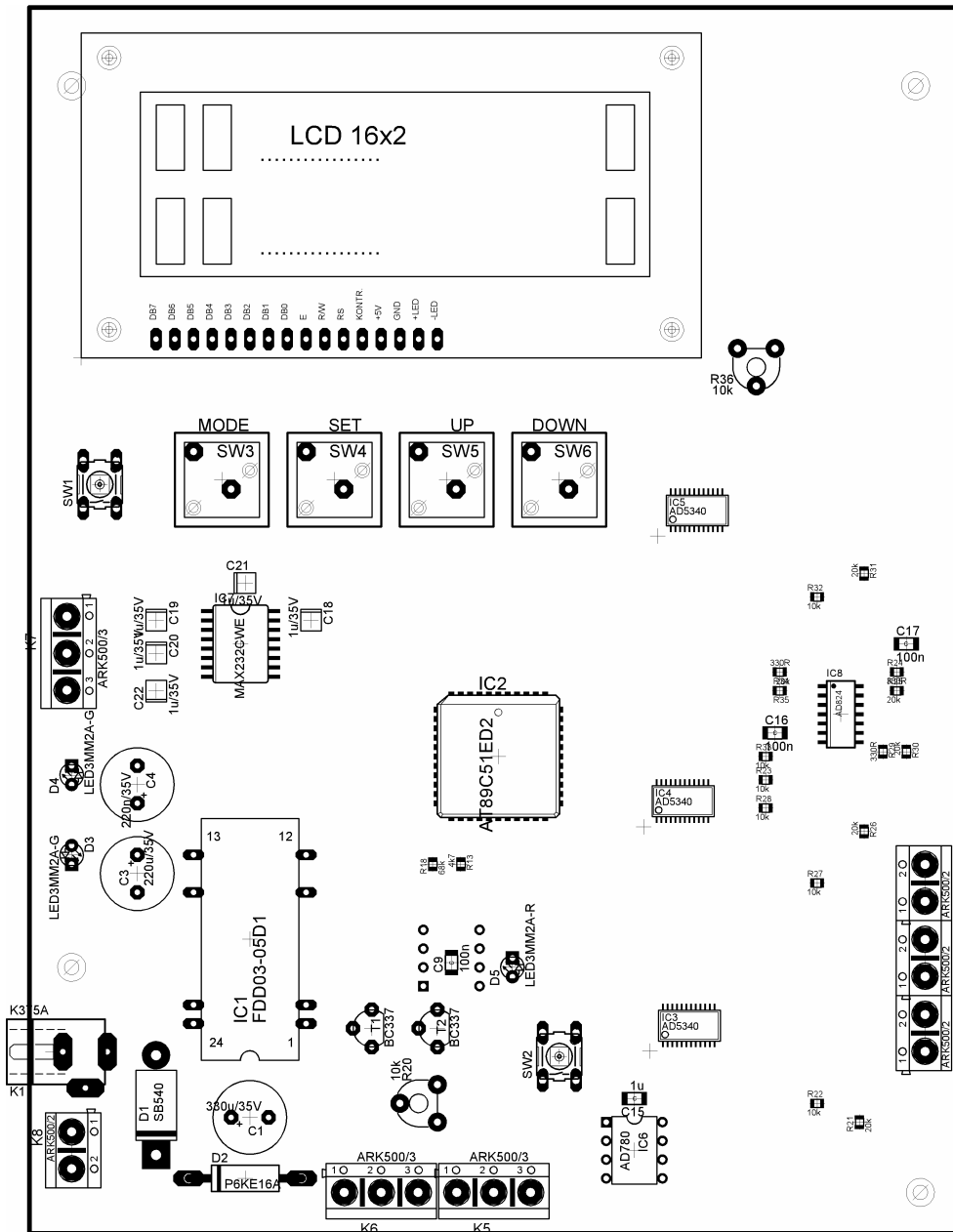
Příloha 2: Deska plošného spoje - top



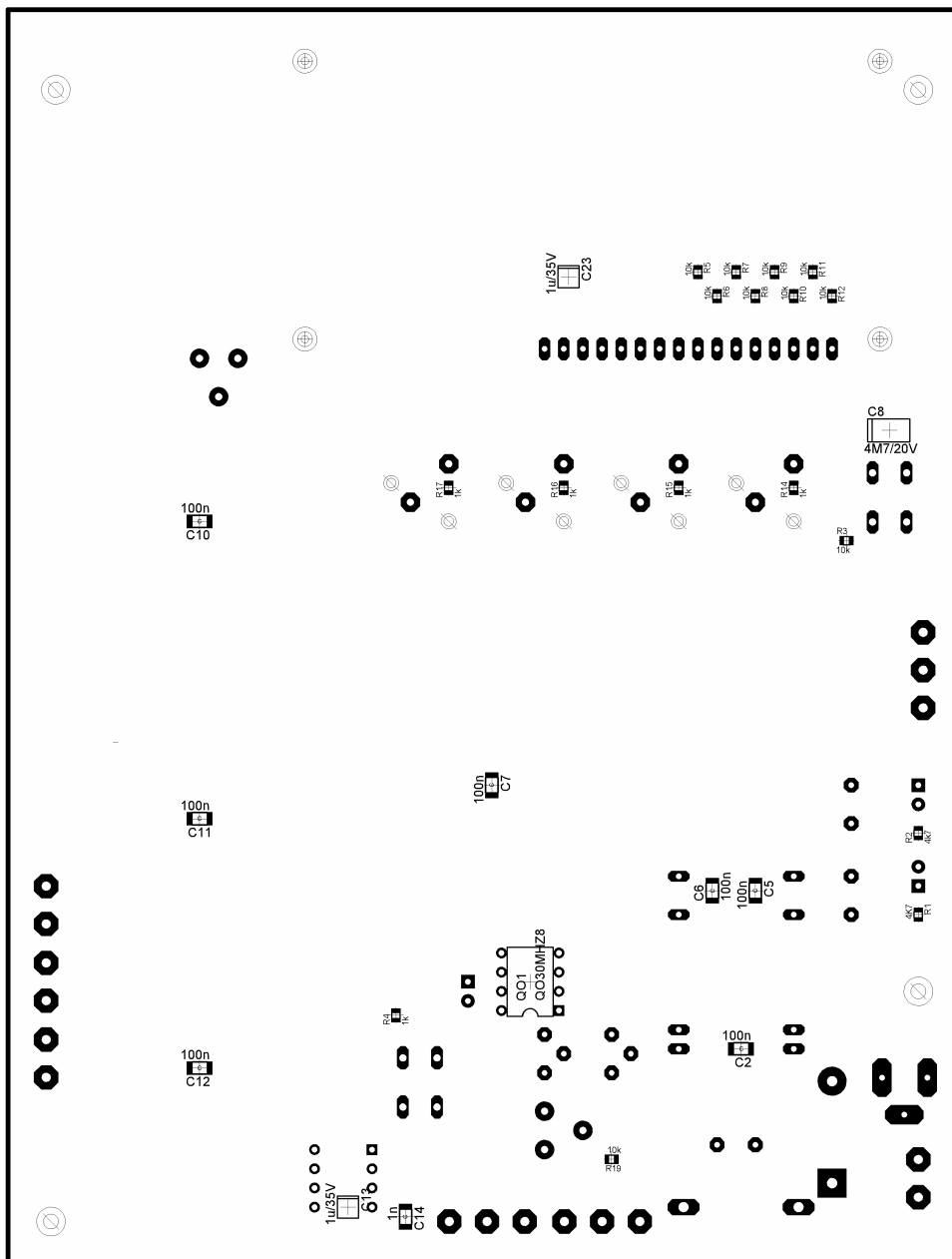
Příloha 3: Deska plošného spoje - bottom



Příloha 4: Osazovací plán DPS - top



Příloha 5: Osazovací plán - bottom



Příloha 6: Partlist

Part	Value	Package
C1	330u/35V	ELEKTROLITICKY_RM5-10
C2	100n	SMD1206
C3	220u/35V	ELEKTROLITICKY_RM5-10
C4	220n/35V	ELEKTROLITICKY_RM5-10
C5	100n	SMD1206
C6	100n	SMD1206
C7	100n	SMD1206
C8	4M7/20V	CTSC
C9	100n	SMD1206
C10	100n	SMD1206
C11	100n	SMD1206
C12	100n	SMD1206
C13	1u/35V	CTSB
C14	1n	SMD1206
C15	1u	SMD1206
C16	100n	SMD1206
C17	100n	SMD1206
C18	1u/35V	CTSB
C19	1u/35V	CTSB
C20	1u/35V	CTSB
C21	1u/35V	CTSB
C22	1u/35V	CTSB
C23	1u/35V	CTSB
D1	SB540	DO201
D2	P6KE16A	C1702-15
D3	LED3MM2A-G	LED_3
D4	LED3MM2A-G	LED_3
D5	LED3MM2A-R	LED_3
IC1	FDD03-05D1	TEN3XXXX
IC2	AT89C51ED2	PLCC44
IC3	AD5340	TSSOP24
IC4	AD5340	TSSOP24
IC5	AD5340	TSSOP24
IC6	AD780	DIL-08
IC7	MAX232CWE	SO16L
IC8	AD824	SO14
K1	K375A	NEB21R
K2	ARK500/2	ARK500/2
K3	ARK500/2	ARK500/2
K4	ARK500/2	ARK500/2
K5	ARK500/3	ARK500/3
K6	ARK500/3	ARK500/3
K7	ARK500/3	ARK500/3
K8	ARK500/2	ARK500/2
LCD1	LCD-16X2	
QO1	QO30MHZ8	DIL-08

R1	4K7	0805
R2	4k7	0805
R3	10k	0805
R4	1k	0805
R5	10k	0805
R6	10k	0805
R7	10k	0805
R8	10k	0805
R9	10k	0805
R10	10k	0805
R11	10k	0805
R12	10k	0805
R13	4k2	0805
R14	1k	0805
R15	1k	0805
R16	1k	0805
R17	1k	0805
R18	68k	0805
R19	10k	0805
R20	10k	PT6V
R21	20k	0805
R22	10k	0805
R23	10k	0805
R24	330R	0805
R25	20k	0805
R26	20k	0805
R27	10k	0805
R28	10k	0805
R29	330R	0805
R30	20k	0805
R31	20k	0805
R32	10k	0805
R33	10k	0805
R34	330R	0805
R35	20k	0805
R36	10k	PT6V
SW1	RESET	B3F-10XX
SW2	PSEN	B3F-10XX
SW3	MODE	P-B1715
SW4	SET	P-B1715
SW5	UP	P-B1715
SW6	DOWN	P-B1715
T1	BC337	TO-92
T2	BC337	TO-92

Příloha 7: Obsah CD

<code>\dp</code>	elektronická verze diplomové práce
<code>\pcb</code>	soubory schématu a desky plošného pro prostředí EAGLE
<code>\source</code>	zdrojové kódy firmwaru
<code>\datasheets</code>	technická dokumentace použitých součástek