

DESIGN OF LATCHED COMPARATOR

Jan Matěj

Master Degree Programme (2), FEEC BUT

E-mail: xmatej44@stud.feec.vutbr.cz

Supervised by: Roman Prokop

E-mail: prokop@feec.vutbr.cz

Abstract: This paper deals with design methods and optimization techniques of dynamic latched comparators. It compares latched and continuous comparators and describes their principle. Then it analyses latched comparators with respect to the offset, speed and kickback noise. It shows practical comparator design focused on offset precision and kickback reduction.

Keywords: Comparator, latched comparator, offset, propagation delay, kickback noise

1 ÚVOD

V moderních integrovaných obvodech je velmi často porovnáván měřený signál pomocí komparátoru. Typickým příkladem jsou analogově číslicové převodníky, kde je komparátor integrálním prvkem všech typů těchto obvodů. Běžně se používají klasické v čase spojité komparátory, které však skýtají nevýhodu konstantní proudové spotřeby. Na rozdíl od těchto komparátorů jsou dynamické komparátory spínány s hodinovým signálem. Mají tak dva stavy, ve kterých se mohou nacházet. Resetovací a vyhodnocovací stav. V resetovacím stavu jsou výstupní elektrody nabitý na stejnou úroveň. Jakmile se obvod dostane do vyhodnocovacího stavu, jsou díky značnému zisku kladné zpětné vazby výstupy překlopeny do stavu logické 1 či 0. Z těchto poznatků plyne, že statická spotřeba je velmi malá, jelikož proud protéká pouze v krátkém čase na počátku vyhodnocovacího stavu, obvod je již ze své podstaty synchronní. Rozkmitání nenastává. Návrh dynamického komparátoru je však složitější než návrh klasického, jelikož se jeho parametry, například režimy tranzistorů, mění v čase. Tento článek se proto zabývá zejména metodami návrhu a optimalizací parametrů spínaných komparátorů. Rovněž předkládá praktický návrh komparátoru v 0,25 μ m CMOS technologii.

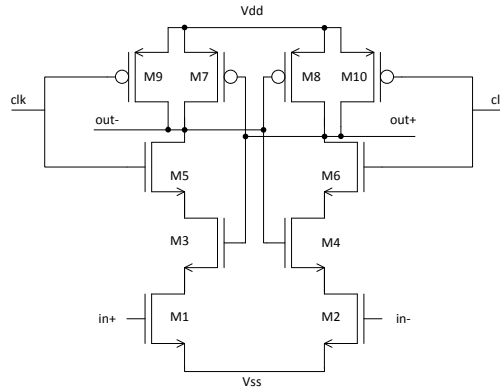
2 ANALÝZA PARAMETRŮ DYNAMICKÝCH KOMPARÁTORŮ

Stejně jako u jiných komparátorů, sledujeme u dynamických řadu parametrů. K nejdůležitějším patří napěťová nesymetrie a přenosové zpoždění. Dále pak spínací rušení, jež vzniká při přechodu komparátoru mezi výše popsanými stavy. V této kapitole budou tyto vlastnosti rozebrány pro dynamický komparátor typu Lewis – Gray na obrázku 1.

2.1 NAPĚŤOVÁ NESYMETRIE

Náhodnou nesymetrii lze definovat jako statistický parametr, kdy zkoumáme míru odchylky od střední hodnoty v případě rozmítání výrobních parametrů jednotlivých součástek. [1] Hodnota, která slouží k porovnání jednotlivých výsledků, je směrodatná odchylka sledované veličiny značená σ . Proudovou nesymetrii MOS tranzistoru lze vyjádřit pomocí upravené Pelgromovy rovnice (2.1.1) [2], kdy uvažujeme rozptyl transkonduktančního parametru a prahového napětí.

$$\sigma_{I_D} = I_D \cdot \sqrt{\frac{A_{K_P}^2}{W \cdot L} + S_{K_P}^2 + \frac{2 \frac{W}{L} \cdot K_P}{I_D} \cdot \left(\frac{A_{V_T}^2}{W \cdot L} + S_{V_T}^2 \right)} \quad (2.1.1)$$



Obrázek 1: Komparátor typu Lewis – Gray

Jelikož tranzistory M5, M6, M9 a M10 zde slouží pouze jako přepínače, je možné jejich vliv zanedbat. Změna napětí na vstupech způsobenou rozptylem parametrů K_P a V_{TH} tranzistorů M1, M2, M3, M4, M7 a M8 se dá vyjádřit jako geometrický součet všech těchto nekorelovaných vlivů (2.1.2).

$$\sigma_{V_{off}} = \frac{\sqrt{2} \cdot I_D}{g_{m1}} \cdot \sqrt{\sigma_{I_{D1}}^2 + \sigma_{I_{D2}}^2 + \sigma_{I_{D3}}^2} \quad (2.1.2)$$

Protože se vstupní páry nacházejí v lineárním režimu, změna transkonduktance s poměrem šířky a délky vstupních tranzistorů vykazuje menší strmost než změna proudu, je nezbytné, aby měly vstupní páry, co možná nejmenší šířku.

2.2 PŘENOSOVÉ ZPOŽDĚNÍ

Je to doba, za kterou se informace ze vstupu přenesou na výstup, definuje maximální frekvenci. Můžeme předpokládat, že každá změna na vstupu obvodu se zesílí na výstup a roste exponenciálně s časem. [2] Potom celkové přenosové zpoždění můžeme spočítat pomocí rovnice 2.2.1.

$$t_p = C \cdot \frac{2g_{dsM1} + gm_{M3}}{gm_{M3} \cdot (4g_{dsM1} + gm_{M3})} \cdot \ln \left(\frac{4g_{dsM1} + gm_{M3}}{gm_{M1}} \cdot \frac{\frac{1}{2} \cdot V_{DD}}{V_{in}} \right) \quad (2.2.1)$$

Ačkoliv by se na první pohled mohlo zdát, že vysoké rychlosti lze dosáhnout zvýšením poměru $\frac{W}{L}$ vstupních tranzistorů, není tomu tak. Při zvyšování šířky hradla s konstantní délkou totiž dochází kvůli triodovému režimu vstupních tranzistorů k saturaci proudu tekoucím obvodem, zatímco kapacita nadále roste. Proto je nezbytné pro co nejvyšší rychlost volit správnou šířku a co nejmenší délku hradel tranzistorů. Tento požadavek jde proti pravidlům pro nízkou hodnotu napěťové nesymetrie.

2.3 SPÍNACÍ RUŠENÍ

Spínací rušení je signál, který vzniká při spínání dynamických komparátorů při změně mezi vyhodnocovacím a resetovacím režimem. Je dán prudkou změnou napětí na hradlech spínacích tranzistorů. Problémem je, že se objevuje na vstupech komparátoru, což je v případě použití napěťových referencí, které slouží pro další části systému, nežádoucí. Velikost spínacího rušení je závislá na velikosti kapacit tranzistorů. Možností, jak rušení omezit, je zmenšení tranzistorů na vstupech. To však přináší zásadní nevýhody z hlediska napěťové nesymetrie. Dalšími možnostmi jsou MOS kapacity zapojené tak, aby eliminovaly změny. Lze také využít předzesilovače, který zmenší svým ziskem toto rušení.

3 NÁVRH DYNAMICKÉHO KOMPARÁTORU

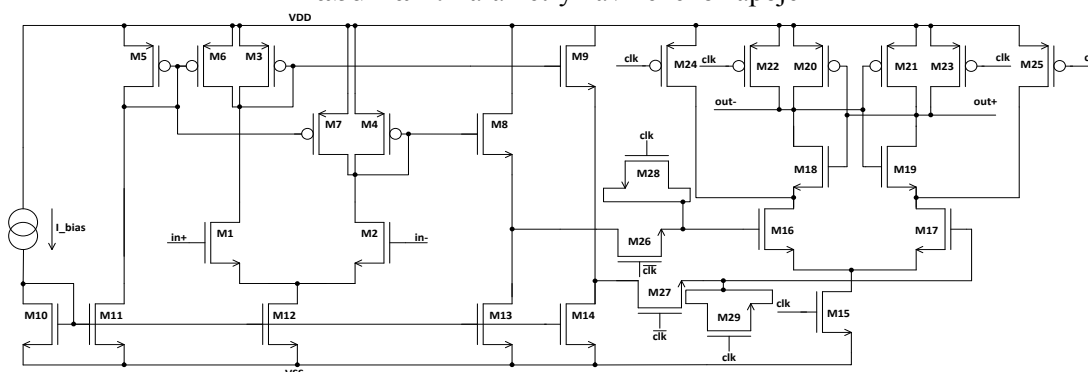
Navržený dynamický komparátor s předzesilovačem je na obrázku 2. Pro potlačení šumu, zlepšení vstupní napěťové nesymetrie a potlačení vlivu souhlasného napětí na vstupech komparátoru je na vstupu dynamického komparátoru předzesilovač. Základem je jednoduchý diferenční stupeň s dio-

dovou zátěží. Ta zde nahrazuje rezistorovou zátěž kvůli úspoře plochy obvodu. Zesílení předzesilovače tak není vysoké, přibližně 23 dB. Pro snížení transkonduktance diodové zátěže a zvýšení dynamické impedance jsou k tranzistorům M3 a M4 paralelně připojeny tranzistory M6 a M7. Ty odebírají dvě třetiny proudu tekoucího do elektrody drain tranzistorů M1 a M2. Tím však dochází ke zvýšení napětí na hradlech M3 a M4. Proto jsou zde zapojeny tranzistory M8 a M9, které posunují napětí na výstupu obvodu.

Další částí je samotný dynamický komparátor, který vychází ze zapojení zvaného Sense Amplifier. Na rozdíl od zapojení Lewis – Gray z obrázku 1 má toto zapojení výhodu v tom, že na začátku vyhodnocovací fáze se vstupní tranzistory M16 a M17 nacházejí v saturačním režimu. Mají tak mnohem vyšší transkonduktanci a protéká jimi větší proud. Díky tomu má zapojení menší směrodatnou odchylku vstupní napětíové nesymetrie a také je rychlejší. Pro prodloužení doby, po kterou se vstupní tranzistory nacházejí v režimu saturace jsou zde tranzistory M24 a M25. Pro potlačení spínacího rušení jsou do obvodu zařazeny tranzistory M26 a M27, které oddělí dynamický komparátor v době, kdy je tranzistor M15 sepnut. Jelikož však tato úprava značně zvýší přenosové zpoždění, jsou zde MOS kapacity M28 a M29, které na začátku vyhodnocovací fáze poskytnou potřebný náboj navíc, díky čemuž je obvod rychlejší. Parametry navrženého zapojení jsou v tabulce 1.

Parametr	Dynamický komparátor s předzesilovačem			
	Min	Průměr	Max	σ
Proudová spotřeba [uA]	0,95	1,07	1,20	0,04
Vstupní nap. nesymetrie [mV]	-2,58	0,21	3,42	1,28
Přenosové zpoždění [ns]	20,96	25,56	37,46	3,35
Spínací rušení [mV]	1,35	1,43	1,50	0,03
Plocha [μm^2]	410			

Tabulka 1: Parametry navrženého zapojení



Obrázek 2: Navržené zapojení dynamického komparátoru

4 ZÁVĚR

Článek se věnoval návrhu dynamických komparátorů. V kapitole 2 jsou nejdůležitější vlastnosti těchto obvodů analyzovány. V následující kapitole je těchto znalostí využito pro praktický návrh dynamického komparátoru s předzesilovačem s ohledem na potlačení napětíové nesymetrie a spínacího rušení. Obvod nabízí při nízkém průměrném statickém odběru 1 μA směrodatnou odchylku napětíové nesymetrie 1,28 mV. Spínací rušení bylo pomocí oddělovacích tranzistorů a předzesilovače sníženo na asi 1,5 mV a přenosové zpoždění se pohybuje do 38 ns. Plocha zapojení je asi 410 μm^2 .

REFERENCE

- [1] A simple and accurate method to predict offset voltage in dynamic comparators. *2008 IEEE International Symposium on Circuits and Systems* [pdf]. 2008 [cit. 2017-3-13]
- [2] GOLL, Bernhard a Horst ZIMMERMANN. *Comparators in nanometer CMOS technology*. 1. New York: Springer, 2014. ISBN 978-366-2444-818