



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

**METODIKA APLIKACE TESTU OBVODU ZALOŽENÁ
NA IDENTIFIKACI TESTOVATELNÝCH BLOKŮ**
TEST APPLICATION METHODOLOGY BASED ON THE IDENTIFICATION
OF TESTABLE BLOCKS

ZKRÁCENÁ VERZE DIZERTAČNÍ PRÁCE
SHORT VERSION OF PHD THESIS

AUTOR PRÁCE
AUTHOR

Ing. TOMÁŠ HERRMAN

VEDOUCÍ PRÁCE
SUPERVISOR

Doc. Ing. ZDENĚK KOTÁSEK, CSc.

BRNO 2010

Abstrakt

Dizertační práce se zabývá analýzou číslicových obvodů popsaných na úrovni meziregistrových přenosů. Je v ní zahrnuta pouze problematika související s testovatelností obvodových datových cest, řadičem ovládajícím tok dat těmito cestami se nezabývá. Stěžejní částí práce je návrh konceptu testovatelného bloku (TB), pomocí něhož se obvod rozdělí na části, jež jsou plně testovatelné přes jejich vstupy a výstupy, přes takzvané hraniční registry bloku nebo primární vstupy/výstupy. Přínosem nové metodiky je také redukce počtu registrů v řetězci scan, do něhož jsou zařazeny pouze hraniční registry. Segmentací obvodu dosáhneme také zjednodušení generování testu rozdělením tohoto problému na více menších částí. Navržená metodika pro identifikaci TB v číslicovém obvodu využívá dvou vybraných evolučních algoritmů operujících na formálním modelu obvodu na úrovni RT.

Klíčová slova

číslicový obvod, testovatelný blok, řetězec scan, optimalizace, genetický algoritmus, simulované žíhání, rozdělení obvodu

Abstract

The PhD thesis deals with the analysis of digital systems described on RT level. The methodology of data paths analysis is described, the data path controller analysis is not solved in the thesis. The methodology is built on the concept of Testable Block (TB) which allows to divide digital component to such segments which can be tested through their inputs/outputs, border registers and primary inputs/outputs are used for this purpose. As a result, lower number of registers is needed to be included into scan chain - border registers are the only ones which are scanned. The segmentation allows also to reduce the volume of test vectors, tests are generated for segments, not for the complete component. To identify TBs, two evolutionary algorithms are used, they operate on TB formal model which is also defined in the thesis.

Keywords

digital circuit, testable block, scan chain, optimalization, genetic algorithm, simulated annealing, circuit partitioning

Citace

Tomáš Herrman: Metodika aplikace testu obvodu založená na identifikaci testovatelných bloků, dizertační práce, Brno, FIT VUT v Brně, 2010

Obsah

1	Úvod	3
2	Současný stav řešeného problému	5
2.1	Techniky návrhu obvodů pro snadnou testovatelnost	5
2.1.1	Metoda snadno testovatelného návrhu využívající rozdělení obvodu a využití multiplexorů	6
2.1.2	Metodika pro výběr registrů do řetězce scan založená na analýze i-cest	8
3	Motivace a cíle práce	9
4	Formální model obvodu	11
4.1	Existující model	11
4.2	Přenos diagnostických informací obvodem s využitím transpa- rentních módů prvků	12
4.3	Rozšíření modelu	13
5	Testovatelný blok	14
5.1	Formální model TB	14
5.2	Metodika identifikace TB	16
5.2.1	Metodika pro rozdělení obvodu na TB	17
5.2.2	Vliv smyček v obvodu rozděleného na TB	18
5.3	Implementace	18
5.3.1	Volba algoritmu	18
5.3.2	Implementace metodiky pro rozdělení obvodu na TB	19
6	Experimentální výsledky	21
6.1	Experimenty na testovacích obvodech	21
6.1.1	Experimentální výsledky	23
6.2	Detekce a eliminace smyček	24
7	Závěr	25
7.1	Výsledky práce a zhodnocení	25
7.2	Přínos	27
7.3	Publikované práce	28

Autorovo CV	29
Přehled aktivit během studia	29
Účast na projektech	29
Další aktivity	29

Kapitola 1

Úvod

Už při výrobě elektronické komponenty mohou vzniknout závady, které je nutné co nejdříve odhalit. Proto je nutné vybavit obvody diagnostickými prvky, se kterými se musí počítat již při návrhu integrovaného obvodu. Tyto prvky pak umožní testování obvodu jak při výrobě, tak při ověřování funkčnosti obvodu v praktickém použití.

Menší obvody se dříve mohly testovat přímo při výrobě a nebylo nutné při návrhu počítat s nutností zavedení podpůrných prostředků pro test, což bylo možné díky jednoduchosti jejich struktury. Obvod většinou představoval jeden logický celek se vstupy a výstupy, bylo tak možné vkládat testovací vektory přímo na vstup a analyzovat výstup.

Dnes dosahují integrované obvody takových složitostí, že je nutné zařadit do etapy návrhu i úvahy o tom, jak bude navrhovaný obvod testován. Složitost obvodu tím samozřejmě narůstá, proto úvahy o způsobu implementace těchto principů do výsledné obvodové struktury jsou důležitým krokem a mohou (i výrazným způsobem) ovlivnit cenu. K tomuto účelu se používají různé metody, které se pak využívají při syntéze obvodu. Syntéza obvodu je proces, při němž je obvod navrhován pomocí CAD nástrojů tak, aby plnil požadovanou funkci a přitom vyhovoval různým kritériím. Z hlediska diagnostiky je důležitým kritériem testovatelnost obvodu.

Nefunkčností obvodu způsobenou chybným návrhem se zabývá samostatná disciplína zvaná verifikace návrhu. Toto pojednání se však zabývá principy aplikace testu, konkrétně způsobem aplikace testu na úrovni RT (Register Transfer - meziregistrové přenosy). Pro zvýšení testovatelnosti jsou jednotlivé registry zřetězeny do registru scan, což je v podstatě propojení registrů do posuvného registru, který má jeden sériový datový vstup a jeden sériový datový výstup. Jedna z možností spočívá v použití metody úplný scan, při níž jsou při aplikaci testu všechny registry (klopné obvody) propojeny do posuvného registru, přes který se vkládají na vstupy testovaných vnitřních prvků testovací vektory, resp. přes který se snímají odezvy na tyto vektory. Metoda úplný scan má dvě zásadní nevýhody: doba potřebná pro aplikaci testu je dlouhá (veškeré přesuny diagnostických dat se realizují sériově) a náklady na realizaci obvodu jsou vysoké (konstrukce klopného obvodu je složitější než u běžného typu klopného

obvodu). Tomu se chceme vyhnout a redukovat počet registrů zapojených do posuvného registru. Touto technikou se zabývá např. [4, 6, 8, 23, 25, 26, 27, 31]. Snahou této práce je využití formálního přístupu k řešení zmíněného problému.

V práci bude navrhnout koncept testovatelného bloku (TB), pomocí něhož se obvod rozdělí na části, jež jsou plně testovatelné přes jejich vstupy a výstupy, přes takzvané hraniční registry bloku nebo primární vstupy/výstupy. Přínosem nové metodiky je také redukce počtu registrů v řetězci scan, do něhož jsou zařazeny pouze hraniční registry. Segmentací obvodu dosáhneme také zjednodušení generování testu rozdělením tohoto problému na více menších částí. V práci je prezentována metodika pro identifikaci TB v číslicovém obvodu, jež využívá evoluční algoritmus operující na formálním modelu obvodu na úrovni RT.

Kapitola 2

Současný stav řešeného problému

V této kapitole budou zmíněny některé existující metodiky a techniky návrhu obvodů pro snadnou testovatelnost.

2.1 Techniky návrhu obvodů pro snadnou testovatelnost

Cílem algoritmu pro generování testu je vygenerovat pro daný číslicový obvod test vyhovující konkrétním kritériím, např. co nejkratší sekvenci testovacích vzorků s co největším pokrytím poruch v daném obvodu. Kromě pokrytí poruch, které je významným ukazatelem kvality testu, používají se i ukazatele nákladů spojených s testem - mezi ně patří zejména náklady na generování testovacích vzorků, náklady na simulaci poruch a generování informace o lokalizaci poruch, náklady na vybavení nutné pro test a náklady na samotný proces testování, jehož ukazatelem je např. doba aplikace testu.

Techniky snadno testovatelného návrhu mají kromě pozitivního dopadu (zvýšení říditelnosti a pozorovatelnosti) také negativní důsledky. Mezi ně patří zvětšení plochy na čipu, zvýšení počtu vývodů obvodu a zhoršení dynamických vlastností obvodu. Při každém návrhu je proto nutné volit jistý kompromis mezi těmito aspekty. Jde vlastně o kompromis mezi požadavky návrháře a diagnostika.

Zvětšení potřebné plochy čipu má tyto negativní dopady:

- zvýšený příkon a tím pádem větší zahřívání obvodu a zvýšení požadavků na odvod tepla,
- snížení výtěžnosti,
- snížení spolehlivosti.

Snížení výtěžnosti souvisí bezprostředně s nárůstem obvodu jako výsledek doplnění obvodu o diagnostické prvky, je proto nutné právě zde usilovat o účelný kompromis. Použitím principů snadno testovatelného návrhu můžeme dosáhnout:

- snížení doby potřebné pro generování testu,

- zvýšení kvality testu (zvýšením pokrytí poruch),
- zkrácení testu,
- zkrácení doby aplikace testu.

2.1.1 Metoda snadno testovatelného návrhu využívající rozdělení obvodu a využití multiplexorů

Tato metoda je popsána v [16]. Obvod je rozdělen na bloky, kde každý blok je izolovaný pomocí primárních vstupů a výstupů a přidaných multiplexorů. Tak je možné generovat test pro každý blok zvlášť. Testovací vektory jsou pak přiváděny přes multiplexory, jež jsou řízeny vnitřním řadičem testu.

Pro rozdělení obvodu je využito metody PINS¹. Obvod reprezentovaný klasickými prvky obvodu na úrovni RT je převeden na orientovaný graf. Uzly reprezentují prvky obvodu, hrany reprezentují datové spoje mezi prvky obvodu. Metodika pracuje s pojmem „seskupení“, což jsou takové části analyzovaného obvodu, které jsou samostatně testovatelné. Metoda PINS nejprve vybere základní uzel² seskupení. Preferovány jsou uzly reprezentující primární vstupy/výstupy, prvky s mnoha vstupy/výstupy a prvky modelující konstantu. Dále pak seskupení roste přibíráním okolních připojených uzlů s jednou podmínkou, že seskupení má lineární strukturu a počet vstupů a výstupů je menší než kolik má celý obvod. Seskupení přestane růst, pokud už nelze přidat další uzel. Pak se znovu vybere základní uzel a tvoří se nové seskupení. Proces končí, až jsou všechny uzly zařazeny do seskupení, které reprezentují jednotlivé bloky.

Existuje také metoda PIPS³. Metoda PINS rozděluje obvod na příliš mnoho bloků, pokud obvod obsahuje mnoho vlastních smyček jež jsou netestovatelné, protože obvodový prvek i registr musí být každý v jiném bloku. Metoda PIPS tedy kombinuje metodu PINS s metodou částečný scan. Registry ve vlastní smyčce a registry konečného stavového řízení (FSM) jsou zařazeny do scan řetězce před rozdělením. Zbytek rozdělení je prováděn stejně jako u PINS.

Jako jedno z řešení testování sekvenčních obvodů se nabízí použití metod typu úplný scan obvodu. V režimu testu jsou všechny klopné obvody propojeny do posuvného registru, takže jsou snadno říditelné/pozorovatelné. Při aplikaci testu pak můžeme na takový obvod pohlížet jako na obvod sestávající z posuvného registru a kombinační logiky. Pro vygenerování testu takového obvodu je možné využít GTKO pro kombinační obvody. Nevýhodou této metody je ovšem prodloužení doby potřebné pro aplikaci testu, zvětšení plochy čipu.

¹DFT using Partitioning and Isolation with Non Scan design

²uzel v této metodě představuje prvky obvodu a primární vstupy a výstupy

³DFT using Partitioning and Isolation with Partial Scan design

Dobu aplikace testu je možné snížit změnou zapojení posuvného registru. Spočívá v rozdělení registru na více segmentů, které jsou pak samostatně ovládány [23]. Toto řešení představuje nárůst logiky řízení aplikace testu. Naopak zvětšení plochy na čipu souvisí s konstrukcí klopného obvodu, který je u těchto metod používán. Jeho struktura je obecně složitější, než je struktura běžného klopného obvodu, např. typu D.

Řešením zmíněných negativních dopadů uplatnění metody úplný scan je využití metod označovaných jako částečný scan, kdy nejsou do posuvného registru zařazeny všechny klopné obvody, obvod má však požadované vlastnosti z hlediska jeho testovatelnosti. Testovatelnost je přitom vyjádřena např. pomocí pokrytí poruch, jehož se použitím konkrétní metody dosáhne nebo říditelností/pozorovatelností prvků v obvodě.

Výběr klopných obvodů je možné realizovat v obvodě na úrovni hradel nebo na úrovni RT. Pro výběr prvků do registru jsou používána různá kritéria. Podle tohoto kritéria je možné je dělit následujícím způsobem:

- metody založené na analýze testovatelnosti (říditelnosti/pozorovatelnosti),
- metody využívající generátor testovacích vektorů,
- metody využívající výsledky analýzy struktury obvodu.

První skupina metod je založena na analytickém přístupu k řešenému problému. Je stanoven způsob (funkce), jímž se vypočte globální testovatelnost analyzovaného obvodu. Hodnota této funkce je ovlivněna říditelností/pozorovatelností jednotlivých prvků obvodu. V obvodu jsou pak prováděny změny (např. zařazení klopného obvodu do registru scan) a vyhodnocuje se vliv těchto změn na globální testovatelnost obvodu. Výsledkem uplatnění takové metodiky je doporučení, které klopné obvody mají být zařazeny do posuvného registru. [5, 28]

Druhou skupinou jsou metody využívající generátor testovacích vektorů, které pracují se strukturou obvodu na úrovni hradel. [2, 3] Jeden z možných přístupů spočívá ve výpočtu pokrytí poruch pro případ, kdy jsou do posuvného registru zařazeny všechny klopné obvody. Toto pokrytí poruch je pak považováno za maximální dosažitelné pokrytí. Pak se počet klopných obvodů sníží (podle konkrétního kritéria) a znovu se vypočte pokrytí poruch. Tento proces se pak opakuje tak dlouho, dokud je pokrytí poruch vyšší nebo shodné s požadovaným. Nevýhodou tohoto přístupu je doba potřebná pro tento proces, způsobená tím, že se opakovaně pomocí GTSO počítá pokrytí poruch. V závislosti na složitosti obvodu a na použitém sekvenčním generátoru to může být proces značně časově náročný. Do této skupiny patří například jedna z metod programu FastScan firmy Mentor Graphics®.

Metody založené na analýze struktury jsou dvojí: metody založené na identifikaci zpětných vazeb, metody založené na identifikaci paralelních i-cest.

Optimalizovat je také možné vkládání testovacích vektorů přes scan registry. Tímto se zabývá [33]. Technika se snaží nahradit malé množství (max 2%) skenovatelných registrů rozšířenými skenovatelnými registry, jež jsou schopny uchovávat dva bity. Tyto registry jsou řízeny signály generovanými uvnitř obvodu. Tyto rozšířené registry pak zvyšují podíl bitů v testovacím vektoru, které nejsou významové⁴. Tyto bity pak zvyšují účinnost kompresních algoritmů a snižují dobu testu. V článku je navržena metodika pro výběr těchto registrů a využívá ohodnocení říditelnosti a snížení množství testovacích vektorů v důsledku záměny.

2.1.2 Metodika pro výběr registrů do řetězce scan založená na analýze i-cest

Tato práce využívá pojmu: „režim identity dat“ (režim i) a „identická přenosová cesta“ (i-cesta). Tyto pojmy vyjadřují schopnost prvku přenést data z jeho vstupu na výstup příp. z výstupu jednoho prvku na vstup jiného prvku tak, že tato data nejsou modifikována, viz definice 4.2.1. Pojem i-cesta byl zaveden v [1], vlastní metodika postavená na tomto pojmu byla vyvinuta na Ústavu počítačových systémů, Fakulty informačních technologií, VUT v Brně [24] a dále rozvíjena v [32]. Její základní myšlenkou je v co největší míře využít možností, které nabízí navržený obvod, pro aplikaci testu. Snahou je tedy nalézt co nejvíce i-cest, po kterých bude možné řídit vstupní registry testu (*vrt*[24], *tir*[32]) z primárních vstupů a co nejvíce i-cest, které by zaručily pozorovatelnost výstupních registrů testu (*vyrt*[24], *tor*[32]) na primárních výstupech.

V praxi není možné vždy nalézt v obvodu i-cestu, po níž lze z primárních vstupů přenést testovací vektory na vstup každého registru *tir* a i-cestu z každého výstupu registru *tor* na primární výstupy obvodu. Pro ty případy, kdy to možné není, se začne uvažovat o modifikaci registru tak, aby bylo možné jej z vnějšku řídit, či pozorovat, např. úpravě registru na skenovatelný registr. Tato koncepce navíc umožňuje sdílení vstupního či výstupního registru testu pro více prvků. Pro zajištění plné testovatelnosti obvodu je třeba zajistit říditelnost všech vstupních bran každého prvku a pozorovatelnost všech výstupních bran každého prvku. Z toho plyne, že je třeba nalézt alespoň jeden registr pro každou vstupní bránu, z něhož je možné přivést testovací vektory na tuto bránu, tzv. vysílač testovacích vektorů (*vtv*[24], *tdr*[32]). Obdobně je třeba nalézt alespoň jeden registr pro každou výstupní bránu, z něž je možné pozorovat výstupy z této brány tzv. přijímač odezev na testovací vektory (*potv*[24], *trv*[32]).

⁴tzv. don't care bity

Kapitola 3

Motivace a cíle práce

Na Ústavu počítačových systémů, Fakulty informačních technologií, VUT v Brně byl vyvinut formální model obvodu na úrovni RT s cílem ověřit možnost využití matematického aparátu pro diagnostické účely. Existence tohoto modelu byla impulzem pro další využití a rozšiřování modelu s cílem ukázat, že je možné využít tento formální aparát k definování a implementaci metodik analýzy testovatelnosti.

V profesionálních nástrojích pro generování testovacích sekvencí číslicového obvodu jsou využívány tyto přístupy:

1. Generátor testu pro sekvenční obvody předpokládá, že test bude aplikován přes jeho primární vstupy/výstupy. Znamená to, že na jeho primární vstupy jsou vkládány testovací vektory, odezvy na ně jsou vyhodnocovány na jeho primárních výstupech. Proces vygenerování takového testu je časově náročný a objem testovacích vektorů je značný.
2. Generátor testu předpokládá, že číslicový obvod je navržen s využitím metody úplný scan. Celý obvod je tak rozdělen na řadu dílčích kombinačních obvodů, pro něž vygenerování testu je proces jednodušší než v předcházejícím případě.
3. Generátor testu předpokládá, že číslicový obvod je navržen s využitím metody částečný scan. Celý obvod je opět rozdělen na řadu dílčích kombinačních obvodů, pro něž vygenerování testu je proces jednodušší než v případě 1. Navíc počet registrů využitých pro aplikaci testu je nižší než v případě 2.

Všechny výše uvedené principy jsou využity např. v nástroji FlexTest fy Mentor Graphics. V návaznosti na výše popsané principy využívané v profesionálních nástrojích pro generování testu a jeho aplikaci byly cíle práce stanoveny takto:

1. Definovat cíle metodiky pro rozdělení obvodu na testovatelné bloky (TB). Tyto principy definovat tak, aby výsledkem implementace bylo rozdělení

analyzovaného obvodu na menší celky a možnost aplikovat test kombináním výše uvedených přístupů. Kriteřiem rozdělení budou konkrétní strukturální vlastnosti, nikoliv vlastnosti funkcí.

2. Definovat strukturální vlastnosti, které budou identifikovány při analýze číselné komponenty s cílem rozdělit ji na jistý počet TB.
3. Definovat strukturální vlastnosti, které musí splňovat TB tak, aby bylo možné aplikovat test přes rozhraní TB.
4. Vytvořit formální model analyzovaného obvodu tak, aby umožňoval realizaci bodů 2. a 3.
5. Implementovat principy definované v bodech 2. - 4. Demonstrovat možnost využití formálního matematického modelu pro diagnostické účely.
6. Navrženou a implementovanou metodiku vyhodnotit. Vytvořit a ověřit experimenty, výsledky využít pro srovnání metodiky s existujícími metodikami používanými v diagnostických systémech. (počet registrů vybraných do částečného scanu, počet testovacích vektorů, pokrytí poruch, objem přídavné elektroniky a doba generování testu).
7. Získané výsledky shrnout.

Kapitola 4

Formální model obvodu

Metodika prezentovaná v této práci pracuje s obvody na úrovni RT. Na této úrovni existují různé formální modely, jeden z nich byl vyvinut na Ústavu počítačových systémů, Fakulty informačních technologií, VUT v Brně [24, 32]. Prezentovaná metodika předpokládá, že pro přenos diagnostických dat je využita strategie multiplexovaných datových cest (obvod neobsahuje obousměrné sběrnice). Výše zmíněný formální model bylo nutno pro účely zde prezentované metodiky dále rozšířit.

Zvolený formální model obvodu chápeme jako pěticí množin, které reprezentují statickou strukturu obvodu (viz. definice 4.1.1). Tato základní definice je pak doplněna o další definice, které přiřazují prvkům modely chování a další vztahy. Cílem činností realizovaných při tvorbě modelu bylo co nejlépe vystihnout strukturu skutečných obvodů spolu s vlastnostmi důležitými pro vytvořenou metodiku.

4.1 Existující model

Model obvodu zmíněný v úvodu kapitoly popisuje číslicový obvod na úrovni RT, který může vzniknout například syntézou z vyšší úrovně popisu nebo z popisu chování. Model obvodu je zaměřen na popis obvodu s využitím strategie multiplexovaných datových cest. Model celého obvodu je tvořen uspořádanou pěticí množin a dále umožňuje hierarchický popis.

Nyní bude uvedena hlavní definice, která je dále v práci použita a je převzata z [32]. Definice jednotlivých množin jsou rozvedeny v plné verzi práce.

Definice 4.1.1. Nechť E je množina obvodových prvků, P je množina jejich bran (vstupů a výstupů), C je množina spojů mezi branami prvků obvodu, PI je množina primárních vstupů obvodu a PO je množina primárních výstupů obvodu, pak $UUA = (E, P, C, PI, PO)$ je uspořádaná pětice reflektující model struktury číslicového obvodu na úrovni RT.

■

Model obvodu, popsáný v definici 4.1.1, vychází z tradičního pohledu na strukturu číslicového obvodu na úrovni RT. Celý testovaný obvod UUA lze také chápat jako část nějakého většího celku, o které je známo její chování

vyjádřen v tomto případě chováním jeho prvků z množiny E propojených prostřednictvím svých bran P , PI , PO spoji z množiny C . Lze na něj tedy nahlížet jako na prvek se strukturou (E, P, C) a branami (PI, PO) . Stejně tak každý prvek E obvodu UUA může být pro další analýzu dekomponován na svou strukturu a na své (při pohledu na strukturu prvku) primární brány. Podobně hierarchický model je též v [30].

Definice 4.1.2. Nechť existuje funkce: $\psi : E \rightarrow 2^P$, která přiřazuje množinu bran obvodovému prvku (E je množina obvodových prvků a P je množina bran viz. definice 4.1.1), pak musí platit:

1. $\psi(e) = \{p | p \in P \wedge p \text{ je brána prvku } e\}$.
2. Funkce ψ je definována pro všechny prvky z množiny E .
3. Musí platit: $e_1 \neq e_2 \Leftrightarrow \psi(e_1) \cap \psi(e_2) = \emptyset$

■

Dále existuje funkce ψ , která tvoří vazbu mezi množinou prvků a množinou bran. Tato funkce určuje, která brána z množiny bran přísluší konkrétnímu prvku. Z fyzikálního významu funkce ψ plyne nutnost podmínky 2 a podmínky 3. Podmínka 2 zajišťuje, že v obvodě se nevyskytne prvek, u kterého by nebylo možné identifikovat jeho brány. Podmínka 3 říká, že každý prvek z množiny P je funkcí ψ vázán k jedinému (obvodovému) prvku $e \in E$.

4.2 Přenos diagnostických informací obvodem s využitím transparentních módů prvků

Aplikace testu na obvod spočívá v přivedení množiny testovacích vektorů na vstupy testované komponenty, získání odezev komponenty a jejich vyhodnocení. Právě řešení problému, jak přivést testovací vektory až do bodu, kde je připojen testovaný prvek (který je často někde hluboko ve struktuře obvodu, běžně zvnějšku nedostupný) a vyvedení odezvy do bodu, kam lze připojit analyzátor odezev, vede často k dodatečným zásahům do struktury obvodu a její větší složitosti. Ve struktuře obvodu jsou takové části, které je možné využít i v režimu testu obvodu k přenosu diagnostické informace. Podobnými vlastnostmi se zabýval tým z výzkumných laboratoří firmy Philips v Eindhovenu [29].

Těchto vlastností využijeme, proto zde uvedeme následující definice, jež popisují transparentní vlastnosti prvků a jejich použití. Následující definice jsou převzaty z [32] a jsou představeny pouze ty, které budou dále využívány. Transparentností se myslí taková schopnost přenosu dat mezi dvěma body obvodu, kdy data vložená do jednoho bodu jsou přenesena beze změny do jiného bodu.

Definice 4.2.1. Nechť je možné za určitých podmínek (nastavením transparentních režimů prvků po cestě) z bodu p_1 do bodu p_2 , kde $p_1 \in P, p_2 \in P$, v UUA přenést data beze změny, pak říkáme, že mezi body p_1 a p_2 existuje i-cesta.

Množina $I = \{(p_1, p_2) | p_1 \in P \wedge p_2 \in P \wedge \forall d \in \{0, 1\}^m : \nu(p_1) = d \wedge \nu(p_2) = d\}$ je množinou všech možných i-cest v analyzovaném obvodu.

■

Pokud se tyto dva body nachází na jediném spoji (jsou součástí jednoho uzlu), není většinou s transparentností problém. Problém je ovšem s i-cestami, jejichž počáteční a koncový bod neleží ve stejném uzlu. Pak se na i-cestě jistě objeví i obvodové prvky. U těch transparentnost není z principu zajištěna, neboť se předpokládá, že obvodové prvky data určitým způsobem transformují, provádějí s nimi potřebné operace. U některých prvků však lze nalézt režim činnosti, kdy je prvek pro data transparentní, data přivedená na jeho vstup se objeví na jeho výstupu v nezměněné podobě. Tento režim činnosti bude dále (podle [1] a též podle [26]) nazýván i-režim (i jako identita). V tomto režimu je pak prvek využíván jen jako transportér dat. Toho lze s výhodou využít při aplikaci testu na obvod, kdy by bylo jinak nutno netransparentní prvek obejít například úpravou obvodu.

4.3 Rozšíření modelu

Pro účely metodiky, která je prezentována v této disertační práci, byl tento model dále rozšířen. Pokud je v datové cestě invertor, za nímž jsou data invertována, pak to nemusí znamenat, že takovou cestu nelze pro přenos diagnostických dat použít. Při generování testovací posloupnosti pro daný prvek je třeba zohlednit, že data vložená na začátek cesty budou přivedena na testovaný prvek v invertované podobě. Takovou cestu nezmene ii-cesta (invertující i-cesta). Dále je pak možné složením dvou ii-cest vytvořit neinvertující i-cestu. Tohoto rozšíření využívá metodika pro identifikaci TB.

Kapitola 5

Testovatelný blok

Metodika je vystavěna na formálním modelu popsaném v předcházející kapitole. Pro účely zde prezentované metodiky je formální model v této kapitole dále rozšířen. Cílem metodiky založené na identifikaci TB v analyzovaném obvodu je zjednodušení aplikace testu celého obvodu na problém aplikace testu menších komponent, na něž je analyzovaný obvod s využitím principů definovaných v této metodice rozdělen. Pro takto identifikované bloky je pak možné vygenerovat testovací posloupnosti sestávající z menšího počtu testovacích vektorů než by tomu bylo pro celý analyzovaný obvod. Dalším problémem souvisejícím s aplikací testu je rozhodnutí o tom, jak budou testovací vektory a odezvy na ně přenášeny analyzovaným obvodem. V metodice zde prezentované je využita technika registrů scan. Do registru scan nejsou zařazeny všechny registry analyzovaného obvodu, proto zde použitou metodu řadíme mezi tzv. metody částečného scan. Jiné metody scan jsou např. v [4, 6, 23, 26, 27].

5.1 Formální model TB

V této části bude definován formální model, který byl využit pro definování principů metodiky. Tento model musí reflektovat diagnostické a strukturální vlastnosti analyzovaného obvodu. Model pak bude využit pro implementaci metodiky.

Každý prvek z množiny obvodových prvků E vyskytující se v analyzovaném obvodu se podílí na chování celého obvodu jako celku. Totéž platí, pokud rozdělíme obvod na TB. Důležitou charakteristikou je také vzájemné propojení prvků analyzovaného obvodu, resp. TB (struktura obvodu). Platí, že TB je částí analyzovaného obvodu. Množina prvků TB E_{TB} je podmnožinou množiny prvků analyzovaného obvodu.

Prezentovaná metodika předpokládá, že rozhraní prvků neslouží pouze k realizaci patřičné funkce, ale také k aplikaci testu prvku. Metodika založená na využití pojmu TB se zaměřuje na analýzu struktury obvodu s cílem nezasahovat do vybavení analyzovaného obvodu a využívat pro účely testování rozhraní vzniklé v etapě návrhu obvodu. Je tedy zřejmé, že budou využívány brány prvků, přes něž jsou realizovány jejich požadované funkce. Brány mohou být vstupní, výstupní nebo řídicí. Je zřejmé, že množina P_{TB} je podmnožinou

množiny všech bran obvodu.

Metodika předpokládá, že test konkrétního TB bude realizován přes primární vstupy a primární výstupy analyzovaného obvodu a přes hraniční registry TB. Předpokládá se, že hraniční registry TB budou při aplikaci testu propojeny do posuvného registru scan. Pro účely metodiky je tedy nutné rozpoznat, které primární vstupy a výstupy analyzovaného obvodu jsou propojeny se vstupy a výstupy jednotlivých TB. Tato informace je obsažena v množinách PO_{TB} a PI_{TB} .

Role registrů (jako paměťových prvků v obvodu) je při aplikaci testu důležitá, přes ně jsou testovací vektory vkládány na vstupy testovaných prvků. Stejně tak odezvy na testovací vektory jsou z výstupů testovaných prvků vkládány do registrů, ze kterých jsou snímány. Pro rozlišení registrů od ostatních kombinačních prvků v TB je zavedena množina R_{TB} .

Dalšími významnými prvky, které jsou důležité pro proces aplikace testu a musí být proto jednoznačně v TB identifikovány, jsou hraniční registry. Tyto představují jednu ze dvou¹ možností pro přivedení testovacích vektorů a snímání odezvy na testovací vektory. Hraniční registry tvoří také rozhraní, přes něž jsou jednotlivé TB propojeny do jednoho celku. Rozlišujeme dva typy hraničních registrů: výstupní hraniční registry $BR_{O_{TB}}$ a vstupní hraniční registry $BR_{I_{TB}}$.

Pro spoje byla zvolena reprezentace formou množiny uspořádaných dvojic - tuto množinu označujeme termínem množina spojů C_{TB} . Přes spoje jsou vedeny jak testovací tak provozní data a mohou být jednobitové nebo vícebitové.

Konečná formální reprezentace TB je tedy shrnuta do následující definice 5.1.1.

Definice 5.1.1. Nechť E_{TB} je množina obvodových prvků, jež patří do TB, P_{TB} je množina bran obvodových prvků uvnitř TB, PO_{TB} je podmnožina primárních výstupů obvodu, jež jsou připojeny do TB, C_{TB} je množina spojů TB, PI_{TB} je podmnožina primárních vstupů obvodu, jež jsou připojeny do TB a nechť platí $\forall e \in E_{TB}, \forall p \in \psi(e), \exists (p_1, p_2) \in I : (((p_1 \in PI_{TB}) \vee (p_1 \in BR_{TB})) \wedge p_2 = p) \vee (p_1 = p \wedge (p_2 \in PO_{TB}) \vee (p_2 \in BR_{TB}))$, pak $TB = (E_{TB}, P_{TB}, C_{TB}, PI_{TB}, PO_{TB})$ představuje formální model TB.

■

Reprezentace vytvořená podle definice 5.1.1 reprezentuje formální model TB. Část definice $[\forall e \in E_{TB}, \forall p \in \psi(e), \exists (p_1, p_2) \in I : (((p_1 \in PI_{TB}) \vee (p_1 \in BR_{TB})) \wedge p_2 = p) \vee (p_1 = p \wedge (p_2 \in PO_{TB}) \vee (p_2 \in BR_{TB}))]$ říká, že

¹Druhou možností je existence přímého propojení prvku uvnitř TB na PI/PO.

všechny obvodové prvky, z nichž je TB složen, musí být přístupné přes i-cesty. Všechny i-cesty určené pro přenos testovacích vektorů, musí začínat ve vstupním hraničním registru TB nebo na primárním vstupu analyzovaného obvodu, zatímco i-cesta, přes níž jsou přenášeny odezvy, musí končit ve výstupním hraničním registru TB nebo na primárním výstupu analyzovaného obvodu.

Dále musí být splněny následující tvrzení, jež představují nedílnou součást definice TB:

Tvrzení 5.1.1. Žádné dva TB se nesmí překrývat:

Pro každé dva různé testovatelné bloky TB_x a TB_y musí platit:

$$\forall e \in (E_{TB_x} \setminus BR_{TB_x}) : e \notin E_{TB_y}$$

Překrývání množin P_{TB} a C_{TB} pak není možné díky platnosti předchozích definic.

Tvrzení 5.1.2. Pouze hraniční registry mohou být zapojeny do řetězce scan:

$$\forall r \in (R_{TB} \setminus BR_{TB}) : r \notin SCAN$$

Tvrzení 5.1.1 říká, že všechny obvodové prvky testovatelného bloku TB_x , mimo hraničních registrů BR_{TB_x} , nesmí být součástí jiného testovatelného bloku TB_y . Jinak řečeno, množiny, které reprezentují strukturu TB, musí být disjunktní.

Tvrzení 5.1.2 říká, že žádný registr, který patří do množiny registrů TB a nepatří do množiny hraničních registrů TB, nebude zařazen do množiny registrů scan. Je to důsledek již zmíněného principu - diagnostická data jsou strukturou TB přenášena paralelně, díky čemuž není nutné jejich vnitřní registry vkládat do registru scan.

5.2 Metodika identifikace TB

Metodika, jejímž cílem je rozdělení analyzovaného obvodu na TB, je implementována na výše definované reprezentaci. Na této reprezentaci jsou identifikovány všechny prvky a spoje, příp. další vlastnosti analyzovaného obvodu. Vytvořené algoritmy nepracují tudíž s reprezentací např. na úrovni jazyka VHDL, ale s formální reprezentací definované v této práci. Základní princip spočívá v rozdělení analyzovaného obvodu na jistý počet TB, které jsou navzájem odděleny registry². Počet TB může ovlivnit např. počet testovacích vektorů

²hraničními registry

a dobu trvání aplikace testu celého obvodu. Jednotlivé TB jsou pak plně testovatelné přes tyto registry a primární vstupy a výstupy analyzovaného obvodu.

Jádrem této části je popis metodiky pro rozdělení obvodu na TB na základě identifikování některých registrů jako hraničních. Další částí metodiky pak jsou: postup pro určení počtu synchronizačních pulsů nutných k průchodu testovacích dat přes TB a detekce smyček. Všechny zmíněné techniky jsou implementovány na formálním modelu definovaném v této práci. Součástí implementace je pak optimalizační algoritmus hledající nejvhodnější rozdělení obvodu, které co nejvíce splňuje požadovaná kritéria.

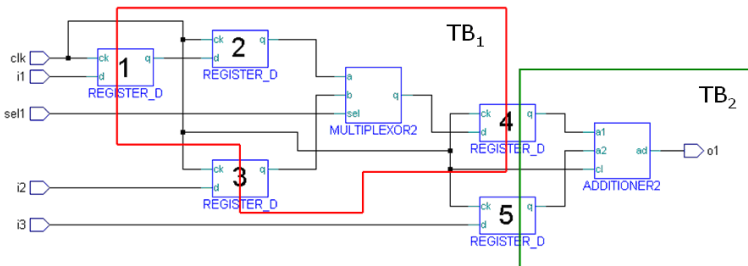
5.2.1 Metodika pro rozdělení obvodu na TB

V této části bude popsán postup rozdělení analyzovaného obvodu na TB. S konkrétním rozdělením velmi úzce souvisí identifikace registrů, které budou při aplikaci testu plnit funkci registrů hraničních.

Vstupem formálního algoritmu je formální model analyzovaného obvodu a konečný bitový vektor v , jež má délku stejnou, jako je počet registrů. Jednotlivé bity vektoru pak určují, zda je registr hraniční (ve vektoru označen 1) nebo není hraniční (ve vektoru označen 0).

Výstupem formálního algoritmu je dvojice množin E_TB a R_TB , které určují zařazení jednotlivých obvodových prvků do TB.

Zjednodušeně algoritmus prochází i-cesty z registrů označených jako hraniční a zařazuje prvky po cestě do TB, dokud nenarazí na další hraniční registr. Celý algoritmus je vzhledem k jeho velikosti uveden v plné verzi práce.



Obrázek 5.1: Příklad rozdělení na TB

Příklad 5.2.1. Obrázek 5.1 ukazuje příklad pro chromozom: 10111
 $R_TB = \{[R1, (-1,1)], [R2, (1,1)], [R3, (-1,1)], [R4, (1,2)], [R5, (-1,2)]\}$, $E_TB = \{(MX1,1), (ADD1,1)\}$

5.2.2 Vliv smyček v obvodu rozděleného na TB

Při testování metodiky se ukázalo, že některé obvody jsou rozdělovány velmi nerovnoměrně³. Touto skutečností bylo nutno se zabývat. Bylo zjištěno, že se v obvodech vyskytují různé typy propojení obvodových prvků, které znemožňují použití metody TB. Hlavním problémem jsou různé typy smyček. Tyto části obvodu působí problémy při použití navržené metodiky, proto je nutné je detekovat. K tomuto účelu byla vyvinuta metodika, jež je schopna tyto konstrukce odhalit a vložit do obvodu podpůrný testovací prvek. V této kapitole bude popsána metoda, pomocí níž jsou smyčky detekovány a je realizováno základní rozdělení smyček na přímé a nepřímé. Dále bude naznačen způsob přerušení smyček vložením testovacího prvku.

Přímou smyčkou je nazývána datová cesta, jež končí a začíná ve stejném obvodovém prvku. Další obvodovou strukturou, která komplikuje aplikaci testu, je existence **nepřímých smyček**. Takto je označena smyčka, jež se uzavírá i mezi dvěma vstupy nebo výstupy jednoho prvku.

Řešením problému by mohlo být přerušení smyček „diagnostickými registry“ (DR). DR je speciální prvek, jež je transparentní ve funkčním režimu, v režimu test je zařazen do řetězce scan. V odborné literatuře bývá tento problém označován jako „eliminace zpětnovazebních smyček zařazením registru scan“. Kvalita řešení tohoto problému se odvíjí od rozhodnutí, kam v obvodové struktuře DR umístíme. Byly ověřeny tyto dvě možnosti: a/ náhodné umístění DR, b/ umístění tak, aby bylo přerušeno co nejvíce smyček. Druhá alternativa vyžaduje detailní analýzu obvodu, což může být časově náročné. Po rozdělení obvodu je nutné odstranit DR, jež nebudou využity jako hraniční, což se provádí automaticky v modulu pro rozdělení na TB.

5.3 Implementace

5.3.1 Volba algoritmu

Protože velikost prohledávaného prostoru exponenciálně roste v závislosti na počtu registrů v obvodu, byl pro řešení problému zvolen **genetický algoritmus** a **simulované žíhání**.

subsectionFitness funkce Důležitou součástí genetického algoritmu a simulovaného žíhání je ohodnocení každého jedince. Tento problém je řešen s využitím fitness funkce. Jejím úkolem je rozdělit obvod podle daného chromozomu a určit kvalitu rozdělení na TB. Rozdělení probíhá podle algoritmu uvedeném v plné verzi práce jež prochází i-cesty z registrů označených jako hraniční a zařazuje prvky po cestě do TB, dokud nenarazí na další hraniční registr.

³Některý TB byl neúměrně velký proti ostatním. Nebo byly některé bloky příliš malé.

Výpočet hodnoty fitness funkce:

Hodnota fitness funkce je složena z těchto částí:

1. *část*: určuje, kolik procent registrů je součástí nebo hraničním registrem některého TB.
2. *část*: stanovuje, kolik procent obvodových prvků a vnitřních registrů je součástí některého TB. Hodnota menší jak 100 procent indikuje, že některé prvky zůstaly mimo TB a nelze je do žádného TB zařadit.
3. *část*: udává, kolik procent registrů není zařazeno do řetězce scan.
4. *část*: určuje, kolik procent TB obsahuje alespoň jeden vnitřní prvek.
5. *část*: zohledňuje střední odchylku synchronizační vzdálenosti⁴ jednotlivých TB.
6. *část*: je střední odchylka velikosti TB. Hodnota je největší když je velikost jednotlivých TB stejná.

Výsledná fitness funkce je pak rovna váženému součtu jednotlivých částí.

5.3.2 Implementace metodiky pro rozdělení obvodu na TB

1. krok

Prvním krokem je analýza VHDL (případně verilogu) kódu (reprezentujícího analyzovaný obvod) a jeho převedení do formálního modelu, jež je popsán v kapitole 4. K tomuto účelu je využita aplikace, jež vznikla v rámci diplomové práce [17]. Vstupem je strukturální⁵ VHDL kód popisující analyzovaný obvod na úrovni RT. Dále je třeba připojit soubor *.VHC, který slouží pro popis i-režimů prvků, které se nacházejí v obvodu. Ke každému prvku je zde určeno, jakým způsobem je možné jej uvést do transparentního režimu a mezi kterými branami je to možné. Nakonec je třeba specifikovat, které brány jsou řídicí, seznam těchto bran je uveden v souboru *.EXC.

Výstupem aplikace je soubor množin formálního modelu popsaného v kapitole 4. Součástí výstupu je i seznam všech i-cest a ii-cest⁶ v obvodu, jež je vypočten pomocí modifikovaného Dijkstrova algoritmu.

Protože je aplikace časově náročná, bylo při implementaci přistoupeno k paralelizaci Dijkstrova algoritmu, jež je v ní implementován, aby bylo možné ji provozovat na víceprocesorových výpočetních strojích. K tomuto účelu bylo využito rozšíření jazyka c++ s názvem OpenMP.

⁴synchronizační vzdálenost je počet hodinových pulzů nutných k průchodu testovacích vektorů TB

⁵Behaviorální VHDL je třeba předsyntetizovat pomocí některého nástroje a namapovat například na prvky z knihovny AMI.

⁶Rozšíření modelu

2. krok

Dalším krokem je rozdělení obvodu na TB. V tomto kroku je použit genetický algoritmus nebo simulované žihání. Chromozom je tvořen posloupností 0 a 1 a jeho délka je rovna počtu registrů v obvodu. Každá pozice v chromozomu odpovídá jednomu registru. Hodnota „0“ znamená, že registr není hraniční (bude tedy vnitřním registrem TB a nebude zařazen do registru scan), hodnota „1“ znamená, že registr je hraničním registrem TB (bude zařazen do registru scan). V případě genetického algoritmu se pro výběr rodičů ke křížení používá rulety, jedinci s vyšší hodnotou fitness funkce zaujmají větší část rulety a tím je i vyšší pravděpodobnost jejich výběru. Po výběru prvního rodiče se tento z rulety vyřadí a vybere se druhý. S danou pravděpodobností se pak provádí jednobodové křížení vybraných rodičů. Dále se s jistou pravděpodobností provádí mutace určeného počtu bitů. Taktο vzniklí jedinci jsou zařazeni do populace. Dva jedinci s nejnižší hodnotou fitness funkce jsou z populace vyřazeni. V případě simulovaného žihání se osvědčila jednobitová mutace.

Součástí výpočtu fitness funkce každého jedince populace je rozdělení obvodu na TB podle chromozomů s využitím formálního modelu TB. K tomu je použit algoritmus detailně popsáný v části zabývající se fitness funkcí. Tento algoritmus prochází obvod z každého registru označeného jako hraniční a označuje prvky po *i*-cestě číslem TB tak dlouho, až se dostane k dalšímu registru označenému jako hraniční. Po té pokračuje procházením obvodu a označuje prvky dalším číslem TB. Označení jednotlivých prvků obvodu se ukládá do množin E_TB a R_TB .

3. krok

V této fázi je obvod rozdělen na TB a je možné vyčíslit hodnotu fitness funkce. Tento výpočet se provádí způsobem popsáným na konci kapitoly 5.3.1.

Genetický algoritmus tedy optimalizuje rozdělení na TB tak, aby byla hodnota fitness funkce co největší. Po ukončení genetického algoritmu je vybrán jedinec (tzn. rozdělení obvodu na TB) s největší fitness funkcí. V případě simulovaného žihání je tento jedinec přímo výsledkem výpočtu. Jsou uloženy množiny E_TB a R_TB a přichází na řadu algoritmus, jež uloží rozdělený obvod tak, že každý TB je uložen v samostatném souboru. Tyto soubory jsou pak spojeny v celý obvod v hlavním souboru. Výstupním formátem je Verilog.

Kapitola 6

Experimentální výsledky

V této kapitole je uvedena analýza experimentálních výsledků získaných použitím algoritmů prezentovaných v kapitole 5. Nejdříve jsou uvedeny výsledky testů, prováděných na testovací sadě obvodů vyvinuté na Ústavu počítačových systémů, Fakulty informačních technologií, VUT v Brně s použitím genetického algoritmu a simulovaného žhání. Důvodem pro použití této sady byla neexistence vhodné testovací sady, jež by obsahovala obvody s větším počtem registrů. Dále je uvedeno porovnání těchto výsledků. Následuje popis experimentů získaných na dalších obvodech při aplikaci algoritmu pro odstranění smyček. V závěru jsou shrnuty výsledky experimentů.

6.1 Experimenty na testovacích obvodech

V tabulce 6.1 jsou základní informace o jednom z testovaných obvodů, doba potřebná pro převod do formálního modelu a doba potřebná k rozdělení na TB pomocí tří různých metod. Řádek 1 informuje o počtu obvodových prvků v obvodu. V tomto počtu jsou zahrnuty kombinační prvky, registry i multiplexory (tento údaj odpovídá velikosti množiny E). Údaj na řádku 2 udává celkový počet spojů v obvodu (množina C). Spoj je vždy veden pouze mezi dvěma branami. Bránou se rozumí vstup/výstup obvodového prvku, řídicí vstup/výstup obvodového prvku nebo primární vstup/výstup obvodu. Počet registrů na řádku 3 odpovídá velikosti množiny R . Řádky 4 až 8 udávají velikost množin PI , PO , IN , OUT , CI . Na řádku 9 je uveden celkový počet bran, jež je tvořen součtem řádků 4 až 8. Pokrytí poruch uvedené na řádku 10 bylo určeno generátorem testu Flextest, generátor byl aplikován v základním nastavení na obvod bez použití řetězce scan. Řádek 11 udává celkový počet i -cest nalezených v obvodu, tzn. dvojic bran, mezi kterými existuje i -cesta. Na řádku 12 je velikost množiny ρ , jež přiřazuje každé dvojici bran, mezi kterými existuje i -cesta, posloupnost bran, jimiž tato i -cesta prochází. Toto číslo je větší než počet i -cest, protože mezi dvěma branami může existovat více různých i -cest. Všechny časy uvedené na řádcích 13, 15, 16, 20, 21 a 25 jsou průměrné hodnoty z 10 opakovaných měření. Řádek 18, 23 a 27 udává počet registrů, jež byly označeny jako hraniční. Některé registry jsou však dosažitelné přímo z PO/PI a není třeba je zařazovat do registru scan. Počet skutečně zařazených registrů do řetězce

scan je pak uveden na řádce 17, 22 a 26. Počet TB, na něž byl obvod rozdělen, je uveden na řádce 19, 24 a 28. Údaj udávající počet registrů zařazených do řetězce scan programem DFTAdvisor firmy Mentor Graphics® (řádek 14) je rozdělen na dvě části. První číslo je výsledkem metody „ATPG-Based Partial Scan¹“, druhé číslo je výsledek metody „AUTOMATIC-Based Partial Scan²“. Obvod v tabulce 6.1 byl rozdělen úplně (tzn., že každý obvodový prvek patří do nějakého TB). Číslo zapsané za názvem jednotlivých metod udává maximální nalezenou hodnotu fitness funkce.

Metoda **přímého rozdělení** nevyužívá evoluce, jedná se pouze o jednu aplikaci funkce pro rozdělení obvodu na TB se vstupním vektorem, ve kterém jsou všechny registry označeny jako hraniční. Tato metoda označí všechny registry, jež lze použít jako hraniční a rozdělí tak obvod na maximální možný počet TB.

Základní údaje o obvodu:

1	počet obvodových prvků	146	8	počet řídicích bran	75
2	počet spojů	6131	9	počet všech bran	496
3	počet registrů	75	10	pokrytí poruch (bez scanu)	66%
4	počet primárních vstupů	36	11	počet i-cest	7688
5	počet primárních výstupů	10	12	velikost množiny ρ	8452
6	počet vstupních bran	225	13	doba převodu do modelu	6m 27s
7	počet výstupních bran	150	14	počet reg., jež navrhuje Mentor	44; 9

Genetický algoritmus: 29.4715

15	prům. doba výp. rozdělení na TB	13,2s
16	doba výpočtu jedné generace	36ms
17	počet registrů ve scanu	30
18	počet hraničních registrů	68
19	počet TB	9

Simulované žhání: 29.447

20	prům. doba výp. rozdělení na TB	15,2s
21	doba výpočtu jedné generace	35ms
22	počet registrů ve scanu	8
23	počet hraničních registrů	33
24	počet TB	3

Metoda přímého rozdělení: 29.4639

25	prům. doba výp. rozdělení na TB	2,4s
26	počet registrů ve scanu	30
27	počet hraničních registrů	70
28	počet TB	10

Tabulka 6.1: Výsledky experimentů s obvodem „m10“

¹Tato technika využívá sekvenční generátor testu pro navržení registrů do řetězce scan.

²Tato metoda automaticky vybere nejhodnější metodu z ATPG-Based Partial Scan (založená na generátoru testu), SCOAP-based [7] a STRUCTURE-based (založená na analýze struktury obvodu)

U dalších zkoumaných obvodů je vždy počet registrů, jež musí být zařazeny do řetězce scan, nižší než navrhuje komerční systém při analýze „ATPG-based“ a větší než v případě automatické volby analýzy systémem. Větší počet registrů, jež byl určen pomocí navržené metodiky, je způsoben nutností oddělit každý TB od dalších TB hraničními registry. Výše představené obvody jsou vhodné pro použití metodiky pro rozdělení obvodu na TB, protože mají velký počet registrů a pravidelnou strukturu s malým počtem zpětných vazeb, které by mohly způsobovat problémy popsané v kapitole 5.2.2.

6.1.1 Experimentální výsledky

Obvod, jež je analyzován v tabulce 6.1, byl pomocí GA rozdělen na 9 TB, z celkového počtu 75 registrů bylo 68 registrů označeno jako hraniční. Přístupných přes primární vstupy/výstupy je 38 registrů, proto je třeba do řetězce scan zařadit pouze 30³ registrů. Komerční návrhový systém doporučuje 44 resp. 9 registrů dle typu analýzy. Pokrytí poruch určené generátorem testu Flextest bez použití navržené metodiky je 66%. Použití navržené metodiky pak zvýší toto pokrytí až na 100%.

Označení	Počet funkčních jednotek [1]	Počet registrů [1]	Počet i-cest [1]	Počet spojů [1]	Doba potř. pro identifikaci i-cest [s]	Doba rozdělení na TB [s]	Počet TB [1]	Prvky nezařazené do TB [%]
COM	45	21	1874	1217	242	3.2	5	17
ISA	75	29	8831	2988	2375	15.2	2	4
DIFFEQ	11	6	2041	213	2.2	0.81	1	0
DEC	29	7	1283	529	22.8	4.3	2	20.6
FIFO2	226	144	33339	11297	41200	233	6	14
S298	47	19	10204	1367	349	14.7	2	3

Tabulka 6.2: Výsledky experimentů s dalšími obvody

Označení [-]	Počet hraničních registrů [1]	Počet registrů uvnitř TB [1]	Počet funkčních jednotek [1]	Počet uzlů [1]
TB1	2	4	12	15
TB2	4	1	6	3
TB3	2	4	12	15
TB4	2	4	12	15
TB5	2	4	12	15

Tabulka 6.3: Detailní rozbor jednotlivých identifikovaných TB v obvodu COM

V tabulce 6.2 vidíme parametry dalších vybraných testovaných obvodů, jež nelze úplně rozdělit na TB. V prvních pěti sloupcích jsou uvedeny základní údaje o obvodu. V šestém sloupci je uvedena doba potřebná k identifikaci i-cest a v sedmém sloupci doba potřebná k rozdělení obvodu na TB pomocí genetického algoritmu. V dalších sloupcích je uveden počet TB, na něž byl

³68 hraničních registrů - 38 registrů přístupných přes PI/PO = 30 registrů

Označení [-]	Počet hraničních registrů [1]	Počet registrů uvnitř TB [1]	Počet funkčních jednotek [1]	Počet uzlů [1]
TB1	28	86	222	241
TB2	3	3	8	7
TB3	3	3	8	7
TB4	3	3	8	7
TB5	5	1	6	3
TB6	5	1	6	3

Tabulka 6.4: Detailní rozbor jednotlivých identifikovaných TB v obvodu FIFO2

obvod rozdělen, v posledním sloupci je část obvodu, kterou nelze rozdělit na TB. Je patrné, že obvod DIFFEQ, který je plně testovatelný, byl označen za jeden TB.

Některé obvody, jež mají pravidelnou strukturu, mohou být rozděleny tak, že některé TB jsou svým zapojením totožné. To vypovídá o tom, že pravidla pro rozdělení analyzovaného obvodu na TB byla definována jednoznačně a byla správně implementována. V tabulce 6.3 je vidět, že TB3, TB4 a TB5 mají i stejné parametry. V tabulce 6.4 mají stejné parametry TB2, TB3 a TB4.

6.2 Detekce a eliminace smyček

V této části je experimentálně ověřen pozitivní vliv detekce a přerušení smyček na schopnost metodiky rozdělit obvod na TB.

Ozn. [-]	Hledání smyček [s]	Rozdělení na TB [s]	Počet TB [1]	Počet přidávaných registrů [1]	Počet použitých registrů [1]	Prvky nezařazené do TB [%]
COM	4	13	6	17	2	6,7
ISA	59,7	201	2	33	1	2,5
DEC	1,2	2,3	2	7	1	13
FIFO2	2758	1740	18	58	50	10
S298	61	210	1	41	1	0

Tabulka 6.5: Výsledky metody pro detekci smyček

V tabulce 6.5 jsou uvedeny výsledky aplikace algoritmu pro detekci smyček na stejné obvody jako v tabulce 6.2. V prvním sloupci je uvedena doba nutná k detekci smyček a k přidání pomocných registrů. V dalším sloupci je uvedena doba rozdělení na TB, je patrné, že se tato doba oproti tabulce 6.2 zvýšila, což je způsobeno větším počtem registrů. Ve všech případech došlo ke snížení počtu obvodových prvků, jež nelze zařadit do žádného TB. Struktura některých obvodů neumožňuje zařadit všechny prvky do nějakého TB. To může být způsobeno např. přímým napojením částí obvodu na primární vstup nebo výstup bez oddělení registrem.

Kapitola 7

Závěr

7.1 Výsledky práce a zhodnocení

Tato práce se zabývá analýzou číslicových obvodů popsaných na úrovni me-ziregistrových přenosů. V práci je zahrnuta pouze problematika související s testovatelností obvodových datových cest, řadičem ovládajícím tok dat těmito cestami se nezabývá. V úvodu jsou uvedeny úrovně popisu obvodu, ty jsou rozděleny na 6 úrovní. Práce se týká obvodů na úrovni RT, proto následuje detailnější popis této úrovně. Dále jsou shrnuty základní pojmy z diagnostiky číslicových obvodů a detekce a lokalizace poruch. Poté následuje kapitola zabývající se nástroji pro automatické generování testu pro sekvenční a kombinační číslicové obvody. Poslední část této kapitoly je věnována genetickému algoritmu a simulovanému žihání.

V kapitole 2 je shrnut současný přístup k návrhu obvodů pro snadnou testovatelnost a popsány metody, jež se zabývají problematikou podobnou této práci. Techniky návrhu snadno testovatelného obvodu mají pozitivní i negativní dopad na analyzovaný obvod. Jasným přínosem je zvýšení říditelnosti a pozorovatelnosti testovaného obvodu, čímž se dosáhne snížení doby potřebné pro generování testu, zvýšení pokrytí poruch a zkrácení testu z hlediska délky i času. Negativní dopad je však spatřován v nárůstu plochy čipu, zvýšení počtu vývodů, zvýšení příkonu, zhoršení dynamických vlastností obvodu či spolehlivosti. Mezi kladnými a zápornými aspekty je nutné nalézt vhodný kompromis, což je hlavním cílem navržených technik. Prezentované techniky se snaží rozdělit obvod za účelem zjednodušení generování testu sekvenčního číslicového obvodu. Jedna z metod využívá přidání multiplexorů, další využívají řetězce scan. Multiplexory je možné použít pro přepnutí do režimu testu. V režimu testu se připojí primární vstupy přímo k testované části obvodu a odpojí se od původního spoje, v normálním režimu je přes multiplexor připojena původní datová cesta. Nevýhodou tohoto řešení je velký nárůst velikosti obvodu a nemožnost detekovat poruchu při chybném přepnutí multiplexoru do režimu funkce obvodu.

Dalším přístupem k testování obvodu jsou metody scan. První možností této metody je zaměnit všechny registry za registry scan a připojit je do řetězce. Sériově je tak možné transportovat diagnostická data do/z každého

registru. Tento přístup však neúměrně zvětšuje plochu čipu a také se projevuje časová rezie sériového přenosu dat. Aby se snížil negativní dopad této techniky, jsou zařazovány do řetězce scan jen některé registry. Vhodným výběrem těchto registrů se zabývají různé metody založené na různých přístupech. Jsou to například analýza míry testovatelnosti, analýza struktury obvodu, analýza spotřeby energie, analýza transparentních cest a další.

V další kapitole je pak zaveden formální model datové části číslicových obvodů na úrovni RT a některých jeho vlastností, význačných z pohledu analýzy testovatelnosti [32]. Model celého obvodu je tvořen uspořádanou pětici množin. Lze říci, že model má charakter grafu. Model umožňuje dále hierarchický popis. Je provedena základní klasifikace obvodových prvků s ohledem na jejich chování a roli v obvodě a též s ohledem na skutečnosti, které plynou z použití strategie syntézy s využitím multiplexovaných datových cest. Jedna z množin základní pětice modelující obvod je relace. Je to relace spojující mezi branami obvodových prvků. Zavedení formálního modelu umožnilo převést problémy související s analýzou testovatelnosti obvodu na problémy diskrétní matematiky, matematické logiky a teoretické informatiky. Dále je zaveden množinový model umožňující popsat transparentní vlastnosti prvků a také celého analyzovaného obvodu, čehož metodika pro rozdělení obvodu na TB využívá.

Formální model, který je zaveden v předchozí kapitole, je využit formálním modelem TB, který je v disertační práci navržen. Formální model je rozšířen o další množiny a pomocí definic je vymezen a formálně definován TB. Na TB můžeme nahlížet jako na část obvodu, která je plně testovatelná přes svoje vstupy a výstupy - hraniční registry nebo primární vstupy a výstupy. Pouze hraniční registry je možné do řetězce scan zařadit. V modelu jsou vymezeny obvodové prvky. Obvodový prvek může mít sekvenční charakter (multiplexory, logické prvky) nebo sekvenční charakter (registry). Rozhraní prvků tvoří brány, které jsou přiřazeny k jednotlivým prvkům pomocí funkce ψ . Mezi těmito branami je pak realizováno propojení. Propojení je dále možné s primárními vstupy a výstupy, jež jsou definovány jako samostatné množiny. Dále je definováno rozhraní TB, což je vlastně množina hraničních registrů, přes něž je TB diagnostikován. Struktura TB je vymezena množinou spojujících, která určuje propojení bran obvodových prvků mezi sebou a připojení k primárním vstupům a výstupům. Výsledkem je pětice reprezentující TB. Nakonec jsou vymezeny nutné podmínky pro existenci TB, jež zamezují překrývání TB a určují zařazení hraničních registrů do řetězce scan. Zavedené pojmy jsou demonstrovány na vhodných příkladech a doplněny obrázky.

Další kapitola se zabývá metodikou pro rozdělení obvodu na TB, jež je na formálním modelu založena. Práce si kladla za cíl navrhnout metodiku, jejíž podstatou bude zjednodušení generování testu pro sekvenční obvody. Hlavní

částí sekvenčních číslicových obvodů jsou paměťové prvky (registry) a právě tyto prvky jsou důležité i pro navrženou metodiku. Základní postup analýzy obvodu spočívá v převedení struktury obvodu zapsaného ve VHDL/Verilogu do formálního modelu a rozdělení pomocí metodiky na TB. Hraníční registry jsou pak zařazeny do registru scan. Použití metodiky rozdělení na TB je vhodné zejména pro obvody obsahující větší množství registrů a menší množství zpětných vazeb. Testovatelnost obvodu rozděleného na TB je dále možné porovnávat s profesionálními nástroji. Metodika je uvedena ve formě algoritmů, pracujících na matematických pojmech. Algoritmy jsou slovně vysvětleny a doplněny vývojovými diagramy. Základem algoritmu je procházení transparentních cest a přiřazení registrů a obvodových prvků do TB. Výběr hraníčních registrů je proveden genetickým algoritmem a simulovaným žiháním. Dále je v práci diskutován vliv smyček v obvodu na možnosti rozdělení obvodu na TB. Je konstatováno, že tento vliv je značný a značně omezuje metodiku při detekci TB. Proto je navržena a implementována metodika pro detekci a přerušení smyček diagnostickými registry.

Následuje popis implementace algoritmu. Je zvolen genetický algoritmus a simulované žihání. Poté je určena podoba fitness funkce. Fitness funkce se skládá z 6 částí, mezi nimiž je proveden vážený součet. Genetický algoritmus a simulované žihání pak optimalizuje výběr hraníčních registrů tak, aby bylo dosaženo co největší hodnoty fitness funkce. Algoritmus rozdělení obvodu na TB na základě vybraných hraníčních registrů je popsán slovně a doplněn vývojovým diagramem.

Z experimentálních výsledků uvedených v kapitole 6 vyplývá, že počet registrů zařazených do řetězce scan je pro dané obvody srovnatelný s profesionálním návrhovým systémem. Nevýhodou této metodiky je čas potřebný k analýze a rozdělení obvodu. U syntetických testovacích obvodů je vždy počet registrů, jež musí být zařazeny do řetězce scan, nižší než navrhuje komerční systém při analýze DFT a větší než v případě automatické volby analýzy systémem. Doba výpočtu je polynomiálně závislá na počtu i -cest. Metodika pro detekci a přerušení smyček vede ke snížení počtu obvodových prvků, jež nelze zařadit do žádného TB. Pokrytí poruch je většinou větší u obvodů rozdělených na TB než u obvodů, pro něž vygeneroval řetězec scan návrhový systém.

7.2 Přínos

Za zásadní přínos této práce lze považovat vytvoření nové metodiky pro zajištění testovatelnosti číslicového obvodu na úrovni RT. Metodika je založena na identifikaci testovatelných bloků podle definovaných kritérií. Přínos práce je následující:

1. Jsou definovány vlastnosti testovatelného bloku (ty jsou modifikovatelné

pro jiné typy zadání).

2. Je zaveden formální popis číslicového obvodu na úrovni RT (do jisté míry převzat z předcházejících prací), je doplněn o formální popis testovatelného bloku a jeho vlastností.
3. Na formálním modelu jsou definovány procedury identifikace testovatelných bloků.
4. Na formálním modelu jsou tyto procedury implementovány.
5. Pro ověření metodiky jsou použity dva optimalizační postupy - genetický algoritmus a horolezecký algoritmus, zkušenosti s jejich využitím jsou v práci diskutovány.
6. Na několika číslicových obvodech je metodika identifikace testovatelných bloků ověřena, experimentální výsledky jsou v práci diskutovány.
7. Bylo prokázáno, že pro účely diagnostiky a testování číslicových systémů je možné využít matematický aparát, především diskrétní matematiku, teorii množin a teorii grafů.

7.3 Publikované práce

Články na konferencích: [8, 9, 12, 11, 10, 19, 18, 14, 13, 20, 21, 15].

Článek v časopise: [22].

Autorovo CV

- Narozen 25.2.1981,
- 1995–1999: Studium oboru Výpočetní technika a informatika na SPŠ elektrotechnické, Kounicova 16, Brno, maturita s vyznamenáním.
- 1999–2004: Studium magisterského studijního programu Informační technologie na Fakultě informačních technologií, VUT v Brně.
- Od roku 2004 studium doktorského studijního programu Informační technologie na Fakultě informačních technologií, VUT v Brně. Státní doktorská zkouška byla úspěšně složena v roce 2006.

Přehled aktivit během studia

- Výuka v předmětech: Periferní zařízení, Periferní zařízení 2, Personální počítače, Technická péče.
- Vedení bakalářských projektů (řešitelé: Zemánek Martin, Vávra Jakub, Tauš Michal, Janský Václav, Šilon Peter, Malačka Ondřej, Bartoš Pavel, Mrózek Marian, Mičulka Lukáš), recenze bakalářských a diplomových projektů.

Účast na projektech

- Integrovaný přístup k výchově studentů DSP v oblasti paralelních a distribuovaných systémů, GAČR 102/05/H050, člen řešitelského týmu.
- Moderní metody syntézy číslicových systémů, GAČR GA102/04/0737, člen řešitelského týmu.
- SoC circuits reliability and availability improvement, GA102/09/1668, člen řešitelského týmu.

Další aktivity

- Autorizovaný software: Herrman T., Kotásek Z., Tools for split RTL circuit into Testable blocks, 2007.

Literatura

- [1] Abadir, M. S.; Breuer, M. A.: A Knowledge Based System for Designing Testable VLSI Chips. *IEEE Design & Test of Computers*, srpen 1985, s. 56–68.
- [2] Agrawal, V. D.; Cheng, K.; Johnson, D. D.; aj.: A Complete Solution to the Partial Scan Problem. *International Test Conference*, 1987, s. 44 – 51.
- [3] Agrawal, V. D.; Cheng, K.; Johnson, D. D.; aj.: Designing Circuits with Partial Scan. *IEEE Design&Test of Computers*, April 1988, s. 8 – 15.
- [4] Arora, V.; Sengupta, I.: A Unified Approach to Partial Scan Design using Genetic Algorithm. *Proceedings of the 14th Asian Test Symposium (ATS '05)*, 2005, s. 414–421.
- [5] Chakradhar, S. T.; Balakrishnan, A.; Agrawal, V. D.: An exact algorithm for selecting partial scan flip-flops. *J. Electron. Test.*, ročník 7, č. 1-2, 1995, s. 83–93, ISSN 0923-8174, doi:<http://dx.doi.org/10.1007/BF00993316>.
- [6] Cheng, K.; Agrawal, V.: A partial scan method for sequential circuits with feedback. *IEEE Transactions on Computers*, ročník 39, April 1990, s. 544–548.
- [7] Goldstein, L. H.; Thigpen, E. L.: SCOAP: Sandia controllability/observability analysis program. *Proceedings of the 17th conference on Design automation*, Minneapolis, Minnesota, United States, June 1980, s. 190–196.
- [8] Herrman, T.: Využití optimalizačních technik pro výběr registrů do řetězce SCAN. *Proceedings of 10th Conference and Competition Student EEICT 2004, Volume 1*, Faculty of Electrical Engineering and Communication BUT, 2004, ISBN 80-214-2634-9, s. 263–265.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=7570
- [9] Herrman, T.: Metody aplikace testu založené na testovatelných jádrech. *Počítačové architektury & diagnostika 2005*, Czech Technical University, 2005, ISBN 80-01-03298-1, s. 51–54.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=7893

- [10] Herrman, T.: Formal Model of Testable Block. *Proceedings of 12th Conference Student EEICT 2006, Volume 4*, Faculty of Electrical Engineering and Communication BUT, 2006, ISBN 80-214-3163-6, s. 451–455.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8051
- [11] Herrman, T.: Metodika aplikace testu obvodu založená na identifikaci Testovatelných bloků. *Počítačové architektury a diagnostika - zborník príspevkov*, Institute of Informatics, Slovak Academy of Sciences, 2006, ISBN 80-969202-2-7, s. 131–136.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8175
- [12] Herrman, T.: Testability Analysis Based on Formal Model. *Proceedings of the Seventh International Scientific Conference ECI 2006*, Faculty of Electrical Engineering and Informatics, University of Technology Košice, 2006, ISBN 80-8073-598-0, s. 243–248.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8176
- [13] Herrman, T.: Metodika identifikace testovatelných bloků v obvodu na úrovni RT. *Počítačové architektury a diagnostika 2007*, University of West Bohemia in Pilsen, 2007, ISBN 978-80-7043-605-9, s. 67–76.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8453
- [14] Herrman, T.: Testability Analysis Based on the Identification of Testable Blocks with Predefined Properties. *MEMICS proceedings 2007*, Ing. Zdeněk Novotný, CSc., 2007, ISBN 978-80-7355-077-6, s. 269–269.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8500
- [15] Herrman, T.: Identifikace testovatelných bloků v obvodu na úrovni RT. *Počítačové architektury a diagnostika 2008*, Liberec University of Technology, 2008, ISBN 978-80-7372-378-1, s. 25–35.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8812
- [16] Hosokawa, T.; Kawaguchi, K.; Ohta, M.; aj.: A Design for Testability Method Using RTL Partitioning. *Proceedings of the 5th Asian Test Symposium (ATS '96)*, 1996, s. 88–93.
- [17] Škarvada, J.: *Verifikace testovatelnosti návrhu číslicového obvodu*. Diplomová práce, VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ, Fakulta informačních technologií, 2004.
- [18] Škarvada, J.; Herrman, T.; Kotásek, Z.: RTL Testability Analysis Based on Circuit Partitioning and Its Link with Professional Tool. *IEEE 8th*

Workshop on RTL and High Level Testing, Institute of Computing Technology, Chinese Academy of Sciences, 2007, s. 175–181.

URL http://www.fit.vutbr.cz/research/view_pub.php?id=8487

- [19] Škarvada, J.; Herrman, T.; Kotásek, Z.: Testability Analysis Based on the Identification of Testable Blocks with Predefined Properties. *10th EUROMICRO CONFERENCE ON DIGITAL SYSTEM DESIGN Architectures, Methods and Tools (DSD 2007)*, IEEE Computer Society, 2007, ISBN 0-7695-2978-X, s. 611–618.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8414
- [20] Škarvada, J.; Kotásek, Z.; Herrman, T.: Power Conscious RTL Test Scheduling. *4th Doctoral Workshop on Mathematical and Engineering Methods in Computer Science*, Masaryk University, 2008, ISBN 978-80-7355-082-0, s. 265–265.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8795
- [21] Škarvada, J.; Kotásek, Z.; Herrman, T.: Power Conscious RTL Test Scheduling. *Proceedings of 11th Euromicro Conference on Digital Systems Design Architectures, Methods and Tools*, IEEE Computer Society, 2008, ISBN 978-0-7695-3277-6, s. 721–728.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8700
- [22] Škarvada, J.; Kotásek, Z.; Herrman, T.: Testability Analysis Based on the Identification of Testable Blocks with Predefined Properties. *Microprocessors and Microsystems*, ročník 32, č. 5, 2008, s. 296–302, ISSN 0141-9331.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=8699
- [23] Kiefer, K.; Wunderlich, H.: Deterministic BIST with Multiple Scan Chains. *sborník konference IEEE ETW (European Test Workshop)*, 1998, s. 39–43.
- [24] Kotásek, Z.: Uplatnění principů říditelnosti/pozorovatelnosti při návrhu číslicových obvodů, Habilitační práce. Brno University of Technology, 2000, str. 80.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=6042
- [25] Kotásek, Z.; Pečenka, T.; Strnadel, J.: Improving Testability Parameters of Pipelined Circuits Through the Identification of Testable Cores. *Proc. of the 7th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, Slovak Academy of Science, 2004, ISBN

80-969117-9-1, s. 99–104.

URL http://www.fit.vutbr.cz/research/view_pub.php?id=7507

- [26] Kotásek, Z.; Růžička, R.; Zbořil, F.: Partial Scan Methodology in VHDL Environment. *CEI'99*, 1999, ISBN 80-88922-05-4, s. 146–151.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=6608
- [27] Kotásek, Z.; Strnadel, J.; Pečenka, T.: Methodology of Selecting Scan-Based Testability Improving Technique. *Proc. of 8th IEEE Design and Diagnostic of Electronic Circuits and Systems Workshop*, University of West Hungary, 2005, ISBN 963-9364-48-7, s. 186–189.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=7747
- [28] Lee, D.; Reddy, S.: On determining scan flip-flops in partial-scan designs. *Computer-Aided Design, 1990. ICCAD-90. Digest of Technical Papers.*, Santa Clara, CA, USA, November 1990, s. 322–325.
- [29] Marinissen, E. J.: Philips' Approach to Core-Based System Chip Testing. *4th IEEE DDECS 2001*, 2001, ISBN 963-7175-16-4, s. 15–24.
- [30] Marinissen, E. J.: The Role of Test Protocols in Automated Test Generation for Embedded-Core-Based System ICs. *Journal Of Electronic Testing: Theory and Applications (JETTA)*, ročník svazek 18, srpen 2002, str. 10.
- [31] Pečenka, T.: *Metodika analýzy testovatelnosti obvodu na úrovni RT*. Diplomová práce, FIT VUT v Brně, 2003.
- [32] Růžička, R.: *Formální přístup k analýze testovatelnosti číslicových obvodů na úrovni RT*. Dizertační práce, Fakulta informačních technologií VUT v Brně, 2002.
URL http://www.fit.vutbr.cz/research/view_pub.php?id=7031
- [33] Wang, S.; Wei, W.: Low Overhead Partial Enhanced Scan Technique for Compact and High Fault Coverage Transition Delay Test Patterns. *13th European Test Symposium*, 2008, s. 125–130.