

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV VÝKONOVÉ ELEKTROTECHNIKY A ELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF POWER ELECTRICAL AND ELECTRONIC ENGINEERING

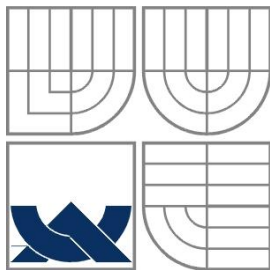
**MIKROPROCESOROVÉ ŘÍZENÍ SPÍNANÝCH
ZDROJŮ**

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

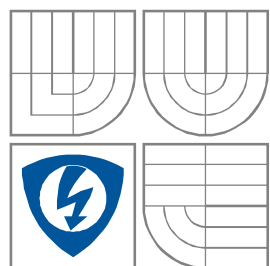
AUTOR PRÁCE
AUTHOR

Tomáš Žůrek

BRNO 2012



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A
KOMUNIKAČNÍCH
TECHNOLOGIÍ**

**ÚSTAV VÝKONOVÉ ELEKTROTECHNIKY
A ELEKTRONIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF POWER ELECTRICAL AND ELECTRONIC
ENGINEERING

MIKROPROCESOROVÉ ŘÍZENÍ SPÍNANÝCH ZDROJŮ

MICROPROCESSOR CONTROL OF SWITCHING POWER SUPPLIES

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

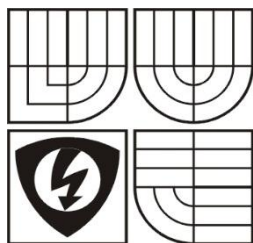
AUTOR PRÁCE
AUTHOR

Tomáš Žůrek

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. Bohumil Klíma, Ph.D.

BRNO, 2012



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav výkonové elektrotechniky a elektroniky

Bakalářská práce

bakalářský studijní obor
Silnoproudá elektrotechnika a výkonová elektronika

Student: Tomáš Žůrek

Ročník: 3

ID: 125724

Akademický rok: 2011/12

NÁZEV TÉMATU:

Mikroprocesorové řízení spínaných zdrojů

POKYNY PRO VYPRACOVÁNÍ:

1. Provedte rešerši problematiky.
2. Popište periferie mikroprocesorů používaných pro spínané zdroje.
3. Provedte schématický návrh a dimenzování konkrétního spínaného zdroje.
4. Popište algoritmy regulace navrhovaného spínaného zdroje.

DOPORUČENÁ LITERATURA:

Dle pokynů vedoucího

Termín zadání: 21.9.2011

Termín odevzdání: 8.12.2011

Vedoucí projektu: Ing. Bohumil Klíma, Ph.D.

doc. Ing. Petr Toman, Ph.D.

předseda oborové rady

UPOZORNĚNÍ:

Autor semestrální práce nesmí při vytváření semestrální práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Abstrakt

Tato práce se zabývá mikroprocesorovým řízením spínaných zdrojů. V práci jsou popsány princip funkce zvyšujícího měniče a periférie mikrokontroléru MC56F8006 využitelné pro řízení spínaných zdrojů. Dále se práce zabývá návrhem zapojení měniče pro napájení notebooku z palubní sítě automobilu a vytvořením programu pro regulaci měniče.

Abstract

This thesis deals with microprocessor control of switching power supply. The thesis describes the function of Step-Up converter and peripherals MC56F8006 useable for switching power supply control. The thesis describes design of the Step-Up converter to supply notebook from power system of car and creating a program to control converter.

Klíčová slova

Mikroprocesorové řízení; zvyšující měnič; spínaný zdroj; digitální signálový mikrokontrolér; DSC; 56F8006

Keywords

Microprocessor control; step up converter; switching power supply; digital signal microcontroller; DSC; 56F8006

Bibliografická citace

ŽŮREK, T. *Mikroprocesorové řízení spínaných zdrojů*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 65 s. Vedoucí bakalářské práce Ing. Bohumil Klíma, Ph.D..

Prohlášení

Prohlašuji, že svou semestrální práci na téma mikroprocesorové řízení spínaných zdrojů jsem vypracoval samostatně pod vedením vedoucího semestrální práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené semestrální práce dále prohlašuji, že v souvislosti s vytvořením této semestrální práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne

Podpis autora

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Bohumilu Klímovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé semestrální práce.

V Brně dne

Podpis autora



Obsah

Seznam tabulek	10
Seznam symbolů a zkratk	11
Úvod	12
1 Typy měničů.....	13
1.1 Zvyšující měnič v režimu spojitých proudů.....	13
1.2 Zvlnění vstupního proudu	15
2 Obvody pro řízení spínaných zdrojů	16
3 Digitální signálový kontrolér MC56F8006	17
3.1 Popis využitých periférií	18
3.1.1 AD převodník.....	18
3.1.2 Programovatelný zesilovač (PGA – Programmable Gain Amplifier).....	20
3.1.3 HSCMP - Analogový komparátor	25
3.1.4 Programovatelný zpožďovací blok	28
3.1.5 PWM Modulátor	31
4 Návrh zapojení měniče.....	35
4.1 Výkonová část měniče.....	35
4.2 Návrh obvodů měření proudu, napětí a teploty.....	38
4.3 Budič tranzistorů	41
4.4 Napájení procesoru a zdroj referenčního napětí.....	42
4.5 Konfigurace procesoru	43
5 Oživení a návrh regulátorů.....	45
5.1 Návrh regulátorů	46
5.2 Vnitřní proudová smyčka	46
5.3 Odladění proudové smyčky.....	48
5.4 Vnější napěťová smyčka	49
5.5 Odladění napěťové smyčky.....	50
5.6 Odladění v režimu konstantního výstupního napětí.....	52
5.7 Účinnost měniče.....	55
Závěr.....	56
Literatura	58
Příloha A – schéma zapojení, deska plošných spojů.....	59
Příloha B – Výpis programu.....	62

**SEZNAM OBRÁZKŮ**

Obr. 1-1 Zvyšující měnič	13
Obr. 1-2 Průběhy napětí a proudů v měniči	15
Obr. 3-1 Blokové zapojení PGA – převzato z [7]	21
Obr. 3-2 Vzájemné propojení PGA, ADC a PDB- převzato z [7]	22
Obr. 3-3 Analogový blokový diagram PGA	23
Obr. 3-4 Časový průběh převodu s PGA.....	23
Obr. 3-5 Blokové schéma modulu HSCMP – převzato z [7].....	26
Obr. 3-6 One-Shot Mode.....	29
Obr. 3-7 Two-Shot mode	30
Obr. 3-8 Blokové schéma PWM modulátoru – převzato z [7].....	31
Obr. 3-9 Zarovnání na hranu – převzato z [7].....	32
Obr. 3-10 Zarovnání na střed – převzato z [7]	33
Obr. 3-11 Generování reloadu – převzato z [7]	33
Obr. 4-1 Průběh proudu kondenzátorem	37
Obr. 4-2 Měření výstupního napětí	39
Obr. 4-3 Měření teploty.....	40
Obr. 4-4 Budič tranzistorů.....	41
Obr. 4-5 Obvod napájení procesoru	42
Obr. 4-6 Zdroj referenčního napětí pro komparátory.....	42
Obr. 4-7 Blokové propojení periférií.....	43
Obr. 4-8 Časový diagram signálů.....	44
Obr. 4-9 Vývojová deska	44
Obr. 5-1 Synchronizace měření proudu. CH1 - Urb, CH2 - ADC Complete	45
Obr. 5-2 Ověření nastavení periférií (odezva na změnu zátěže) – Freemaster	45
Obr. 5-3 Regulační struktura.....	46
Obr. 5-4 Odezva proudu na skok žádané hodnoty – Freemaster	48
Obr. 5-5 Odezva proudu na skok žádané hodnoty - osciloskop (2A/V)	49
Obr. 5-6 Odezva výstupního napětí na skok žádané hodnoty - Freemaster	50
Obr. 5-7 Odezva výstupního napětí na skok žádané hodnoty - Osciloskop (CH1 = Uout, CH2 = I _L , 1V = 2A)	51
Obr. 5-8 Odezva výstupního napětí na skok žádané hodnoty - odlehčení, Freemaster	51
Obr. 5-9 Odezva výstupního napětí na skok žádané hodnoty – odlehčení, osciloskop	51
Obr. 5-10 Režim konstantního napětí - R _z = 10 Ω, (CH1 = Uout, DC vazba; CH2 = I _L , 2A/V)	52
Obr. 5-11 Režim konstantního napětí - R _z = 10 Ω, (CH1 = Uout, AC vazba; CH2 = I _L , 2A/V)	52
Obr. 5-12 Režim konstantního napětí - bez zátěže, (CH1 = Uout, DC vazba; CH2 = I _L , 2A/V)	53
Obr. 5-13 Režim konstantního napětí - bez zátěže, (CH1 = Uout, AC vazba; CH2 = I _L , 2A/V)	53
Obr. 5-14 Připojení zátěže R _z = 10 Ω (CH1 = Uout; CH2 = I _L , 2A/V).....	54
Obr. 5-15 Odpojení zátěže R _z = 10 Ω (CH1 = Uout; CH2 = I _L , 2A/V).....	54
Obr. 5-16 Vstupní veličiny.....	55
Obr. 5-17 Výstupní veličiny.....	55



SEZNAM TABULEK

Tab. 1 Střída v závislosti na vstupním napětí.....	36
Tab. 2 Pravdivostní tabulka budiče	41



SEZNAM SYMBOLŮ A ZKRATEK

PCU	Program Control Unit
AGU	Address Generation Unit
ALU	Arithmetic Logic Unit
PWM	Pulse Width Modulation
I2C	Inter integrated Circuit
SCI	Serial Communications Interface
SPI	Serial Peripheral Interface
JTAG/EOnCE	Joint Test Action Group / Enhanced On-Chip Emulation
ADC	Analog-to-Digital Converter
PGA	Programmable Gain Amplifier
S/E	Single/Ended
S/H	Sample/Hold
HSCMP	High Speed CoMParator
PDM	Programmable Delay Block



ÚVOD

Tato bakalářská práce se zabývá mikroprocesorovým řízením spínaných zdrojů. V práci je popsán návrh zvyšujícího měniče pro napájení notebooku z palubní sítě automobilu. Pro řízení měniče je vybrán vhodný digitální signálový mikrokontrolér, se kterým je měnič realizován. Práce je rozdělena do pěti tematických kapitol:

V první kapitole jsou popsány vlastnosti zvyšujícího měniče s akumulací tlumivkou a příslušné výpočetní vztahy.

Druhá kapitola se krátce zabývá výhodami a možnostmi řízení spínaných zdrojů.

Ve třetí kapitole jsou popsány periferie mikrokontroléru MC56F8006, které jsou využívány pro řízení spínaných zdrojů.

Čtvrtá kapitola se zabývá návrhem zapojení zvyšujícího měniče, určeného k napájení notebooku z palubní sítě automobilu. Dále je zde popsána konfigurace periférií procesoru s časovým diagramem komunikace mezi perifériemi.

Pátá kapitola se zabývá oživením měniče a návrhem regulátorů, které jsou postupně odladovány na navrženém měniči. Jsou zde také uvedeny výsledky měření na měniči.

Rovněž je uvedeno zhodnocení návrhu zvyšujícího měniče a případná doporučení pro inovaci řešení.

1 TYPY MĚNIČŮ

Elektrické zařízení, které mění kvalitu jedné elektrické energie na elektrickou energii kvality druhé se nazývá měnič. Podle časových průběhů napětí a proudu na vstupu a výstupu měniče rozeznáváme 4 základní typy měničů:

1. AC/DC – usměrňovače
2. AC/AC – střídavé měniče napětí
3. DC/DC – stejnosměrné pulsní měniče
4. DC/AC – střídače

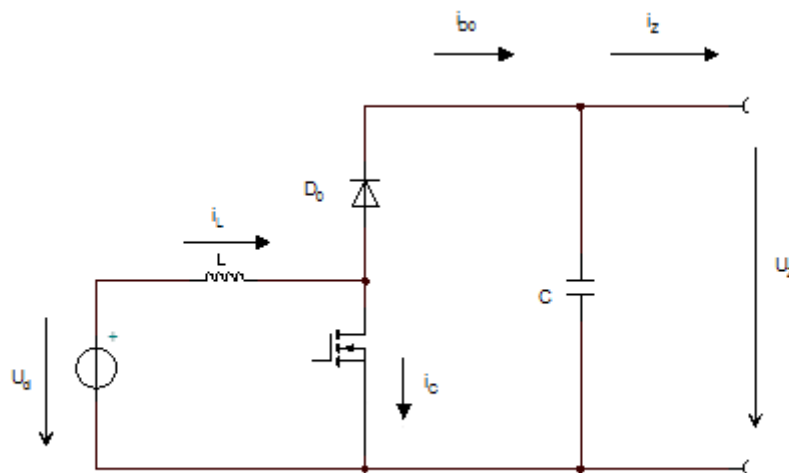
Měnič určený pro napájení přenosného počítače z palubní sítě automobilu spadá do kategorie DC/DC měničů. Tyto měniče se dále dělí podle svých vlastností a uspořádání výkonových prvků. V případě měniče určeného k napájení notebooku, požadujeme zvýšení napájecího napětí z napětí palubní sítě na napětí 19 V. Jedná se tedy o měnič zvyšující (Boost converter, Step-up converter) [1].

1.1 Zvyšující měnič v režimu spojitých proudů

Na *Obr. 1-1* je nakresleno schéma zvyšujícího měniče. Obvod se skládá ze zdroje napětí U_d , ze kterého je čerpána elektrická energie, akumulární tlumivky L , která slouží k akumulaci elektrické energie, spínacího tranzistoru T , nulové diody D_0 , a filtračního kondenzátoru C . Tranzistor společně s nulovou diodou tvoří dolní spínač.

Funkce měniče je popsána od času $t = 0$ s. Nejprve dojde k sepnutí tranzistoru. Tím je akumulární tlumivka připojena na napájecí napětí U_d a čerpá z něho energii. Proud tlumivkou i_L lineárně vzrůstá. V okamžiku vypnutí tranzistoru je na tlumivce záporné napětí $u_L = -(U_Z - U_D)$. Dojde k otevření nulové diody a začne přes ni protékat proud do zátěže a filtračního kondenzátoru. Tento děj se dále opakuje. V době, kdy se energie akumuluje v tlumivce, zátěž čerpá energii z filtračního kondenzátoru. Ten musí být navržen tak, aby bylo dodrženo požadované zvlnění výstupního napětí.

Pro odvození vztahu výstupního napětí se vychází ze skutečnosti, že střední hodnota napětí na cívce v ustáleném se rovná nule [1], [2].



Obr. 1-1 Zvyšující měnič



Napětí na cívce je dáno vztahem:

$$u_i(t) = L \frac{di(t)}{dt} \quad (1.1)$$

Střední hodnota napětí na cívce po dosažení ze vztahu (1.1) :

$$\begin{aligned} U_{stř} &= \frac{1}{T} \int_0^T u(t) dt = \frac{L}{T} \int_0^T \frac{di}{dt} dt = \frac{L}{T} [i(t)]_0^T = \\ &= \frac{L}{T} [i(T) - i(0)] = 0 \end{aligned} \quad (1.2)$$

Podle druhého Kirchhoffova zákona platí pro doby sepnutí a vypnutí tranzistoru tyto rovnice:

t_z :

$$U_d - u_L(t) = 0 \quad (1.3)$$

$$u_L(t) = U_d \quad (1.4)$$

t_v :

$$U_d - U_z - u_L(t) = 0 \quad (1.5)$$

$$u_L(t) = U_d - U_z \quad (1.6)$$

Protože střední hodnota napětí na indukčnosti musí být rovna nule:

$$U_{LSTŘ} = \frac{1}{T} [U_d t_z - (U_z - U_d) t_v] = 0 \quad (1.7)$$

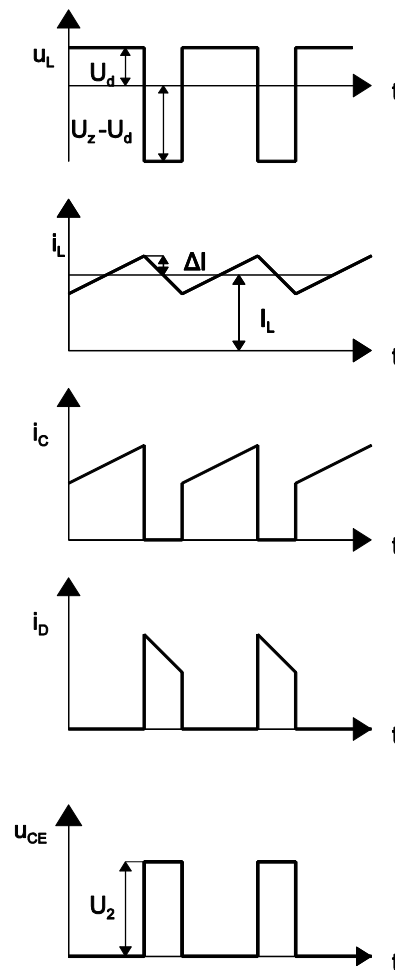
Po dosažení střídý dojdeme k rovnici pro velikost výstupního napětí v závislosti na střídě:

$$U_z = U_d \frac{1}{1-s} \quad (1.8)$$

kde střída

$$s = \frac{t_z}{T} \quad (1.9)$$

Z rovnice (1.8) plyne, že při nulové střídě, tedy nulové době sepnutí tranzistoru bude výstupní napětí rovno vstupnímu. Při střídě blížící se k jedné roste výstupní napětí k nekonečnu.



Obr. 1-2 Průběhy napětí a proudů v měniči

1.2 Zvlnění vstupního proudu

Zvlnění vstupního proudu je odvozeno pro ideální případ, kdy vinutí cívky má nulový odpor a spínací prvky vykazují nulové úbytky napětí, časové průběhy proudů jsou tedy tvořeny přímkami. Rozdíl špičky okamžité hodnoty proudu tlumivkou $i_L(t)$ a střední hodnoty proudu tlumivkou I_L je označena ΔI .

V čase, kdy je tranzistor sepnut, je cívka připojena na napětí U_d . Podle rovnice (1.1) je vypočteno zvlnění vstupního proudu ΔI .

$$\left| \frac{di_z}{dt} \right| = \frac{2\Delta I}{T_s} = \frac{U_d}{L} \quad (1.10)$$

Po úpravě

$$\Delta I = \frac{U_d T_s}{2L} = \frac{U_d s}{2fL} \quad (1.11)$$

Stejný výsledek je možné získat sestavením rovnice pro dobu, kdy je tranzistor rozepnut. Vyjádřením indukčnosti akumulární tlumivky z této rovnice lze vypočítat požadovanou indukčnost akumulární tlumivky [1], [2].



2 OBVODY PRO ŘÍZENÍ SPÍNANÝCH ZDROJŮ

Zvyšující měnič se skládá z těchto základních částí:

1. Výkonový obvod
Skládá z akumulací tlumivky, spínacího tranzistoru, nulové diody a filtračního kondenzátoru.
2. Řídící obvod
Do řídicího obvodu jsou přivedeny informace z ostatních částí spínaného zdroje, jako je informace o vstupním napětí, výstupním napětí a proudu spínacím tranzistorem. Výstupní veličiny řídicí obvod ovlivňuje pomocí změny středy generovaného obdélníkového signálu, kterým je buzen spínací tranzistor.
3. Zpětnovazební obvod
Zpětnovazební obvod poskytuje řídicímu obvodu informace o regulovaných veličinách spínaného zdroje.

Řídící obvod je možné řešit několika způsoby. Lze ho sestavit z diskretních součástek. Tím však vzroste velikost plošného spoje a celková složitost obvodu. S vyšším počtem obvodových prvků také klesá spolehlivost obvodu [3].

Druhou možností je použití integrovaných obvodů, které jsou vytvořeny pro potřeby řízení a regulace spínaných zdrojů. Tyto integrované obvody obsahují kromě funkcí pro regulaci také funkce zajišťující např. pomalý náběh vstupního proudu, tepelné ochrany, ochrany proti přetížení, ochrany pro pokles vstupního napětí a podobně. Použití těchto obvodů je nejlevnější variantou konstrukce spínaného zdroje [3], [4].

Třetí způsobem řešení řídicího obvodu je použití programovatelného mikrokontroléru s vhodnými perifériemi. Vstupní veličiny řídicího obvodu jsou vzorkovány AD převodníkem, vyhodnoceny regulačním algoritmem a podle výsledků je nastavena akční veličina. Dále mohou být monitorovány anomálie ve zdroji a zdroj může reagovat na poruchové stavy. Navíc může procesor komunikovat s nadřazenými systémy. Např. v leteckých aplikacích jsou tyto vlastnosti vyžadovány [3],[5].



3 DIGITÁLNÍ SIGNÁLOVÝ KONTROLÉR MC56F8006

Jako řídicí obvod měniče pro napájení notebooku byl vybrán digitální signálový kontrolér MC56F8006 od firmy Freescale. Jedná se o nejjednodušší a nejlevnější signálový kontrolér nabízený firmou Freescale. Výrobce doporučuje použití tohoto DSC v oblastech průmyslového řízení, domácí bílé elektroniky, „smart“ senzorů, protipožárních a bezpečnostních systémů, spínaných zdrojů, řízení motorů a dalších.

DSC 56F8006 kombinuje výpočetní výkon signálových procesorů s možnostmi využití periférií mikrokontrolérů. Nabízí tak cenově efektivní řešení. Procesory řady 8006 využívají jádro 56F800E které je založené na dvojité Harvardské architektuře, s třemi prováděcími bloky – PCU, AGU a ALU. Tyto vlastnosti umožňují provádět až 6 operací během jednoho instrukčního cyklu.

Programování kontroléru se provádí v integrovaném vývojovém prostředí CodeWarrior for DSC56F800 v jazyce C [5].

Výpis některých periférií MC56F8006

- Dva nezávislé 12bitové AD převodníky
- Dva diferenční programovatelné zesilovače
- 6 kanálový PWM modulátor
- 16bitový programovatelný zpoždovací blok
- Tři analogové komparátory
- Dvoukanálový 16 bitový časovač
- Všeobecně použitelné vstupy/výstupy
- Programovatelný časovač intervalů (PIT)
- I2C
- SCI
- SPI
- JTAG/EOnCE pro real-time odladování

Pro potřeby měniče pro napájení notebooku jsou využity AD převodníky v kombinaci s programovatelnými zesilovači pro měření vstupního napětí a teploty, analogové komparátory zjišťující ochranu proti překročení požadované hodnoty výstupního napětí a ochranu proti překročení povoleného proudu tranzistoru. Dále je využit jeden binární výstup (GPIO) pro signalizaci uživateli.

3.1 Popis využitých periférií

Periferie MC56F8006 jsou navrženy pro použití ve výkonové elektronice. Vnitřně jsou uspořádány tak, aby vyhovovaly požadavkům pro řízení a regulaci výkonových obvodů. V první části popisu využitých periférií jsou periferie představeny jako samostatné bloky. V druhé části je popsáno nastavení periférií pro řízení zvyšujícího měniče. Detailní popis všech periférií včetně příslušných registrů je uveden v manuálu výrobce [7].

3.1.1 AD převodník

MC56F8006 obsahuje dva nezávislé AD převodníky.

Vlastnosti ADC:

- Vstupní napětí může nabývat hodnot v rozsahu V_{DDA} až V_{SSA}
- 28 vstupních kanálů (některé jsou hardwarově připojeny k ostatním perifériím, 23 vyvedeno jako vstupní pin)
- Výsledek převodu může být 8, 10 nebo 12 bitový
- Jednorázový nebo spojitý převod
- Nastavitelná doba vzorkování a rychlost převodu
- Výběr vstupních hodin ze 4 zdrojů
- Převod ve „Wait“ nebo „Stop“ módu procesoru pro snížení šumu
- Zdroj asynchronních hodin pro snížení šumu
- Podpora hardwarového nebo softwarového spouštění obou převodníků
- Vnitřní teplotní snímač
- Současné vzorkování oběma převodníky bez nutnosti překonfigurování řídicích registrů

3.1.1.1 Registry AD převodníku

Oba AD převodníky MC56F8006 obsahují dva identické řídicí registry *Status and control register 1A* a *1B* (ADC0_ADCSC1A a ADC0_ADCSC1B) a dva identické registry výsledků *Data result register A* a *B* (ADC0_ADCRA a ADC0_ADCRB). Dále obsahují další *Status and Control register 2* (ADC0_ADCSC2) a konfigurační registr *Configuration register* (ADC0_ADCCFG).

Dvojice řídicích registrů ADC0_ADCSC1A/B

Pár 16 bitových řídicích registrů ADCSC1A/B umožňuje funkci AD převodníku v „ping-pong“ módu. V tomto módu převodník používá vždy jen jeden z páru registrů a zapisuje do jednoho z páru výsledkových registrů. Do řídicího registru, který není používán právě probíhajícím převodem, je možné zapisovat nové nastavení převodníku. Přepis používaného registru má za následek přerušování prováděného převodu a spuštění převodu nového, pokud je nastaveno, ze kterého kanálu bude prováděn další převod.



Registry obsahují příznakový bit dokončení převodu (COCO), bit povolení přerušení na konci převodu (AIEN), bit umožňující kontinuální převod (ADCO) a čtveřici bitů, jimiž se nastavuje kanál, ze kterého bude proveden další převod (ADCH). Tato čtveřice bitů zároveň slouží jako spoušť AD převodníku – pokud jsou všechny bity nastaveny do 1, dojde k vypnutí převodníku.

Stavový a řídicí registr 2 – ADC0_ADCSC2

Registr ADC0_ADCSC2 obsahuje celkové informace o stavu AD převodníku. Registr obsahuje bit, který indikuje právě probíhající převod (ADACT), bit kterým se volí mezi hardwarovým a softwarovým spouštěním (ADTRG) a bit povolující výstup hodin převodníku pro další periferie (ECC).

Konfigurační registr ADC0_ADCCFG

V tomto registru je možné nastavit výkon a rychlost převodu (ADLPC), děličku hodin (ADIV), dobu vzorkování (ADLSMP), počet bitů výsledku převodu (MODE), a zdroj vstupních hodin převodníku (ADICLK).

3.1.1.2 Popis funkce

V případě, že je kontrolér po resetu, nebo jsou všechny bity ADCH nastaveny do 1, je převodník deaktivován.

Pokud je nastaven 12bitový nebo 10bitový mód, výsledek je převeden do 12 bitové digitální hodnoty. V 8 bitovém módu je výsledek 9 bitový. Po dokončení převodu je zapsána do registru výsledků hodnota zaokrouhlená na nastavený počet bitů. Po té dojde k nastavení příznakového bitu COCO a případně je generováno přerušení.

Jako zdroj hodin mohou být zvoleny hodiny sběrnice, které jsou rovny hodinám, podle kterých jsou zpracovávány instrukce programu nebo hodiny sběrnice dělené 2, což umožní v kombinaci s děličkou hodin snížení frekvence hodin sběrnice až 16x. Další variantou jsou asynchronní hodiny, které generuje sám AD převodník. Asynchronní hodiny pracují, i když se procesor nachází v módu „wait“ nebo „low power“ módu.

Jak bylo uvedeno v popisu registrů, převodník je možné spouštět hardwarově nebo softwarově. Při hardwarové spouštění je převod iniciován náběžnou hranou vstupu ADHWT. V případě, že je v tomto okamžiku prováděn převod, je spouštěcí událost ignorována. Při nastavení spojitého převodu převodník reaguje pouze na první spouštěcí událost.

Hardwarový spouštěcí signál je generován programovatelným zpoždovacím blokem. Jeden hodinový impuls před spouštěcím signálem Trigger, je generován signál Pre-Trigger. Tento signál definuje, který z dvojice řídicích registrů a registrů výsledku bude v daném převodu použit.

Při softwarového spouštění je převod spuštěn zápisem do stavového a řídicího registru ADCSC1 (tak aby všechny bity ADCH nebyly rovny 1). Pokud převodník pracuje v režimu spojitého převodu, je následující převod spuštěn zápisem výsledku do příslušného registru. Dokončení převodu je indikováno stavovým bitem COCO, který je nastaven v okamžiku zápisu výsledku.

Celková doba převodu závisí na době vzorkování (3,5 nebo 23,5 cyklů ADCK), módu převodu (8/10/12 bit), a frekvenci hodin. Výčet možností nastavení s příslušnými dobami převodu je uveden v manuálu. Další možností převodníku je měření teploty snímačem umístěným v pouzdru procesoru [7].



3.1.2 Programovatelný zesilovač (PGA – Programmable Gain Amplifier)

MC56F8006 obsahuje 2 moduly programovatelného zesilovače PGA0 a PGA1. Programovatelný zesilovač je určen ke spolupráci s modulem AD převodníku - jako samostatný blok využití nemá. PGA slouží k diferenčnímu měření analogových hodnot a jejich následnému zesílení.

Vlastnosti PGA:

- Vzorkovací architektura
- Redukce šumu a offsetu
- Vzorkování lze synchronizovat na PWM
- Řízení umístění vzorkování
- Programovatelné zesílení $1\times$ až $32\times$
- Maximální vzorkovací frekvence 0,14 MSPS
- Vstupní napětí rail-to-rail
- Výstupy jsou vnitřně připojeny na vstupy převodníků ANA15 s ANB15
- Volba mezi SW nebo HW spouštěním

Registry PGA

Oba programovatelné zesilovače obsahují trojici řídicích registrů *Control register 0 až 2* (PGAx_CNTL0 až 2) a jeden stavový registr *Status register* (PGAx_STS).

Řídicí registr 0 (PGAx_CNTL0)

Registr PGAx_CNTL0 umožňuje nastavení, zda bude PGA spouštěn hardwarově nebo softwarově (TM), velikost zisku dílčích bloků PGA (bity GAINSEL), výkonový mód (LP) a povolení/zakázání modulu (EN).

Řídicí registr 1 (PGAx_CNTL1)

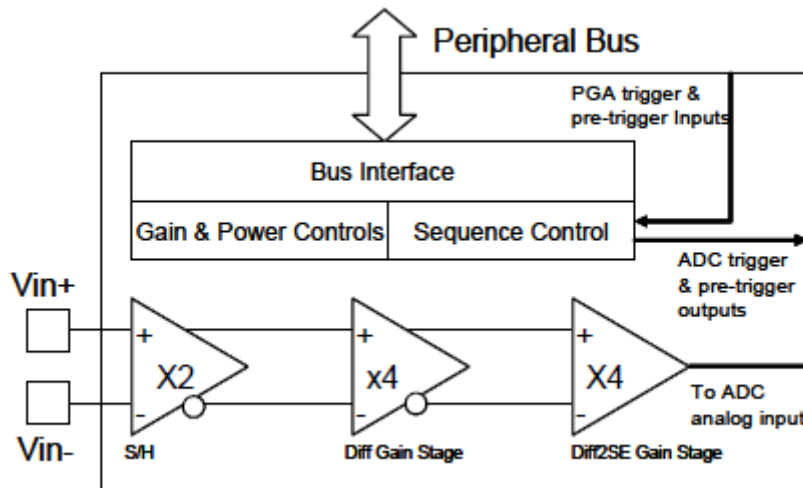
Tento registr slouží k nastavení režimu kalibrace offsetu (CALMODE) a k nastavení děličky pro nábojovou pumpu (CPD).

Řídicí registr 2 (PGAx_CNTL2)

Registr PGAx_CNTL2 slouží ke spuštění PGA při softwarovém spouštění (SWTRIG). Dále umožňuje nastavit, kolikrát budou časovány bloky Gain a Diff2SE (NUM_CLK_GS) a děličku hodin modulu (ADIV).

3.1.2.1 Popis funkce PGA

Na obrázku Obr. 3-1 je zobrazeno blokové zapojení modulu PGA. PGA funguje jako obvod s nábojovou pumpou, který zesiluje diferenční vstupní signál a převádí ho na signál měřitelný proti zemi (S/E). Před blokem S/H jsou připojeny vstupní multiplexery (Obr. 3-3), které umožňují připojit oba vstupy na zem a tím změřit offset PGA. Nábojová pumpa zajišťuje předpětí PGA. Doporučená frekvence nábojové pumpy je jedna čtvrtina frekvence hodin PGA.



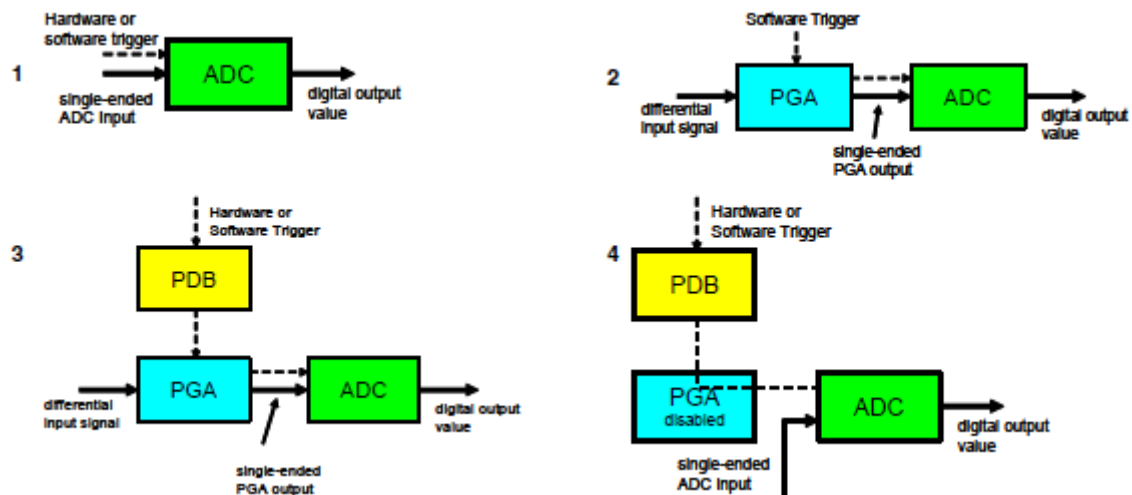
Obr. 3-1 Blokové zapojení PGA – převzato z [7]

Velikost napětí, které je snímáno AD převodníkem po úpravě blokem PGA je dáno rovnicí (3.1).

$$V_{out} = GAIN(V_{in+} - V_{in-}) + \frac{V_{DDA}}{2} \quad (3.1)$$

Kde V_{in+} a V_{in-} je vstupní diferenční napětí, V_{DDA} je napájecí napětí a GAIN je nastavené zesílení.

Jak bylo předesláno dříve, PGA je určen pro provoz v kombinaci s AD převodníkem. AD převodník, PGA a programovatelný zpožd'ovací blok jsou vzájemně provázány podle obrázku Obr. 3-2.



Obr. 3-2 Vzájemné propojení PGA, ADC a PDB- převzato z [7]

Z obrázku je patrné, že vstupní analogový signál může být zpracován v těchto režimech:

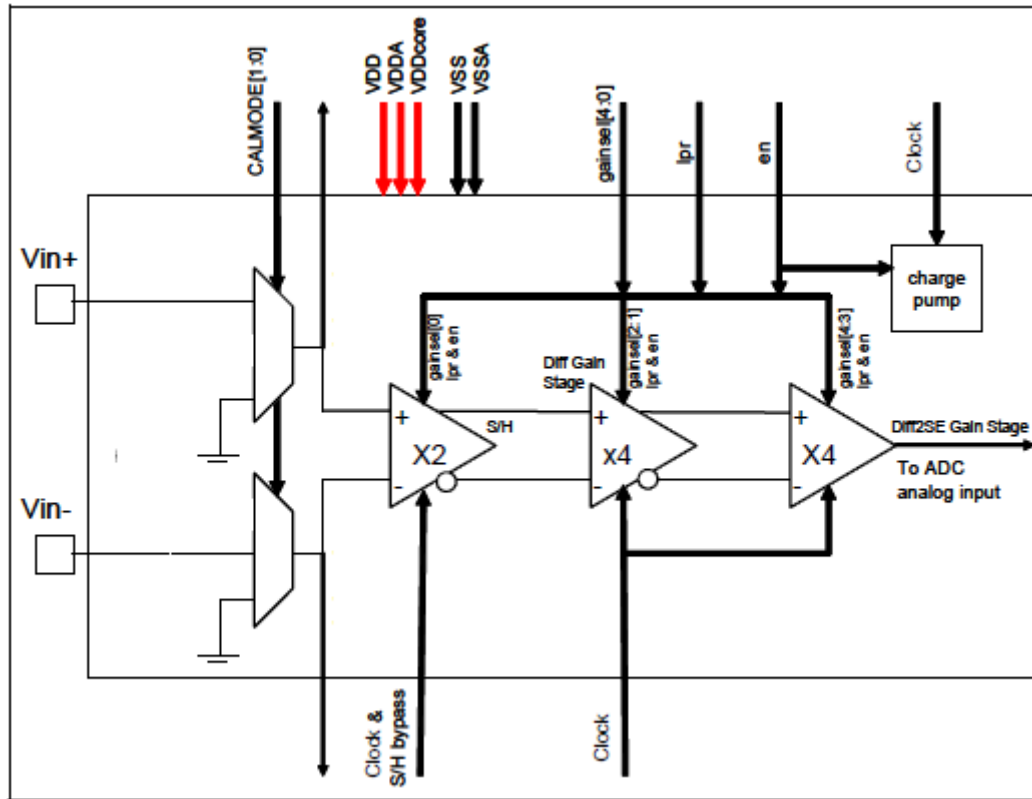
1. Signál je zpracován jak S/E samostatným převodníkem po obdržení Sw nebo Hw triggeru.
2. Diferenční signál je nejprve zpracován modulem PGA a po té předán AD převodníku jako S/E. Vzorkování modulu PGA je spuštěno softwarově.
3. Diferenční signál je nejprve zpracován modulem PGA a po té předán AD převodníku jako S/E. Vzorkování modulu PGA je spuštěno softwarově nebo hardwarově s využitím bloku programovatelného zpoždění.
4. Modul programovatelného zesilovače není použit. Spouštěcí signál z programovatelného zpoždovacího bloku přes PGA prochází beze změny. Převádí se S/E analogová hodnota pouze AD převodníkem.

Pro použití modulu PGA musí být dodrženo správné nastavení AD převodníku:

- použití dlouhého vzorkovacího času ($ADLSMP = 1$)
- povolené hardwarové spuštění
- povolený výstup hodin modulu převodníku
- nastavení děličky PGA musí být totožné s nastavením děličky ADC

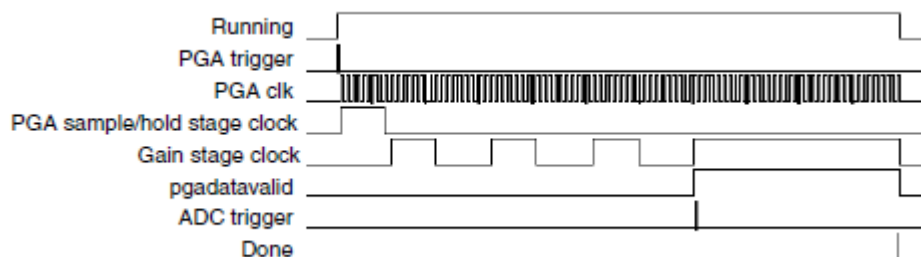
3.1.2.2 Časování PGA

Jak je patrné z obrázku Obr. 3-3, do každého bloku programovatelného zesilovače je přiveden hodinový signál.



Obr. 3-3 Analogový blok diagram PGA

Hodiny pro bloky S/H a Gain jsou aktivní v poměru 8/18 k vstupním hodinám PGA. To znamená, že 8 hodinových cyklů PGA jsou hodiny bloků S/H a Gain v 1 a 10 cyklů v 0. Blok S/H vzorkuje, pokud jsou jeho hodiny v 1. Přejechod hodin do 1 je iniciován obdržením spouštěcího signálu. Časový průběh celého převodu je vidět na Obr. 3-4.



Obr. 3-4 Časový průběh převodu s PGA

První signál „Running“ indikuje, že PGA ve spolupráci s AD převodníkem převádí vstupní signál. Impuls PGA trigger spouští převod. V okamžiku příchodu spouštěcí události dojde k synchronizaci hodin PGA, které jsou poskytovány AD převodníkem. V době, kdy jsou hodiny S/H bloku v 1, PGA vzorkuje. Pokud pracujeme s krátkými neperiodickými signály, lze snížit šum a offset vícenásobným časováním bloků Gain a DIFF2SE. K nastavení počtu časování slouží výše zmíněný bit NUM_CLK_GS. Podle obrázku proběhlo časování



4×. Ve čtvrté periodě dojde zároveň ke spuštění AD převodníku, který převede hodnotu z výstupu PGA na číslo. Vícenásobné časování není nutné, pokud PGA pracuje ve spojitém režimu. V opačném případě výrobce doporučuje minimálně dvojnásobné časování.

3.1.2.3 Pracovní módy

PGA se může nacházet v následujících módech:

PGA Power Down

V tomto módu je modul PGA zcela vypnutý. Trigger a Pre-Trigger signály projdou modulem beze změny.

PGA Startup

Po prvním spuštění PGA trvá 16 cyklů hodin, než je PGA připraven k použití. Během této doby PGA vzorkuje analogovou zem.

PGA Calibration

Modul PGA podporuje kalibraci vnitřního offsetu, kalibraci vnějšího offsetu a kalibraci zesílení. Příslušný kalibrační režim se nastavuje bity CALMODE registru CNTL1.

Mission mode

V tomto módu PGA spolupracuje s AD převodníkem. Jedná se o provozní mód modulu.



3.1.3 HSCMP - Analogový komparátor

MC56F8006 obsahuje tři analogové komparátory označované jako High speed comparator (HSCMP), sloužící k porovnávání dvou analogových vstupních napětí, které mohou ležet v celém intervalu napájecího napětí.

Vlastnosti HSCPM:

- Vstupní rozsah rail-to-rail
- Vstupní offset menší než 40 mV
- Hystereze nižší než 15 mV
- Generovat přerušení na náběžnou nebo sestupnou hranu, případně změnu výstupu komparátoru
- Režim vzorkování, digitální filtrace výstupu, nebo režim okno
- Možnost vnějšího nastavení hystereze
- Vstupní piny připojeny přes multiplexer
- Dva výkonové režimy

3.1.3.1 Registry komparátoru

Každý analogový komparátor procesoru je řízen dvěma registry *HSCMP Control Register 0 a 1* (CMPx_CR0 a 1). Nastavení periody digitálního filtru se provádí v registru *HSCMP Filter Period Register* (CMPx_FPR). Dalším registrem je stavový a řídicí registr *HSCMP Status & Control Register* (CMPx_SCR).

Řídicí registr 0 (CMPx_CR0)

Tento registr umožňuje nastavit, kolik po sobě jdoucích vzorků musí nabývat stejných hodnot, aby došlo ke změně výstupní hodnoty (bity FILT_CNT) a přiřazení pinů procesoru invertujícímu a neinvertujícímu vstupu komparátoru (bity MMC a PMC).

Řídicí registr 1 (CMPx_CR1)

Registr CMPx_CR1 nastavuje vzorkování podle vzorkovacího vstupu procesoru, nebo podle hodin procesoru (SE), režim okno (WE), výkonový mód (PMODE), invertování výstupní hodnoty komparátoru (INV), filtraci výstupu komparátoru (COS), povolení výstupní hodnoty na pin procesoru (OPE) a povolení celého modulu komparátoru (EN).

Registr periody filtru (CMPx_FPR)

Tento osmibitový registr nastavuje vzorkovací periodu výstupního filtru počtem period hodin pro periferie. Nastavení nulové hodnoty registru zakazuje použití filtru.

Stavový a řídicí registr (CMPx_SCR)

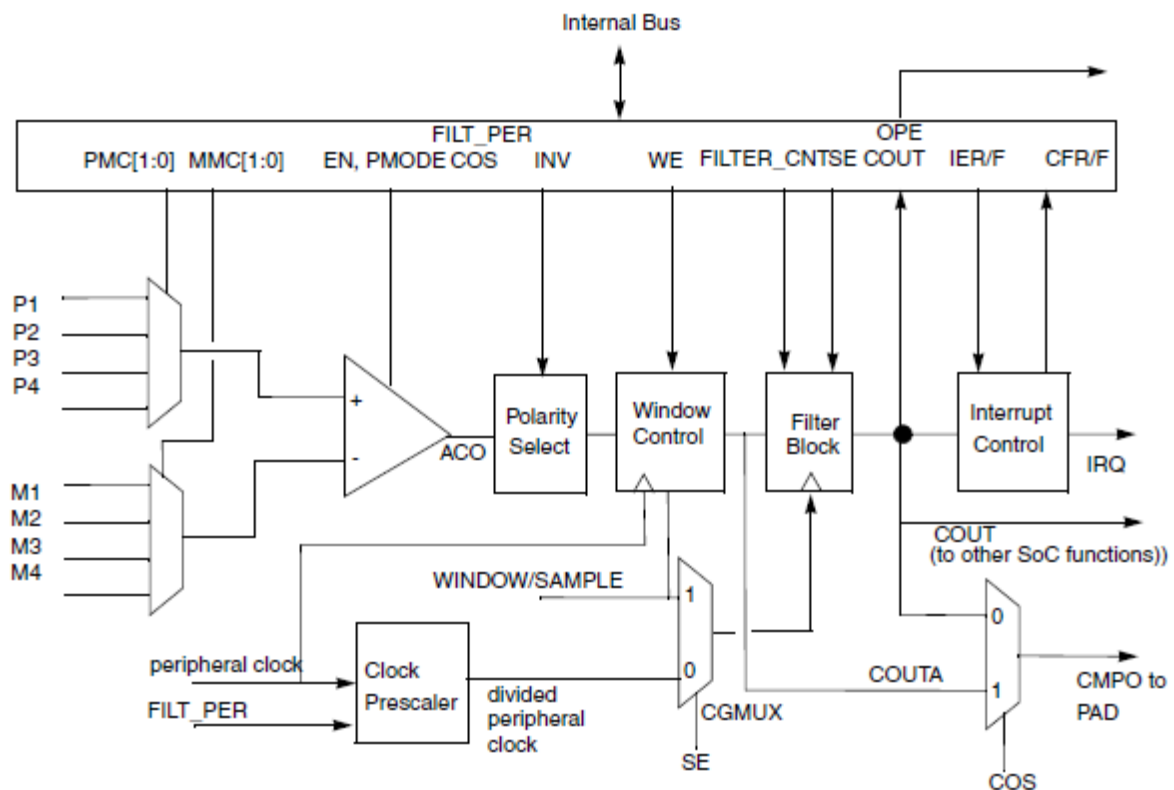
Stavový a řídicí registr nastavuje, při jaké hraně výstupního signálu bude generováno přerušení (bity IER a IEF). Pokud chceme generovat přerušení na změnu výstupního signálu, je nutné nastavit oba dva bity. Dále obsahuje dva příznakové bity, které se nastavují podle náběžné a sestupné hrany výstupu (CFR a CFC) a bit reprezentující hodnotu výstupu komparátoru (COUT).

3.1.3.2 Funkce komparátoru

Komparátor funguje jako standartní analogový komparátor. Pokud je napětí na neinvertujícím vstupu vyšší než na vstupu invertujícím, je výstup nastaveno do 1. HSCMP umožňuje výstup invertovat.

Modul HSCMP se skládá ze třech hlavních bloků – vlastního komparátoru, bloku funkce okno a bloku filtru. Jak bylo zmíněno výše, filtr je možné taktovat vnitřním hodinovým signálem, nebo signálem přivedeným na pin procesoru. V případě použití vnějšího taktovacího signálu filtr vzorkuje vždy při náběžné hraně vnějšího signálu. Filtr také umožňuje nastavit, kolik po sobě jdoucích vzorků musí nabývat stejné hodnoty, aby došlo k překlopení výstupu komparátoru. Filtr tedy funguje jako jednoduchý vzorkovač. Pokud je povolena funkce okno, výstup analogového komparátoru je vzorkován, jen když je vstupní signál WINDOW roven jedné. Tato vlastnost umožňuje ignorovat výstup bloku komparátoru v časech, kdy by výstupní hodnota mohla být zavádějící. Této funkce se využívá například pro detekci průchodu signálu nulou.

3.1.3.3 Základní funkční módy komparátoru



Obr. 3-5 Blokové schéma modulu HSCMP – převzato z [7]



3.1.3.4 Funkční módy

Continuous mode

Blok filtru a řízení okna kompletně přemostěný. Výstup modulu HSCMP je nastavován podle aktuálních poměrů na vstupech modulu. Hodnoty na výstupech COUT a COUTA jsou identické.

Sampled, Non-Filtered mode

Blok řízení okna je přemostěn. Stav signálu COUTA odpovídá aktuálním poměrům na vstupech modulu. Signál COUTA je vzorkován při obdržení náběžné hrany na hodinovém vstupu filtru. Filtr v tomto režimu funguje pouze jako vzorkovač. Hodiny pro filtr je možné získat buď z vnitřních hodin, nebo z pinu SAMPLE.

Sampled, Filtered mode

Blok řízení okna je přemostěn. Stav signálu COUTA odpovídá aktuálním poměrům na vstupech modulu. Signál COUTA je vzorkován při obdržení náběžné hrany na hodinovém vstupu filtru. V tomto módu je však nastaveno, kolik po sobě jdoucích vzorků musí být shodných pro nastavení nové výstupní hodnoty. Hodiny pro filtr je opět možné získat buď z vnitřních hodin, nebo z pinu SAMPLE.

Windowed mode

V tomto režimu je stav výstupu vlastního komparátoru propuštěn blokem window control jen když je nastavený signál WINDOW do 1. Pokud je signál WINDOW v 0, signál COUTA se nemění.

Windowed/Resampled mode

V tomto režimu je opět stav výstupu vlastního komparátoru propuštěn blokem window control jen když je nastavený signál WINDOW do 1. Na rozdíl od předchozího módu filtr odebírá vzorky ze signálu COUTA podle nastavené periody filtru a frekvence hodin periferií. Signál COUT tedy nemusí být identický se signálem COUTA.

Windowed/Filtered mode

Tento mód využívá okna i filtrování. Mód je v podstatě totožný s předchozím módem, s tím rozdílem, že ke změně signálu COUT dojde, jen když je odebrán nastavený počet shodných vzorků signálu COUTA.



3.1.4 Programovatelný zpožd'ovací blok

Programovatelný zpožd'ovací blok (PDB) slouží k synchronizaci AD převodníku a PWM modulu, který generuje synchronizační impuls. Zpožd'ovací blok umožňuje řídit dobu, mezi synchronizačním impulsem PWM modulátoru a začátkem převodu.

Vlastnosti:

- Příchod vstupního spouštěcího signálu spouští čítač.
- Generování dvou výstupních spouštěcích signálů, které jsou na sobě časově nezávislé.
- Výstupní spouštěcí signály mohou být logicky sečteny pro zajištění dvou převodů z jedné vstupní spouštěcí události.
- Konfigurace pro přesně definované okno pro modul komparátoru.
- Z jedné vstupní spouštěcí události může být generován jeden výstupní spouštěcí signál, nebo jejich série (spojitý mód).

3.1.4.1 Registry PDB

Programovatelný zpožd'ovací blok je řízen stavovým a řídicím registrem *PDB Status and Control Register* (PDB_SCR). Doba, po jejíž uplynutí jsou generovány výstupní spouštěcí signály je nastavená ve zpožd'ovacích registrech *PDB Delay A Register* a *PDB Delay B Register* (PDB_DELAYA/B). Maximální hodnota, do které čítá čítač PDB je nastavena v registru *PDB Counter Modulus Register* (PDB_MOD). Aktuální hodnotu čítače je možné číst z registru *Counter Value* (PDB_COUNT).

Řídicí a stavový registr (PDB_SCR)

Registr umožňuje nastavit děličku hodin pro blok PDB (bity PRESCALE), režim generování výstupních spouštěcích signálů pro obě části modulu (bity AOS a BOS) a aktivaci spojitého módu (CONT). Bitem (SWTRIG) lze zvolit HW nebo SW vstupní spouštění. V případě HW vstupního spouštění je dále nutné zvolit periférii, od které bude spouštěcí signál přijímán (TRIGSEL). Bity (ENA a ENB) povolují funkci částí A a B modulu PDB.

Zpožd'ovací registry A a B (PDB_DELAYA a PDB_DELAYB)

Hodnota uložená v těchto 16 bitových registrech specifikuje dobu zpoždění mezi přijetím vstupního spouštěcího signálu a generováním výstupního spouštěcího signálu v počtu period vstupního hodinového signálu.

PDB Modulus register (PDB_MOD)

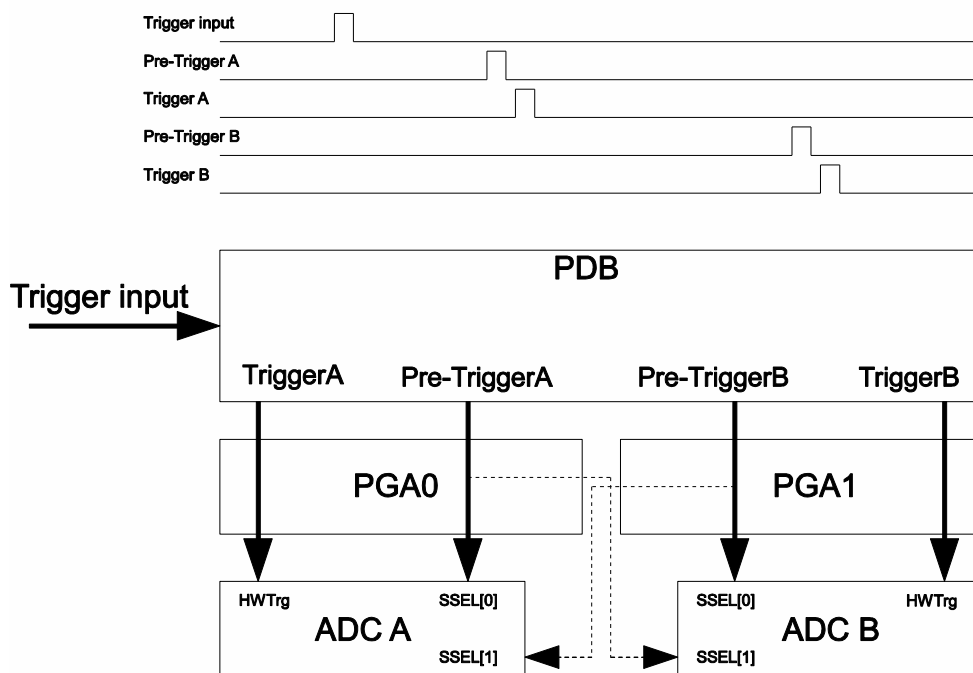
Hodnota uložená v 16 bitovém registru PDB_MOD specifikuje maximální hodnotu, kterou může nabývat čítač modulu PDB.

PDB Count register (PDB_COUNT)

Tento 16 bitový registr obsahuje aktuální hodnotu čítače modulu PDB. Registr je možné pouze číst.

3.1.4.2 Funkční módy PDB

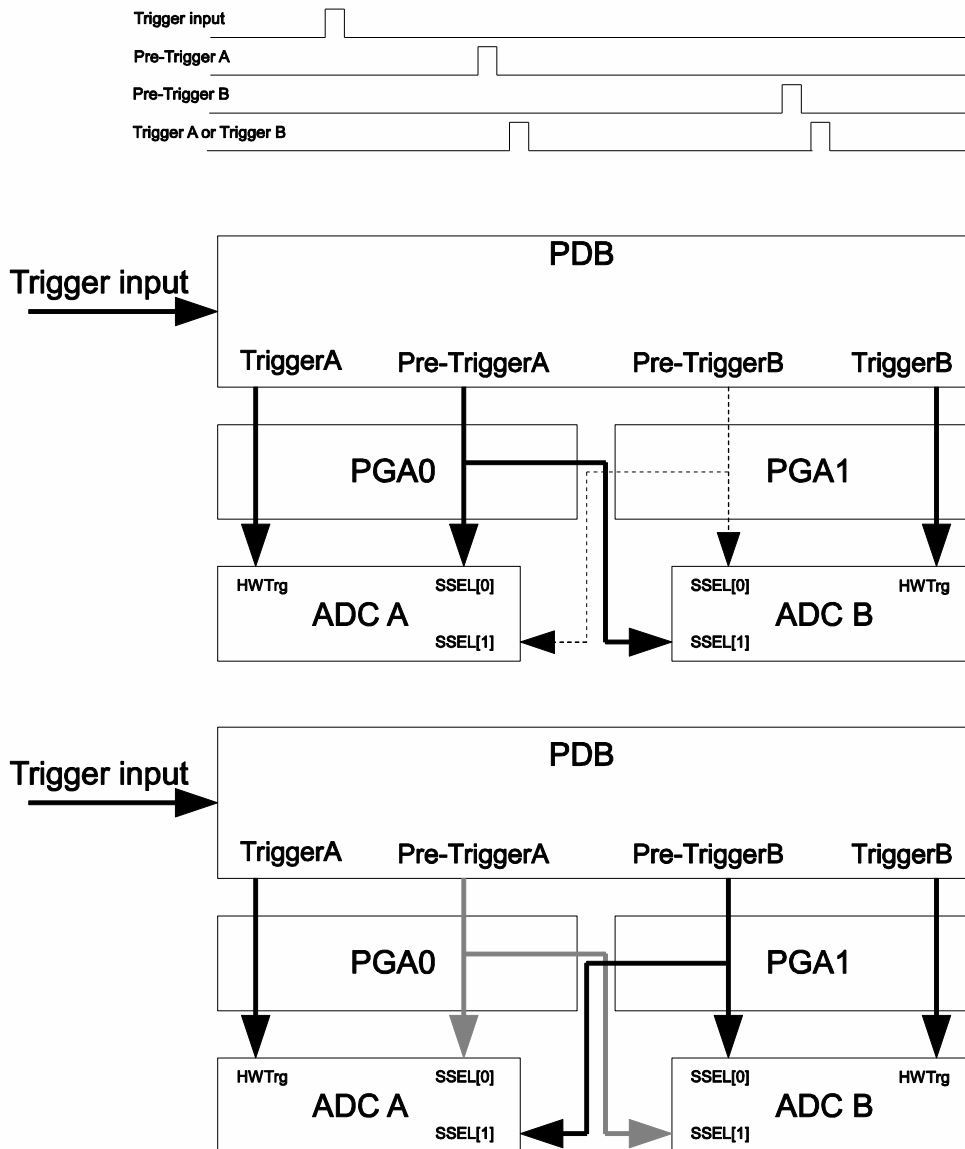
- Disabled – čítač je neaktivní a oba výstupní spouštěcí signály jsou v 0.
- Enabled OneShot – čítač je aktivní a začíná čítat po přijetí vstupního spouštěcího signálu. Po načítání hodnot rovných hodnotám nastaveným v PDB_DELAYA / PDB_DELAYB jsou generovány výstupní spouštěcí signály. Na jeden vstupní signál je generován každou částí modulu pouze jeden výstupní signál.
- Enabled Continuous – čítač je aktivní a začne čítat po přijetí spouštěcího signálu. Po uplynutí nastavených zpoždění jsou generovány vstupní spouštěcí signály. Po dosažení hodnoty nastavené v registru PDB_MOD je čítač restartován a čítá znovu. Výstupním signálem je tedy řetězec impulsů o stanovené periodě.
- Bypassed – vstupní signál přemostí celou logiku modulu PDB. Toto nastavení je možné pouze pro jednu část modulu PDB. Tento mód je možné kombinovat s kterýmkoliv z předchozích
- Kombinace režimu OneShot a Continuous – tímto režimem lze generovat dva výstupní spouštěcí signály z jednoho vstupního spouštěcího. Tento režim také umožňuje generovat výstupní pulzy o přesně stanovené šířce.



Obr. 3-6 One-Shot Mode

Na Obr. 3-6 jsou zobrazeny průběhy vstupního a výstupních signálů PDB. Z jedné vstupní spouštěcí události jsou generovány 2 po sobě jdoucí výstupní spouštěcí signály pro AD převodníky. Jednu periodu hodinového signálu před výstupním spouštěcím signálem je generován impuls Pre-Trigger, který v AD převodníku definuje, který z párů identických registrů bude použit (bit SSEL[0]).

Na Obr. 3-7 je znázorněna funkce PDB v režimu Two-Shot. Z jedné vstupní události jsou generovány celkem 4 výstupní spouštěcí signály. Po detekci vstupní spouštěcí události blokem PDB a uplynutí nastaveného zpoždění je nejprve generován Pre-Trigger A. Tím jsou v obou převodnicích zvoleny odpovídající řídicí registry a registry výsledků. Jakmile je generován spouštěcí impuls, oba převodníky provedou převod analogové hodnoty v jednom okamžiku. Po uplynutí druhého zpoždění se děj opakuje s tím rozdílem, že jsou signálem Pre-TriggerB zvoleny druhé řídicí registry a registry výsledků.



Obr. 3-7 Two-Shot mode

3.1.5 PWM Modulátor

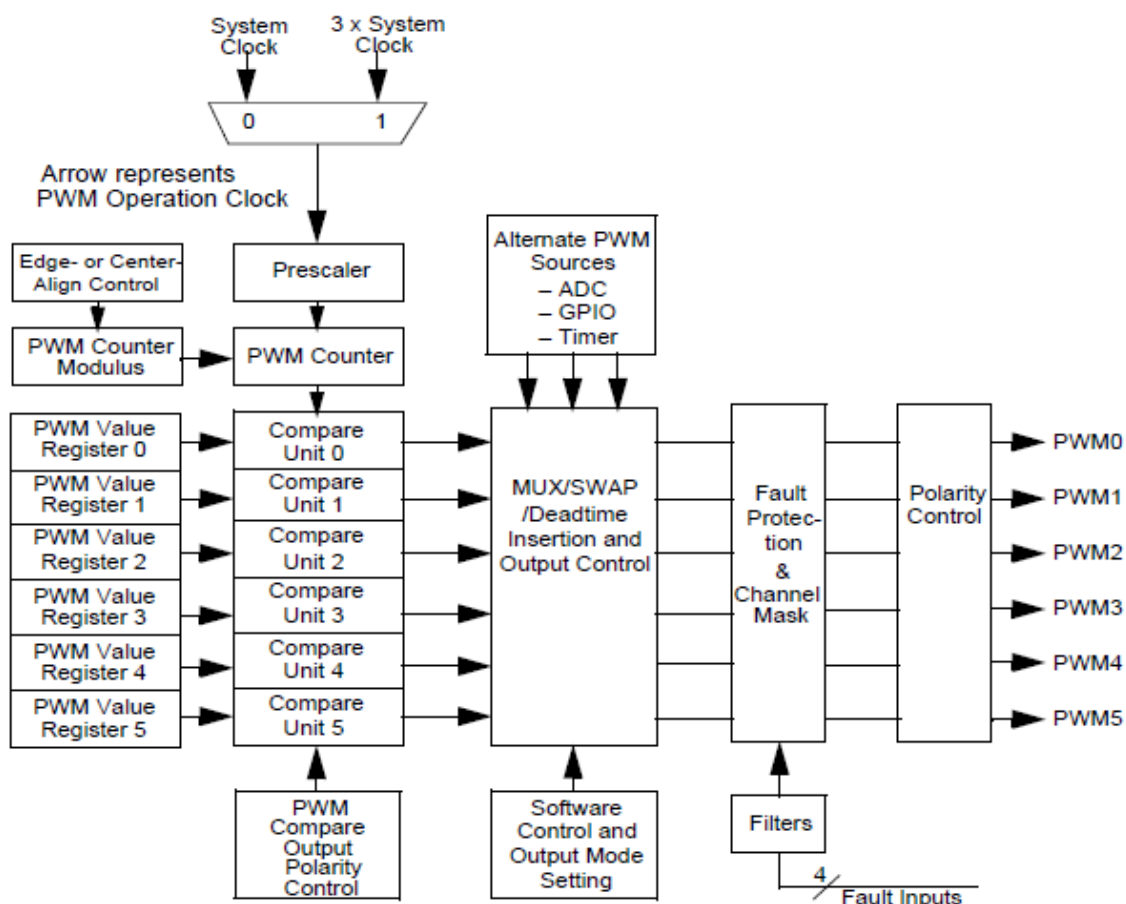
MC 56F8006 obsahuje šestikanálový PWM modulátor, který je identický s PWM modulátory procesorů vyšších řad (např. 56F8025).

Vlastnosti PWM modulátoru:

- Frekvence hodin rovna systémovým hodinám nebo násobená třemi
- 6 výstupních signálů (komplementární, nezávislé nebo kombinace)
- Oddělený deadtime pro náběžnou a sestupnou hranu
- Softwarová korekce šířky pulsu
- Oddělené řízení polarity pro horní a dolní budič
- Zarovnání na střed/hranu
- 15 bitové rozlišení
- Reload každý půl cyklus, až každý 16 cyklus
- Chybové ochrany

Z důvodu rozsáhlých konfiguračních možností PWM modulátoru jsou v následujícím textu popsány pouze klíčové vlastnosti, kterých je využito při konstrukci zvyšujícího měniče.

3.1.5.1 Popis modulu



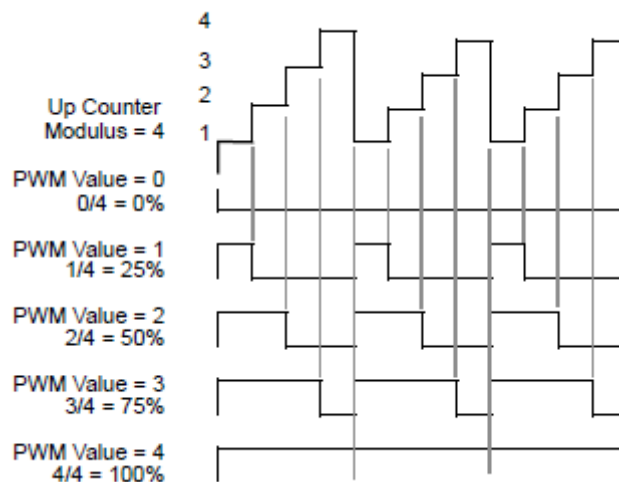
Obr. 3-8 Blokové schéma PWM modulátoru – převzato z [7]

Funkce PWM modulátoru je patrná z blokového schématu na Obr. 3-8. Vstupní hodinový signál je po případném snížení frekvence blokem předděličky čítán čítačem PWM counter. Maximální hodnota, které může čítač nabývat je zapsaná v registru PWM Counter Modulus. Po dosažení této hodnoty je čítač buď nulován, nebo čítá zpět k nule – podle nastaveného režimu zarovnání výstupního signálu. Aktuální hodnota čítače PWM Counter je porovnávána s hodnotou zapsanou v registru PWM Value Register. V případě, že je hodnota PWM Value Register vyšší, než aktuální hodnota čítače, je příslušný kanál modulátoru aktivní a naopak. PWM modulátor umožňuje vytvoření komplementární dvojice výstupních signálů s vložením času deadtime, který zabraňuje překrytí doby sepnutí horního a spodního tranzistoru jedné větve měniče. Dále je možné jakýkoliv z kanálů (i v komplementárním módu) invertovat, podle potřeb logiky budiče tranzistorů.

Blok Fault Protection slouží k deaktivaci výstupů modulátoru v případě detekce chybové události. Chybové vstupy lze provázat s výstupem modulu HSCMP. Zároveň jsou vyvedeny jako pin na pouzdru procesoru.

Zarovnání na hranu

V režimu zarovnání výstupního signálu na hranu dochází k nulování čítače PWM Counter, po dosažení hodnoty PWM Modulus. Při změně střídý je náběžná hrana signálu umístěna vždy stejně, viz Obr. 3-9

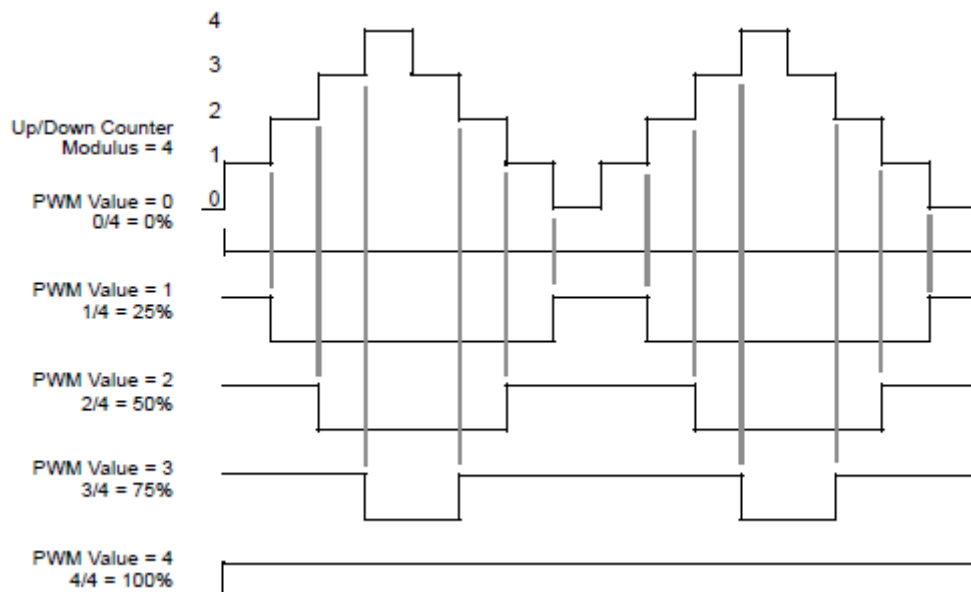


Obr. 3-9 Zarovnání na hranu – převzato z [7]

Zarovnání na střed

V režimu zarovnání výstupního signálu na střed se čítač PWM Counter po dosažení hodnoty PWM Modulus nenuluje, ale snižuje svoji hodnotu, viz Obr. 3-10. Při změně střídý se tedy střed aktivní části výstupního signálu neposunuje, na rozdíl od režimu zarovnání na hranu.

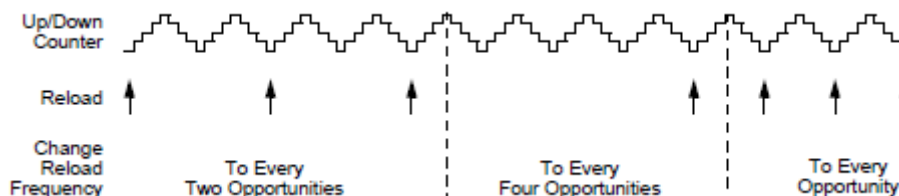
V případě, že je třeba měřit vstupní signál uprostřed intervalu sepnutí tranzistoru (např. měření střední hodnoty proudu bočnickem) není v tomto režimu nutné korigovat synchronizaci AD převodníku při změně střídý.



Obr. 3-10 Zarovnání na střed – převzato z [7]

Načítání nových hodnot

Při chodu PWM modulátoru lze měnit hodnoty registrů PWM Counter Modulus, PWM Value a dělicí poměr předděličky. Aktualizované hodnoty jsou nejprve zapsány do bufferu nastavením bitu LDOK. PWM modulátor načte nové hodnoty až při následujícím reloadu. Reload je generován podle nastavené frekvence v rozmezí půl periody až 16 period čítače PWM Counter. Při reloadu se generuje synchronizační signál pro modul PDB a podle potřeby může být generováno přerušení.



Obr. 3-11 Generování reloadu – převzato z [7]

Chybová ochrana

Chybová ochrana slouží k deaktivaci definované kombinace výstupních pinů PWM modulátoru. V případě přijetí chybové události dochází k odpojení výstupního pinu od PWM modulátoru, modulátor zůstává nadále v chodu. Logika chybové ochrany umožňuje definovat, jaké výstupy budou deaktivovány po přijetí určité chybové události. Chybová ochrana je aktivní i v případě, že PWM modulátor je deaktivován.

Chybová událost je zaregistrována, pokud je vstupní chybový signál aktivní po dobu dvou po sobě jdoucích hodinových cyklů. V případě aktivace chybové ochrany může být generováno přerušení. Přerušení trvá do té doby, než je nulován příznak přerušení chybové ochrany nebo je chybová ochrana je zakázána.

Chybový příznak lze nulovat manuálně nebo automaticky. V případě automatického nulování je výstupní signál propuštěn na výstupní pin, jakmile je deaktivována chybová událost a začne nová polovina cyklu čítače PWM Counter.



V případě manuálního (softwarového) nulování jsou chybové piny spojeny do párů, kde každý pár sdílí společné vlastnosti.

Po softwarovém nulování příznaku chybové ochrany z pinů 0 a 2 je signál z PWM modulátoru propuštěn na výstupní pin jakmile začne nová polovina cyklu čítače PWM Counter. Chybové signály na vstupech chybové ochrany mohou být stále aktivní. Aby byla detekována nová chybová událost, musejí vstupní chybové signály nejprve přejít do nuly. Nulování chybového příznaku má vyšší prioritu než chybový signál na vstupech ochrany. V případě páru chybových vstupů 1 a 3 má chybový signál vyšší prioritu než nulování chybového příznaku.

Jako zdroj chybového signálu může sloužit vstupní pin procesoru nebo výstup modulu analogového komparátoru.

4 NÁVRH ZAPOJENÍ MĚNIČE

Tato kapitola se zabývá návrhem hardwaru měniče.

Požadované parametry měniče:

- Vstupní napětí 12,5 – 13,8 V
- Výstupní napětí 19V
- Výstupní proud 5,2A
- Výstupní výkon 100W

Požadavky na řídicí obvod:

- Měření vstupního napětí
- Měření výstupního napětí
- Měření proudu tlumivkou
- Teplotní ochrana tranzistorů
- Ochrana proti nadproudu a přepětí
- Informace pro obsluhu

4.1 Výkonová část měniče

Volba spínacích tranzistorů

Při dimenzování prvků měniče se vychází z parametrů vstupních a výstupních napětí a proudů. Vstupní napětí se může pohybovat mezi 12,5 – 13,8 V. Zdroj je dimenzovaný na výstupní výkon 100W, takže střední hodnota proudu tekoucího akumulací tlumivkou bude:

$$I_L = \frac{P_d}{U_d} = \frac{100}{12,5} = 8A \quad (4.1)$$

To je střední hodnota proudu, kterou budou namáhány oba polovodiče. Pokud zvolíme zvlnění vstupního proudu 10%, budou oba polovodiče namáhány špičkovým proudem 8,8A. Napěťově jsou polovodiče namáhány výstupním napětím měniče, což je 19V. Původně byly zvoleny tranzistory MOS FET IRF7842, které však v době realizace již nebyly dostupné. Jako náhrada byly zvoleny tranzistory SQ4470EY, [8] s následujícími parametry:

$$V_{DS} = 60V$$

$$I_{D,25^{\circ}C} = 16A, I_{D,125^{\circ}C} = 9A$$

$$R_{DS,on} = 10m\Omega (V_{GS} = 10V, I_D = 6A)$$

$$t_r = 12ns$$

$$t_f = 9ns$$

$$V_{GS(Th)} = 3V$$

Z těchto parametrů jsou vypočteny ztráty vedením a přepínací ztráty:

$$W_{on} = \frac{1}{4} U_z I_z t_{on} = \frac{1}{4} \cdot 19 \cdot 8 \cdot 12 \cdot 10^{-9} = 4,56 \cdot 10^{-7} J \quad (4.2)$$

$$W_{off} = \frac{1}{4} U_z I_z t_{off} = \frac{1}{4} \cdot 19 \cdot 8 \cdot 9 \cdot 10^{-9} = 3,42 \cdot 10^{-7} J \quad (4.3)$$

$$\begin{aligned} P_{přep} &= f(W_{on} + W_{off}) = \\ &= 100 \cdot 10^3 \cdot (4,56 \cdot 10^{-7} + 3,42 \cdot 10^{-7}) = 0,08 W \end{aligned} \quad (4.4)$$

Pro výpočet ztrát vedením je třeba znát střídu k určení efektivní hodnoty proudu tranzistorem za předpokladu zanedbání pilovitého zvlnění proudu. Protože vstupní napětí může v případě nedobíjení baterie klesat, k výpočtům ztrát a zvlnění výstupního proudu je vhodné vypočítat některé hodnoty střídy a při výpočtech uvažovat nejméně příhodnou situaci.

$$s = 1 - \frac{U_d}{U_z} \quad (4.5)$$

Pro střídu uvažovaných vstupních napětí platí následující tabulka:

Tab. 1 Střída v závislosti na vstupním napětí

U_d	s
[V]	[-]
12,5	0,342
13	0,316
13,5	0,289
14	0,263

Pro nejméně příznivý případ jsou určeny ztráty vedením:

$$\begin{aligned} P_{ved,T1} &= R_{DS,on} \cdot (I_d \cdot \sqrt{s})^2 = 10 \cdot 10^{-3} \cdot (8 \cdot \sqrt{0,342})^2 = \\ &= 0,219 W \end{aligned} \quad (4.6)$$

$$\begin{aligned} P_{ved,T2} &= R_{DS,on} \cdot (I_d \cdot \sqrt{1-s})^2 = \\ &= 10 \cdot 10^{-3} \cdot (8 \cdot \sqrt{1-0,263})^2 = 0,471 W \end{aligned} \quad (4.7)$$

Celkové ztráty na tranzistoru T_1 :

$$P_{T1} = P_{přep} + P_{ved,T1} = 0,08 + 0,219 = 0,3 W \quad (4.8)$$

A na tranzistoru T_2 :

$$P_{T1} = P_{přep} + P_{ved,T2} = 0,08 + 0,471 = 0,551 W \quad (4.9)$$

Volba akumulční tlumivky

Podle požadovaného zvlnění vstupního proudu 10% a zvolené spínací frekvence 100kHz je vypočtena indukčnost akumulční tlumivky:

$$L = \frac{U_d \cdot s}{2 \cdot f \cdot \Delta I} = \frac{12 \cdot 0,368}{2 \cdot 100 \cdot 10^3 \cdot 0,8} = 27,6 \mu H \quad (4.10)$$

Akumulční tlumivkou bude protékat proud ve střední hodnotě rovný vstupnímu proudu $I_d = 8A$. Zvolena je SMD tlumivka $33 \mu H$, proud 9A, [9].

Volba filtračního kondenzátoru

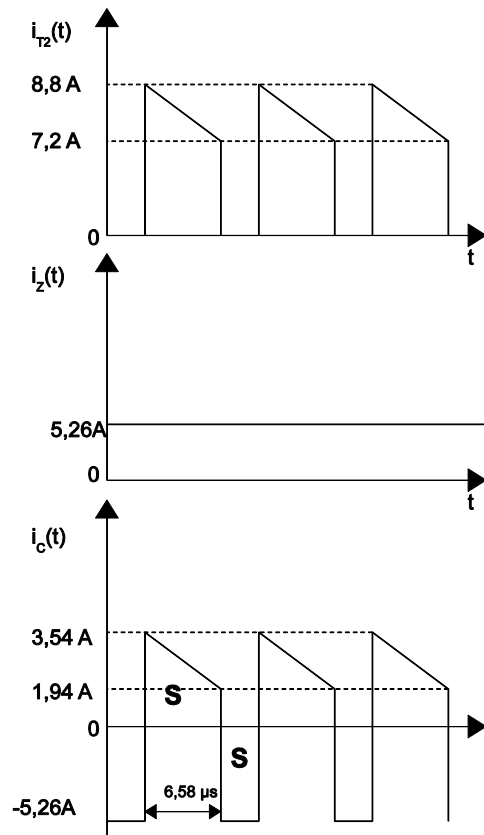
Původně bylo zamýšleno použít filtrační kondenzátor v kombinaci s LC filtrem druhého řádu na výstupu měniče. Z důvodů vysoké ceny akumulční tlumivky požadovaných parametrů bylo od LC filtru upuštěno.

Kapacita filtračního kondenzátoru je vypočtena podle zvoleného zvlnění výstupního napětí. Zvlnění je zvoleno 10%.

V době sepnutí horního tranzistoru platí:

$$i_c(t) = i_{T2}(t) - i_z(t) \quad (4.11)$$

Podle Obr. 4-1 lze vypočítat přírůstek náboje na kondenzátoru v době otevření tranzistoru T_2 .



Obr. 4-1 Průběh proudu kondenzátorem

$$\begin{aligned}\Delta Q &= \Delta I \cdot t = 6,58 \cdot 10^{-6} \cdot 1,94 + \frac{6,58 \cdot 10^{-6} \cdot 1,6}{2} = \\ &= 1,803 \cdot 10^{-5} \text{ C}\end{aligned}\quad (4.12)$$

Potom pro zvolené zvlnění výstupního napětí ΔU lze vypočíst kapacitu kondenzátoru. Zvlnění výstupního napětí volím 0,5V.

$$C = \frac{\Delta Q}{2\Delta U} = \frac{1,803 \cdot 10^{-5}}{2 \cdot 0,5} = 18 \mu\text{F}\quad (4.13)$$

Kondenzátor musí být dimenzován na efektivní hodnotu zvlnění proudu. Cena odpovídajících elektrolytických impulsních kondenzátoru s nízkým ESR je příliš vysoká, proto bylo navrženo paralelní zapojení většího počtu keramických SMD kondenzátorů. Vzhledem k absenci výstupního LC filtru je snaha zvýšit celkovou filtrační kapacitu. Jako filtrační kondenzátor je použito 15 keramických kondenzátorů s hmotou dielektrika X5R o kapacitě 4,7 μF . Celková kapacita je tedy 70,5 μF , které odpovídá zvlnění 0,127 V.

4.2 Návrh obvodů měření proudu, napětí a teploty

Měření proudu akumulací tlumivkou

Měření proudu akumulací tlumivkou je prováděno na bočniku, který je připojen do emitoru tranzistoru T_1 . Vhodným okamžikem vzorkování lze změřit střední hodnotu proudu akumulací tlumivkou. Z důvodu nutnosti malé výkonové ztráty je zvolen SMD bočník s odporem 0,01 Ω . Při sepnutém tranzistoru T_1 je na bočniku výkonová ztráta:

$$P_{RB} = R \cdot I_{ef}^2 = 0,01 \cdot (8 \cdot \sqrt{0,368})^2 = 0,236 \text{ W}\quad (4.14)$$

a úbytek napětí:

$$U_{RB} = R \cdot I = 0,01 \cdot 8 = 0,08 \text{ V}\quad (4.15)$$

Toto napětí je měřeno diferenčně modulem PGA s potřebným zesílením. Zároveň je napětí z bočniku připojeno na modul analogového komparátoru, který slouží jako rychlá nadproudová ochrana.

Měření vstupního napětí

Obvod měření vstupního napětí je navržen tak, aby bylo možné měřit vstupní napětí v rozsahu 10-15V. Pokud by byl k měření použit pouze odporový dělič, nebylo by možné umístit interval změny vstupního napětí do intervalu napětí, které je možné měřit AD převodníkem. Tím by byla výrazně snížena rozlišovací schopnost měření. Měřené vstupní napětí je sníženo obvodem TL431, který je zapojen jako zdroj konstantního napětí 9 V, [10]. Zbylých 6V (při nejvyšším měřitelném napájecím napětí) je převedeno na maximální hodnotu měřitelnou AD převodníkem pomocí odporového děliče.

Úbytek napětí na stabilizátoru je dán rovnicí:

$$V_0 = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{ref} \quad (4.16)$$

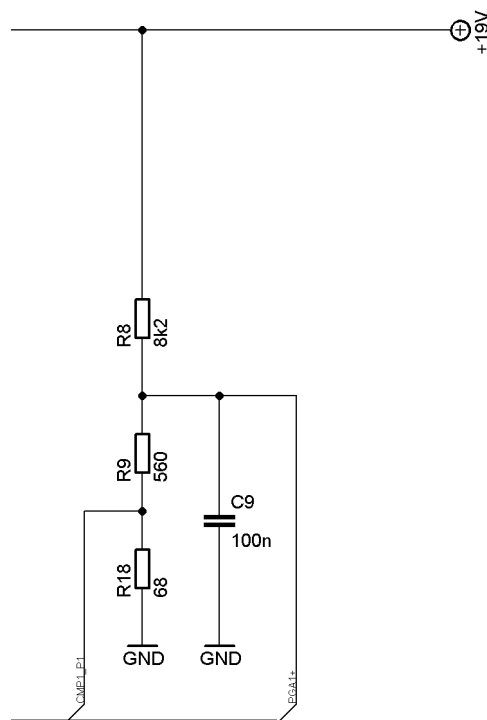
Pro úbytek napětí na stabilizátoru 9V:

$$R_1 = \frac{R_2}{\frac{V_0}{V_{ref}} - 1} = \frac{100 \cdot 10^3}{\frac{9}{2.5} - 1} = 38 \text{ k}\Omega \quad (4.17)$$

Odporový dělič je realizován z rezistorů 150 Ω . Při měření napětí 10V je napětí na vstupu převodníku 0,5V a stabilizátorem protéká proud 3 mA. Podle doporučení výrobce je na vstup AD převodníku připojena dolní propust.

Měření výstupního napětí

Výstupní napětí je měřeno pomocí odporového děliče, který je navržen pro připojení AD převodníku a analogového komparátoru. Dělič je navržen tak, aby bylo možné měřit napětí až 23V. Zároveň je z děliče vyveden signál pro analogový komparátor.



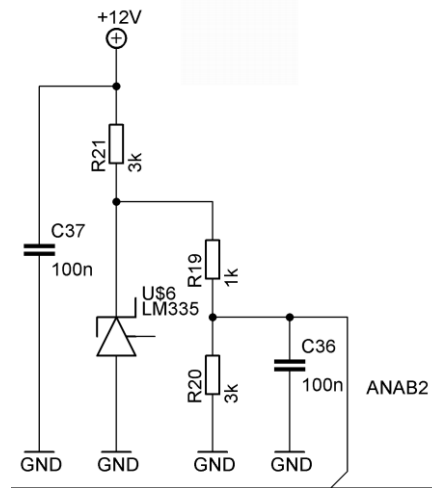
Obr. 4-2 Měření výstupního napětí

Měření teploty

Měření teploty je řešeno teplotním snímačem LM335 s teplotní závislostí 10mV/K. Závislost výstupního napětí na teplotě je dána vztahem:

$$V_{outT} = V_{out0} \cdot \frac{T}{T_0} \quad (4.18)$$

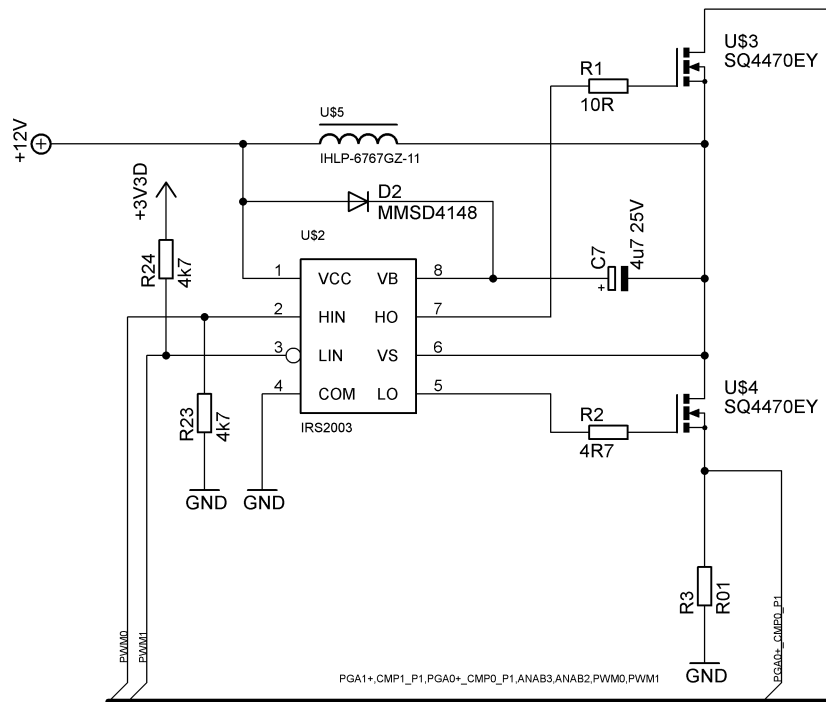
kde V_{outT} je výstupní napětí při teplotě T a V_{out0} je výstupní napětí při vztažné teplotě T_0 . Podle katalogového listu výrobce, [11], odpovídá teplotě 25°C výstupní napětí 3V. Výstupní napětí je sníženo děličem do rozsahu vstupních napětí AD převodníku.



Obr. 4-3 Měření teploty

4.3 Budič tranzistorů

Jako budič výkonových tranzistorů byl vybrán obvod IRS2003, [12], který je kompatibilní napětovou hladinou vstupních signálů a s řídicím napětím tranzistorů. Obvod je uzpůsoben k buzení jedné větve měniče. Vnitřní část budiče sloužící ke spínání horního tranzistoru je napájena z kondenzátoru C7, který se nabíjí přes diodu D2 na napájecí napětí v době, kdy je sepnut dolní tranzistor. Zapojení je patrné z Obr. 4-4.



Obr. 4-4 Budič tranzistorů

Logická funkce budiče je popsána následující pravdivostní tabulkou:

Tab. 2 Pravdivostní tabulka budiče

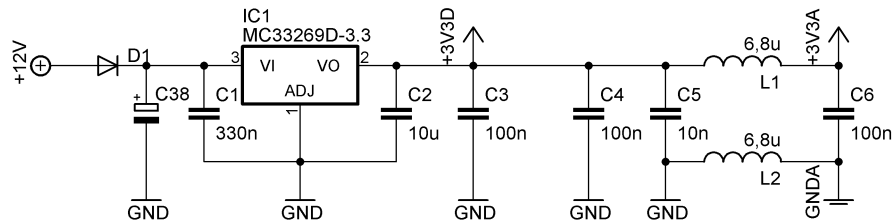
HIN	$\overline{\text{LIN}}$	HO	LO
0	0	0	1
0	1	0	0
1	0	0	0
1	1	1	0

Z tabulky je patrné, že v případě použití komplementární dvojice výstupních signálů PWM modulátoru musí být signál pro spodní tranzistor invertovaný.

Aby při inicializaci procesoru nemohlo dojít k náhodnému sepnutí některého z tranzistorů, jsou vstupy připojeny přes pull-up a pull-down rezistory na napětí 3,3V a zem.

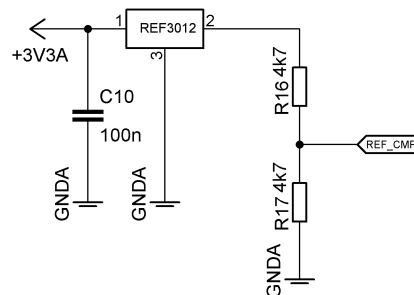
4.4 Napájení procesoru a zdroj referenčního napětí

K napájení procesoru je použit stabilizátor napětí MC3329D, se zatížitelností 800mA. Zapojení je navrženo podle doporučení výrobce, [13]. Napájení analogové části procesoru je odděleno dvěma tlumivkami, podle doporučení výrobce procesoru.



Obr. 4-5 Obvod napájení procesoru

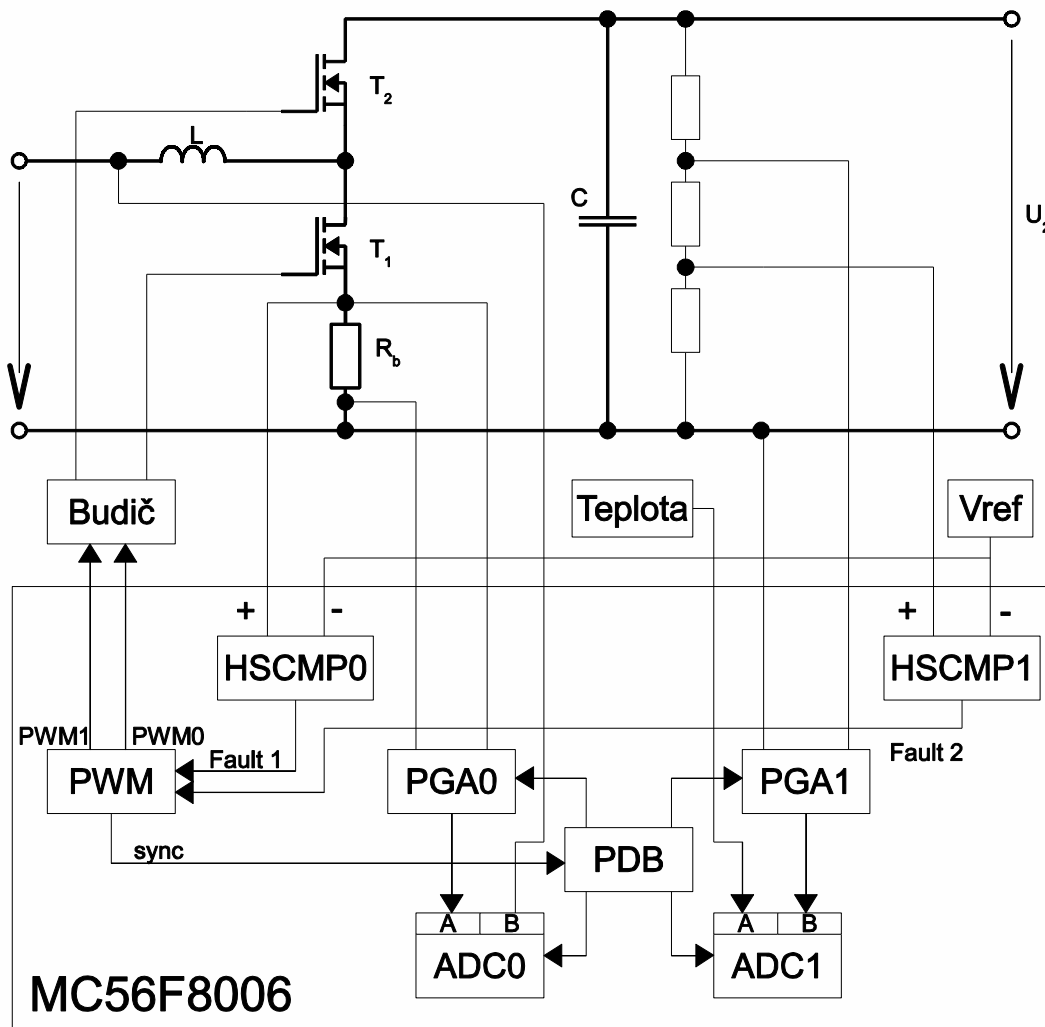
Jako referenční napětí pro analogový komparátor je použit obvod REF3012, jehož výstupní napětí 1,2V je sníženo na jednu polovinu odporovým děličem. Zdroj referenčního napětí je napájen z analogové části, [14].



Obr. 4-6 Zdroj referenčního napětí pro komparátory

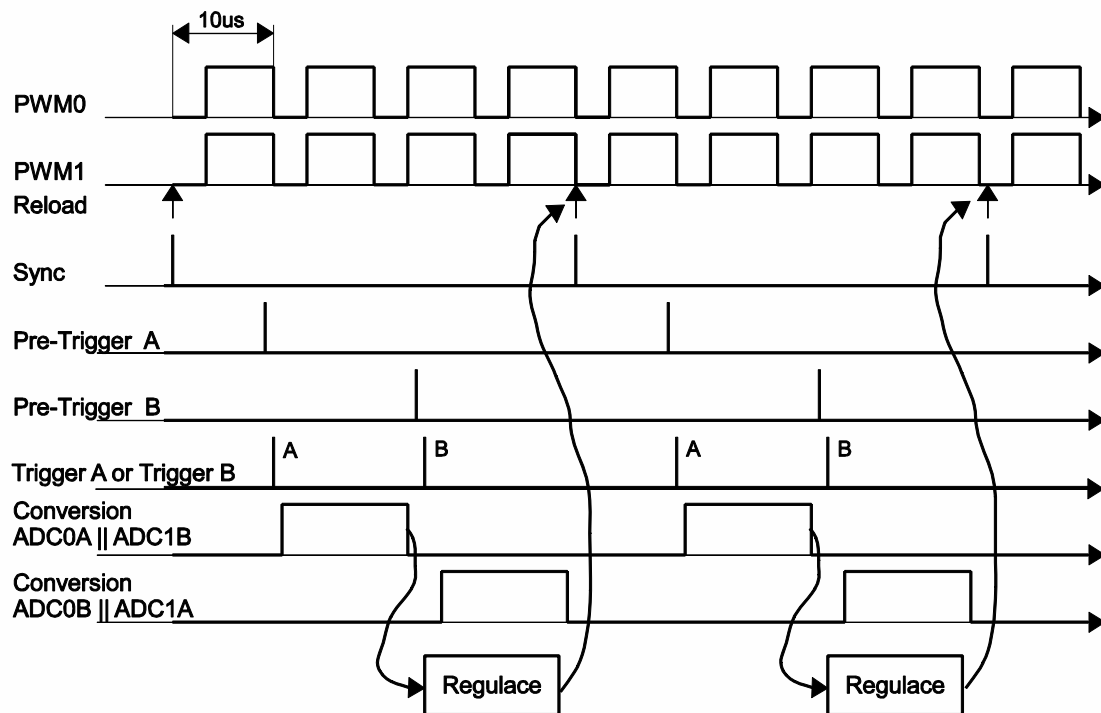
4.5 Konfigurace procesoru

Propojení periférií je patrné z Obr. 4-7. Budič tranzistorů je připojen na signály PWM0 a PWM1. Úbytek napětí na bočniku je měřen diferenčně modulem PGA0. Výstupní napětí je měřeno diferenčně modulem PGA1. Signály z bočniku a děliče výstupního napětí jsou zároveň přivedeny na neinvertující vstupy komparátorů HSCMP0 a 1, které slouží jako zdroj Fault signálů pro PWM modulátor. Vstupní napětí a teplota je měřena převodníky ADC0 a 1. Měření je synchronizováno na reload PWM modulem PDB.



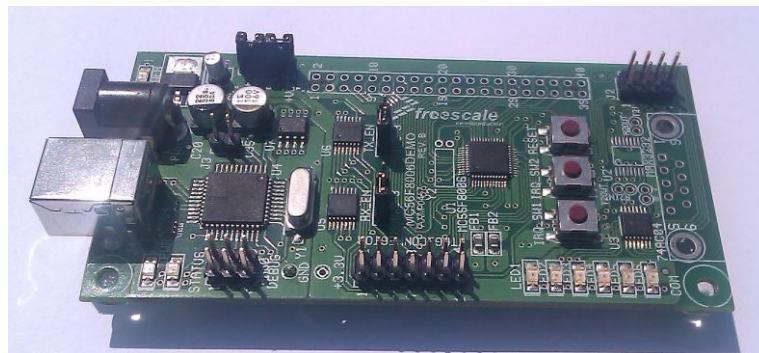
Obr. 4-7 Blokové propojení periférií

Časové průběhy signálů mezi periferiemi jsou naznačeny na Obr. 4-8. V okamžiku přehrání (reload) z PWM modulátoru je generován synchronizační signál pro modul PDB. Ten po uplynutí nastaveného zpoždění generuje nejprve řídicí impuls (Pre-Trigger A), který zvolí odpovídající řídicí a výsledkové registry AD převodníků. Jeden hodinový cyklus po impulsu Pre-Trigger je generován spouštěcí signál Trigger A, který spustí vzorkování periferií PGA0 a PGA1. Po dokončení převodu jsou naměřené veličiny zpracovány regulačním algoritmem, podle kterého jsou nastaveny hodnoty PWM modulátoru v dalším reloadu. Po ukončení prvního převodu jsou generovány impulsy Pre-Trigger B a Trigger B, které zvolí druhý pár řídicích a výsledkových registrů AD převodníků a spustí převod vstupního napětí a teploty. Zároveň může být v jakémkoliv okamžiku PWM modulátor deaktivován přijetím některého z Fault signálů.



Obr. 4-8 Časový diagram signálů

Popisovaná konfigurace procesoru byla před naprogramováním měniče experimentálně ověřována pomocí vývojové desky s procesorem MC56F8006.

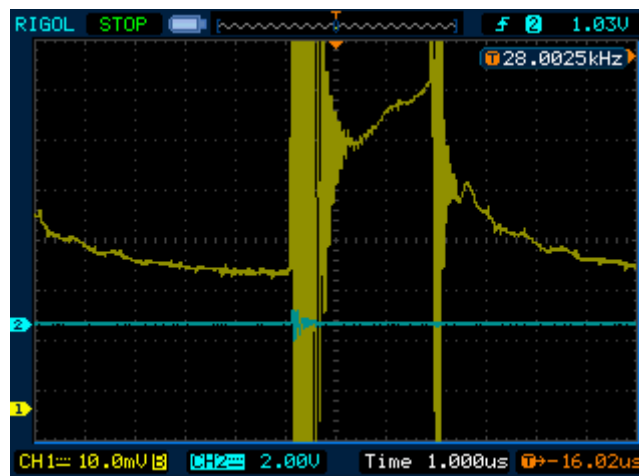


Obr. 4-9 Vývojová deska

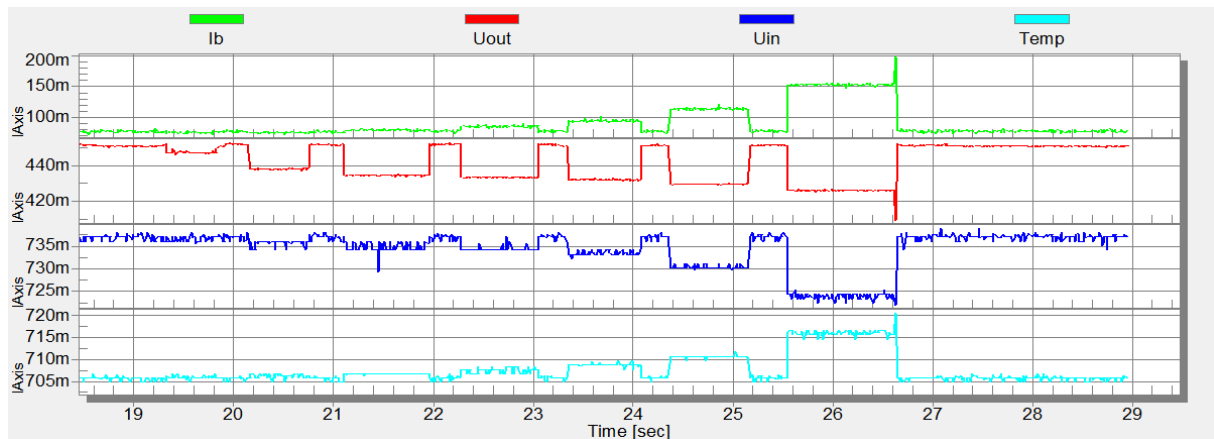
5 OŽIVENÍ A NÁVRH REGULÁTORŮ

Správná konfigurace periférií procesoru byla nejprve ověřena pomocí software Freemaster. Tento software umožňuje zobrazovat hodnoty globálních proměnných v procesoru jako číslo, časový průběh nebo synchronizovaný časový průběh. Zároveň umožňuje zápis do proměnných, čehož bylo s výhodou využito později, při nastavování složek zesílení regulátorů.

Při ožívání byl před spuštěním měnič zatížen výkonovým rezistorem. Po spuštění byla provedena synchronizace měření střední hodnoty proudu akumulací tlumivkou pomocí osciloskopu. Dále byly ověřeny zesílení měření jednotlivých veličin.



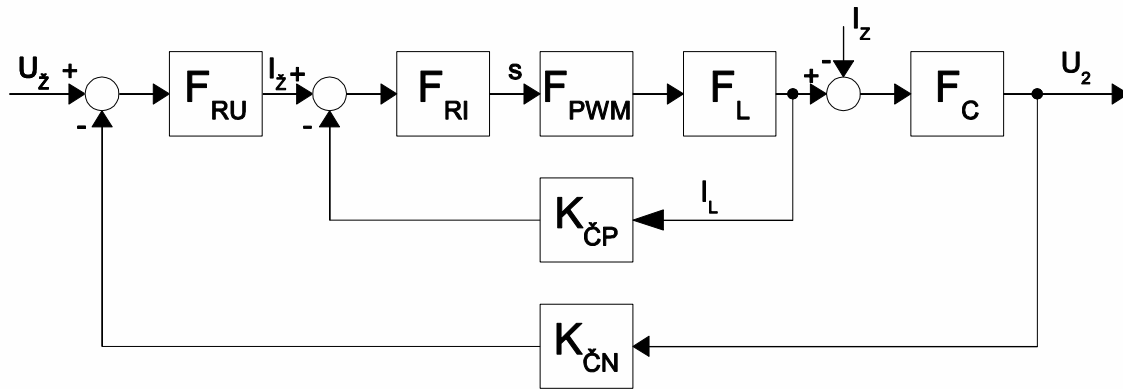
Obr. 5-1 Synchronizace měření proudu. CH1 - Urb, CH2 - ADC Complete



Obr. 5-2 Ověření nastavení periférií (odezva na změnu zátěže) – Freemaster

5.1 Návrh regulátorů

Regulaci výstupního napětí lze provést několika způsoby. Nejjednodušším řešením je přímá regulace výstupního napětí. Tento způsob regulace nedosahuje dobrých dynamických výsledků, protože regulovaná soustava je 3. řádu. Lepším řešením je kaskádní regulace výstupního napětí s podřízenou proudovou smyčkou viz Obr. 5-3, [15].



Obr. 5-3 Regulační struktura

5.2 Vnitřní proudová smyčka

Přenosová funkce PWM modulátoru

Přenosová funkce PWM modulátoru je dána zesílením a dopravním zpožděním, které je způsobeno intervalem od nastavení nové hodnoty střídavy po změnu střídavy výstupního signálu.

V případě zvyšujícího měniče je závislost výstupního napětí na střídě nelineární podle rovnice (1.8). Zesílení PWM modulátoru je proto nutné zjistit linearizací v okolí pracovního bodu.

$$K_{UPWM} = \frac{U_{22} - U_{21}}{s_{22} - s_{21}} = \frac{19,5 - 18,5}{0,385 - 0,35} = 28,57 \quad (5.1)$$

Časová konstanta PWM modulátoru se vypočítá jako polovina periody aktualizace výstupního signálu. V případě konstruovaného měniče je aktualizace hodnot PWM prováděna každou čtvrtou periodu.

$$\tau_{PWM} = 4 \cdot \frac{T_{PWM}}{2} = 2 \cdot T_{PWM} = 2 \cdot 10^{-6} = 20 \mu S \quad (5.2)$$

Přenos PWM modulátoru:

$$F_{PWM}(p) = \frac{K_{UPWM}}{1 + p\tau_{PWM}} = \frac{28,57}{1 + 20 \cdot 10^{-6} p} \quad (5.3)$$

Přenos akumulční tlumivky

$$F_L(p) = \frac{1}{pL} = \frac{1}{33 \cdot 10^{-6} p} \quad (5.4)$$

Přenos snímače proudu

Zesílení snímače proudu je zjištěno měřením střední hodnoty proudu tlumivkou, který je porovnán s hodnotou naměřenou procesorem. I_B odpovídá proměnné, do které je uložen výsledek převodu, I_{RB} je skutečný proud akumulční tlumivkou.

$$F_{\check{C}P}(p) = \frac{I_B}{I_{RB}} = \frac{3,2}{0,205} = 0,063 \quad (5.5)$$

Přenos regulované soustavy

Přenos regulované soustavy je určen součinem dílčích přenosů.

$$\begin{aligned} F_S(p) &= F_{PWM}(p) \cdot F_L(p) \cdot F_{\check{C}P}(p) = \\ &= \frac{1,8}{33 \cdot 10^{-6} p(1 + 20 \cdot 10^{-6} p)} \end{aligned} \quad (5.6)$$

Výpočet regulátoru proudu:

Z přenosu soustavy je zřejmé, že soustava obsahuje jeden volný integrátor. Pro návrh regulátoru je nejvýhodnější metoda symetrického optima (SO).

$$\begin{aligned} F_{RI}(p) &= \frac{1}{F_S(p)} \cdot F_O(p) = \\ &= \frac{33 \cdot 10^{-6} p(1 + 20 \cdot 10^{-6} p)}{1,8} \cdot \frac{1 + 4p\tau_\Sigma}{8p^2\tau_\Sigma^2(1 + p\tau_\Sigma)} = \\ &= |\tau_\Sigma = 20 \cdot 10^{-6}| = \frac{33 \cdot 10^{-6} + 2.64 \cdot 10^{-9} p}{5.76 \cdot 10^{-9} p} = \\ &= \frac{5729}{p} + 0.45 = \frac{1 + 8 \cdot 10^{-5} p}{1.745 \cdot 10^{-4} p} \Rightarrow K_I = 5729, K_P = 0.45 \end{aligned} \quad (5.7)$$

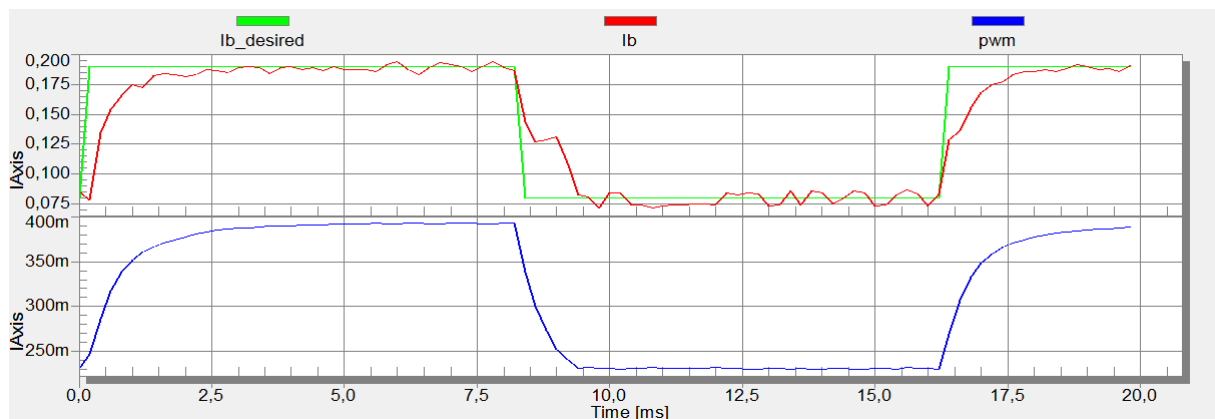
5.3 Odladění proudové smyčky

Po naprogramování regulátoru byla proudová smyčka odladěna s využitím Freemasteru. V programu byl vytvořen generátor obdélníkového průběhu žádané hodnoty proudu akumulací tlumivkou, s frekvencí přibližně 125 Hz. Hodnoty žádaného proudu byly nastaveny tak, aby se regulátor proudu nemohl dostat do saturace. Podle tohoto požadavku byla upravena také zátěž.

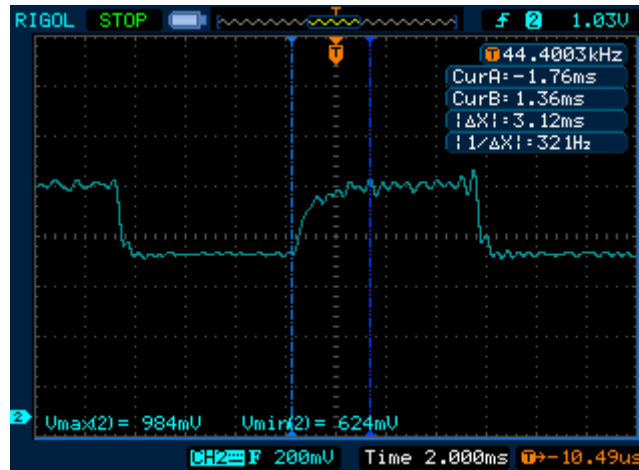
```
if(genCntr > genPeriod)
{
    genCntr = 0;

    if(genFlag)
    {
        Ib_desired = Lval;
        genFlag = 0;
    }
    else
    {
        Ib_desired = Hval;
        genFlag = 1;
    }
}
```

Změnou hodnot složek zesílení regulátoru byla snaha docílit co nejrychlejší přechodové charakteristiky. Na Obr. 5-4 je zobrazen průběh proudu akumulací tlumivkou (červená), žádaná hodnota proudu tlumivkou (zelená) a průběh střidy PWM (modrá). Na obrázku Obr. 5-5 je zobrazen průběh proudu akumulací tlumivkou měřený osciloskopem pomocí kontaktní proudové sondy. Zobrazených průběhů bylo docíleno při proporčním zesílení $K_P = 0.001$ a integračním zesílení $K_I = 3500$.



Obr. 5-4 Odezva proudu na skok žádané hodnoty – Freemaster



Obr. 5-5 Odezva proudu na skok žádané hodnoty - osciloskop (2A/V)

5.4 Vnější napěťová smyčka

Z přechodové charakteristiky proudové smyčky je patrné, že uzavřenou proudovou smyčku lze nahradit setrvačným členem prvního řádu. Po odečtení časové konstanty z přechodové charakteristiky je možné sestavit její přenosovou funkci.

Přenos uzavřené proudové smyčky:

$$F_{wl}(p) = \frac{1}{1 + \tau_I p} = \frac{1}{1 + 2 \cdot 10^{-3} p} \quad (5.8)$$

Přenos filtračních kondenzátorů

Jako filtrační kondenzátor je použito 16 keramických kondenzátorů s výslednou kapacitou 75,2 μF .

$$F_C(p) = \frac{1}{pC} = \frac{1}{75,2 \cdot 10^{-6} p} \quad (5.9)$$

Přenos měření napětí

$$F_U(p) = 0,0215 \quad (5.10)$$

Přenos regulované soustavy

$$\begin{aligned}
 F_{SU}(p) &= F_{wl}(p) \cdot F_C(p) \cdot F_U(p) = \\
 &= \frac{1}{1 + 2 \cdot 10^{-3} p} \cdot \frac{1}{72.5 \cdot 10^{-6} p} \cdot 0.0215 = \\
 &= \frac{0.0215}{72.5 \cdot 10^{-6} p \cdot (1 + 2 \cdot 10^{-3} p)}
 \end{aligned} \tag{5.11}$$

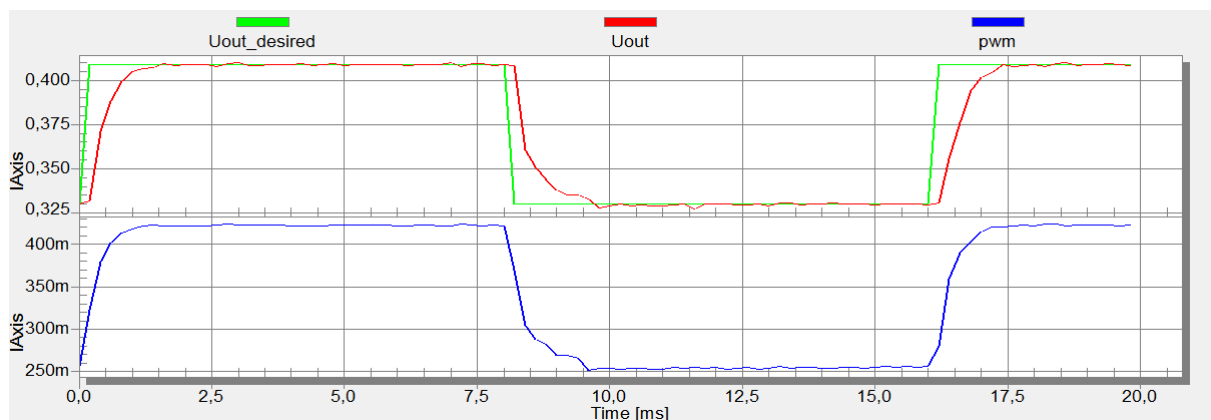
Návrh regulátoru napětí

$$\begin{aligned}
 F_{RU} &= \frac{1}{F_{SU}(p)} \cdot F_R(p) = \\
 &= \frac{72.5 \cdot 10^{-6} p \cdot (1 + 2 \cdot 10^{-3} p)}{0.0215} \cdot \frac{1 + 4p\tau_\Sigma}{8p^2\tau_\Sigma^2(1 + p\tau_\Sigma)} = \\
 &= |\tau_\Sigma = 2 \cdot 10^{-3}| = \frac{1 + 8 \cdot 10^{-3} p}{9.49 \cdot 10^{-3} p} = \frac{105.39}{p} + 0.843
 \end{aligned} \tag{5.12}$$

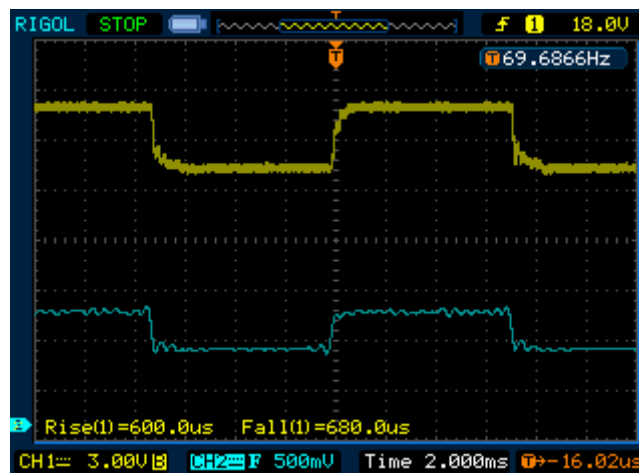
5.5 Odladění napěťové smyčky

Napěťová smyčka byla, obdobně jako proudová, odladována s využitím programu Freemaster. Generátor obdélníkového signálu žádané hodnoty byl upraven pro výstupní napětí. Změnou zesílení proporcionální a integrační složky pak bylo docíleno co nejrychlejší odezvy na změnu žádané hodnoty výstupního napětí při různých zatíženích.

Při velkém zatížení měniče, ($R_Z = 10 \Omega$) se jako neoptimálnější nastavení regulátorů napěťové smyčky jeví proporcionální zesílení $K_P = 3$, $K_I = 8000$. Průběh výstupního napětí je patrný z Obr. 5-6, kde výstupní napětí mění svoji hodnotu z 15 V na 19,4 V. Stejný průběh zobrazený osciloskopem, je na Obr. 5-7.

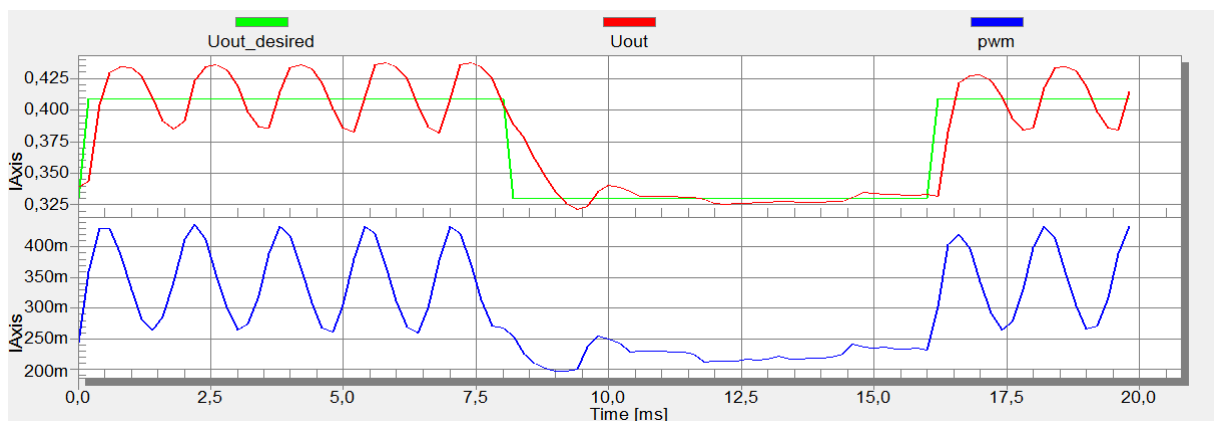


Obr. 5-6 Odezva výstupního napětí na skok žádané hodnoty - Freemaster

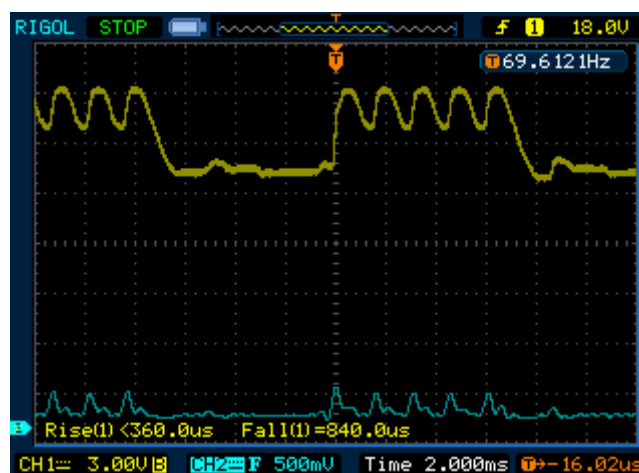


Obr. 5-7 Odezva výstupního napětí na skok žádané hodnoty - Osciloskop (CH1 = U_{out} , CH2 = I_L , $I_V = 2A$)

Na Obr. 5-8 a Obr. 5-9 je průběh výstupního napětí a proudu tlumivkou bez změny zesílení regulátorů při malé zátěži ($R_Z = 76 \Omega$).



Obr. 5-8 Odezva výstupního napětí na skok žádané hodnoty - odlehčení, Freemaster



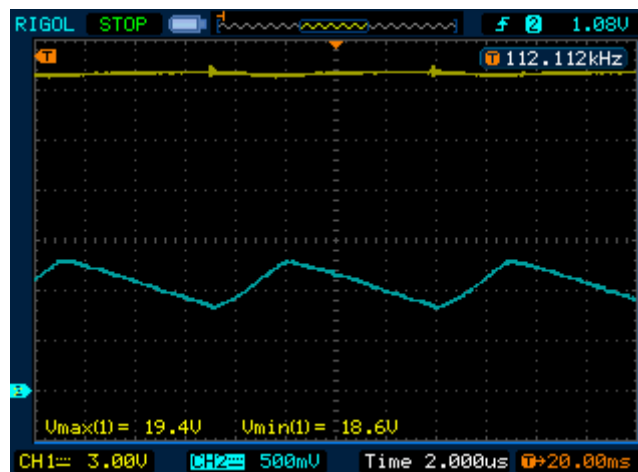
Obr. 5-9 Odezva výstupního napětí na skok žádané hodnoty – odlehčení, osciloskop

Z průběhů při různých zatíženích je vidět, že stabilita výstupního napětí se mění s velikostí zátěže. Nestabilita je dle mého názoru způsobena nelineární závislostí výstupního napětí na střídě. Vlivem zatížení se výrazně mění pracovní střída a tím i zesílení zvyšujícího měniče. Zesílení měniče bylo určeno v pracovním bodě se jmenovitým výstupním napětím naprázdno. Dalším důvodem nestability je pravděpodobně chyba měření proudovou smyčkou. Při střídě menší než asi 0.25 je šířka napěťového pulsu příliš úzká na to, aby bylo provedeno přesné měření proudu v oblasti mimo zákmitý signálu na bočníku (samotné vzorkování trvá 1 μ s).

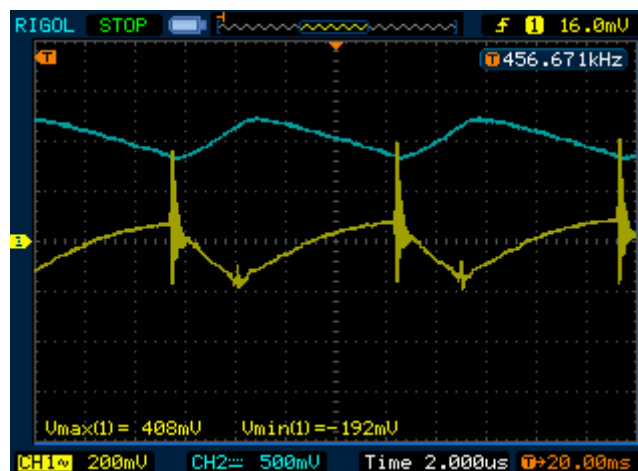
5.6 Odladění v režimu konstantního výstupního napětí

V tomto kroku byl z programu odstraněn generátor obdélníkového průběhu žádané hodnoty. Žádaná hodnota výstupního napětí byla podle zesílení měření výstupního napětí nastavena na hodnotu 0.41, která odpovídá 19 V.

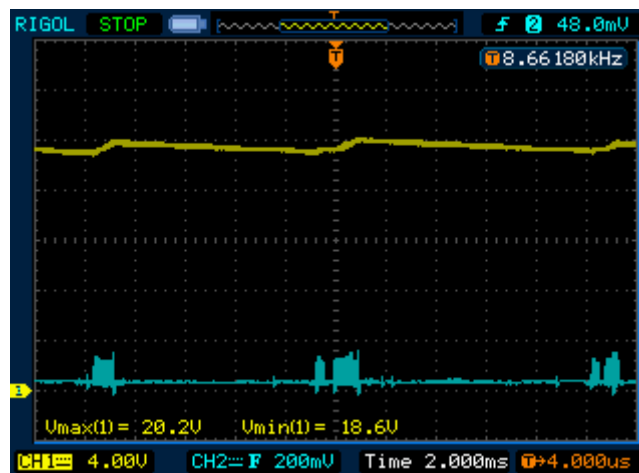
Při postupných změnách zátěže byly zesílení proporcionalní a integrační složky napěťové a proudové smyčky postupně upravovány tak, aby byla soustava stabilní jak naprázdno, tak při zatížení. Výsledné průběhy veličin při zesíleních $K_{IP} = 0.15$, $K_{II} = 4000$, $K_{UP} = 4$ a $K_{UI} = 350$ jsou na obrázcích níže.



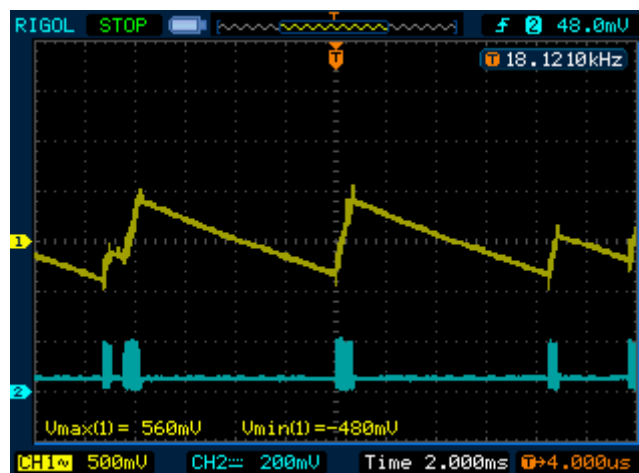
Obr. 5-10 Režim konstantního napětí - $R_z = 10 \Omega$, (CH1 = U_{out} , DC vazba; CH2 = I_L , 2A/V)



Obr. 5-11 Režim konstantního napětí - $R_z = 10 \Omega$, (CH1 = U_{out} , AC vazba; CH2 = I_L , 2A/V)

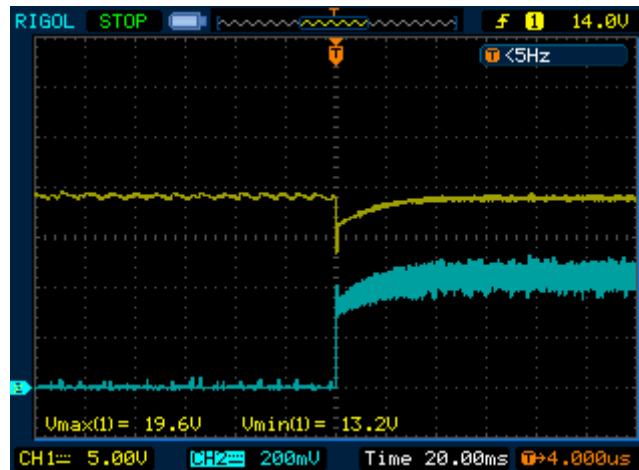


Obr. 5-12 Režim konstantního napětí - bez zátěže, (CH1 = U_{out} , DC vazba; CH2 = I_L , 2A/V)

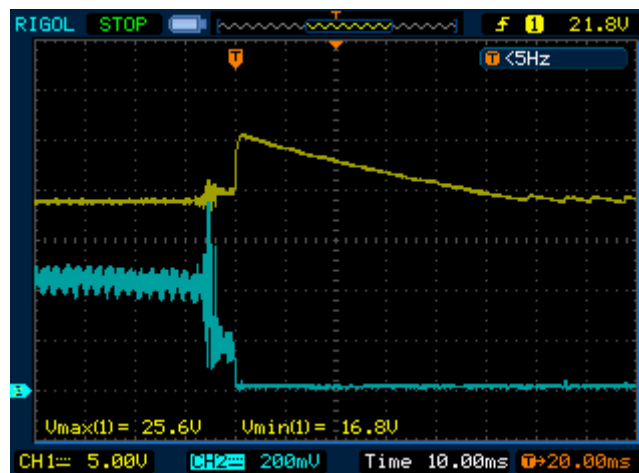


Obr. 5-13 Režim konstantního napětí - bez zátěže, (CH1 = U_{out} , AC vazba; CH2 = I_L , 2A/V)

Následně byly osciloskopem změřeny odezvy na připojení a odpojení zátěže $R_Z = 10 \Omega$. Z obrázku Obr. 5-14 je patrné, že při připojení zátěže pokleslo vstupní napětí na hodnotu 13,2V. Napětí bylo doregulováno na žádanou hodnotu za dobu přibližně 40 ms. Při odpojení zátěže se na výstupu objeví napěťový překmit o velikosti 6,6V ($U_{out} = 25,6V$) trvajících, který odezní přibližně za 50 ms.



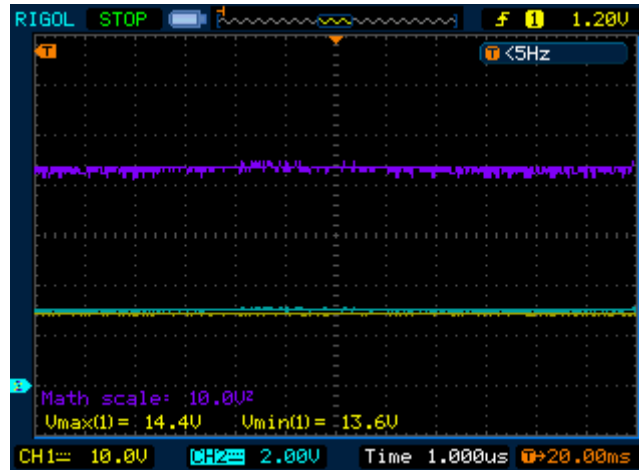
Obr. 5-14 Připojení zátěže $R_Z = 10 \Omega$ ($CH1 = U_{out}$; $CH2 = I_L, 2A/V$)



Obr. 5-15 Odpojení zátěže $R_Z = 10 \Omega$ ($CH1 = U_{out}$; $CH2 = I_L, 2A/V$)

5.7 Účinnost měniče

Účinnost měniče byla určena při vstupním napětí 14 V a vstupním proudu 3 A (maximální proud laboratorního zdroje). Měnič byl zatížen rezistorem o odporu $R_Z = 10 \Omega$. Z jsou patrné vstupní a výstupní napětí, proud a výkon.



Obr. 5-16 Vstupní veličiny



Obr. 5-17 Výstupní veličiny

Účinnost měniče je potom:

$$\eta_{\%} = 100 \frac{P_2}{P_1} = 100 \frac{40}{42} = 95.2\% \quad (5.13)$$

ZÁVĚR

V této práci byl popsán návrh zvyšujícího měniče pro napájení notebooku z palubní sítě automobilu, řízeného mikrokontrolérem. Po seznámení s principem činnosti zvyšujícího měniče byly posouzeny výhody mikroprocesorového řízení spínaných zdrojů a následně byl vybrán vhodný řídicí mikrokontrolér MC56F8006.

Poté byly popsány vlastnosti periférií vybraného mikrokontroléru. Jejich činnost jsem nejprve ověřil na zakoupeném vývojovém kitu „MC56F8006DEMO-T:Kit“.

Dále jsem přistoupil k návrhu schématu a plošného spoje. Při návrhu byl využit program Eagle, ve kterém byla vytvořena knihovna s potřebnými součástkami. Po návrhu schématu byl navržen plošný spoj. Knihovna s vytvořenými součástkami, schéma zapojení a plošný spoj jsou součástí přílohy práce na CD. Plošný spoj byl vyroben na prototypovém pracovišti na UVEE. Mikrokontrolér byl objednan u firmy Freescale jako vzorek. Ostatní součástky byly zakoupeny u společnosti Farnell.

Po osazení plošného spoje byla nejprve zprovozněna komunikace mikrokontroléru s počítačem.

V dalším kroku byl měnič zatížen rezistorem a podle průběhů napětí U_{DS} na obou tranzistorech byly experimentálně vybrány hodnoty rezistorů R_G a nastaven vhodný čas deadtime. Dále jsem pokračoval synchronizací měření napětí na bočníku R_b . Kvůli přítomnosti zákmitů napětí na bočníku byla přidána ve vhodném místě plošného spoje dolní propust RC, která zákmity částečně odfiltrovala. Přesto není měření úbytku napětí ideální, jak je patrné z Obr. 5-1. Zákmity jsou pravděpodobně způsobeny nevhodným návrhem plošného spoje a umístěním výkonových prvků. Situaci ještě zhoršuje doba vzorkování PGA – 1 μ s. Využití periférie PGA celkově zhoršuje rychlost regulace. Doba převodu s PGA je 16,03 μ s. Po převodu napětí z bočníku a výstupního napětí, kde se PGA využívá, ještě následuje převod vstupního napětí samotným ADC, který trvá přibližně 5.5 μ s. Tím se dostáváme na dobu měření téměř 21 μ s, což jsou 2 periody PWM, aniž by bylo měření jakkoliv synchronizované. Proto je vzorkovací perioda regulační smyčky snížena na 4 cykly PWM.

Regulátory byly navrženy podle metody symetrického optima. Doba periody vzorkování způsobila, že součtová časová konstanta je vyšší, než časové konstanty akumulární tlumivky a filtračního kondenzátoru, což odporuje metodě SO. Použité regulátory jsou naprogramovány podle uzavřeného tvaru PID regulátoru a jsou optimalizovány pro snadnou modifikaci z programu Freemaster. Jejich autorem je pan Ing. Bohumil Klíma, Ph.D. Nastavení složek regulátorů bylo upraveno tak, aby bylo dosaženo dobré stability soustavy jak naprázdno, tak při zatížení. Falut signály z komparátorů nakonec nebyly využity, protože by byly aktivovány zákmity z bočníku a překmity výstupního napětí v režimu naprázdno a při odpojení zátěže. Řešením by byla konfigurace komparátorů v režimu okno, kterou však komparátory při použití jako zdroj fault signálu nepodporují. Filtr fault signálu, který podporuje modulátor PWM není dostačující.

Výhody použití mikrokontroléru k řízení spínaného zdroje spočívají hlavně ve snadné modifikaci parametrů regulátorů a řízení tranzistorů. Použitý mikrokontrolér MC56F8006 je výkonově i cenově nejnižší z řady nabízených digitálních signálových kontroléru firmy Freescale. Zároveň je rychlost měření pro požadavky spínaných zdrojů nízká. S tímto mikrokontrolérem by bylo pravděpodobně dosaženo vyšší rychlosti měření při hardwarovém řešení diferenčního měření.

Při nové konstrukci měniče by bylo vhodné upravit rozmístění součástek na plošném spoji a jeho geometrii. Výkonová ztráta na tranzistorech je s ohledem na jejich teplotu vyšší, než byla ztráta vypočtená. Z tohoto důvodu byl na horní tranzistor, který do okamžiku sepnutí vede svojí antiparalelní diodou připevněn upravený chladič. Pro dosažení požadovaného



výkonu by bylo vhodné použít jiné pouzdro tranzistorů s chladičem. Podle navrženého schématu není možné realizovat výstupní protizkratovou ochranu, protože proud ze zdroje může protékat na výstup přes antiparalelní diodu horního tranzistoru. Vhodnější by bylo použití tranzistoru s kanálem P. Zde však nastává problém s buzením tranzistoru záporným napětím. Použití paralelního zapojení keramických kondenzátoru jako filtru výstupního napětí se jeví jako vyhovující. Pro funkci komparátorů pro generování fault signálů by bylo vhodnější použít 2 referenční napětí.

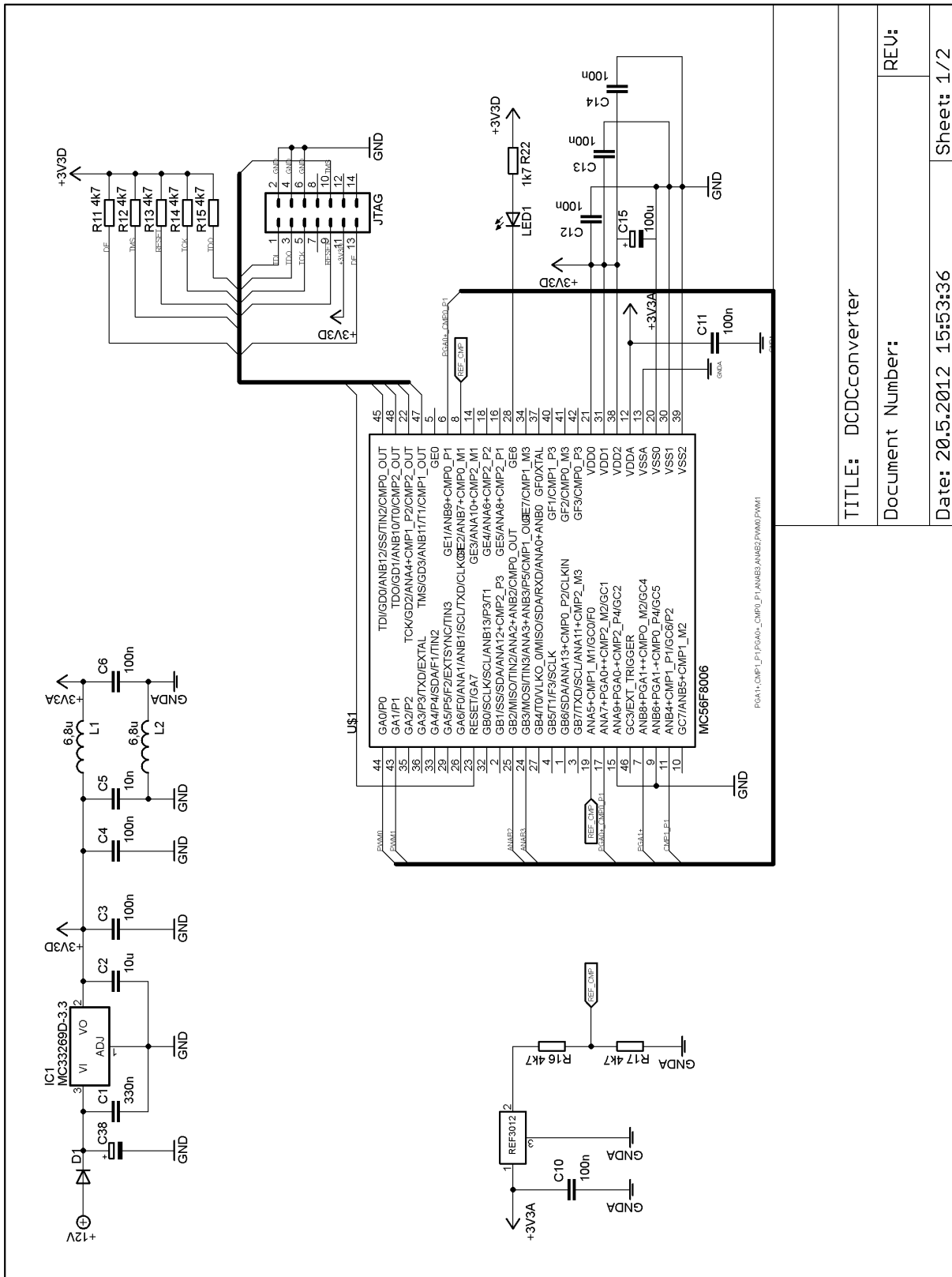
V příloze práce jsou uvedeny schéma zapojení, obrazec plošného spoje a výpis programu. K práci je přiloženo CD.



LITERATURA

- [1] PATOČKA, Miroslav. *Vybrané statě z výkonové elektroniky, Svazek II : Pulsní měniče bez transformátoru*. Brno : Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav výkonové elektrotechniky a elektroniky , 2005. 109 s.
- [2] NOVOTNÝ, Vlastislav; PATOČKA, Miroslav; VOREL, Pavel. *Napájení elektronických zařízení*. Ústav radioelektroniky FEI VUT : [s.n.], 1999. 129 s. ISBN 8021410906.
- [3] BHAMBRA, J.K, et al. Health monitoring of POL converter using digital PWM controller. In *Diagnostics for Electric Machines, Power Electronics & Drives (SDEMPED)*. IEEE International Symposium on : [s.n.], 2011. s. 133 - 138. Dostupné z WWW:
<<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6063613&isnumber=6063589>>.
- [4] KREJČÍŘÍK, Alexandr. *Napájecí zdroje II : Integrované obvody ve spínaných zdrojích*. 1. [s.l.] : BEN - Technická literatura, 2002. 352 s. ISBN 80-86056-03-1.
- [5] Microchip Technology Inc. *Intelligent Power Supply : Intelligent Power Supply Design Solutions* [online]. Microchip Technology Inc. : [s.n.], 2009 [cit. 2011-12-04]. Dostupné z WWW: <www.microchip.com>.
- [6] FREESCALE SEMICONDUCTOR, Inc. *MC56F8006/MC56F8002 Digital Signal Controller Product Brief*. 02/2009. 12 s. Dostupné z: <http://freescale.com>
- [7] FREESCALE SEMICONDUCTOR, Inc. *MC56F8006 Reference Manual: MC56F8006 RM*. 3/2009. 402 s. Dostupné z: <http://freescale.com>
- [8] VISHAY SILICONIX. *Automotive N-Channel 60 V (D-S) 175 °C MOSFET*. 12.3.2012. 2012, 10 s. Dostupné z: <http://vishay.com>
- [9] VISHAY SILICONIX. *Automotive N-Low Profile, High Current IHLP® Inductors*. 18.7.2008. 2008, 5 s. Dostupné z: <http://vishay.com>
- [10] TEXAS INSTRUMENT. *PRECISION PROGRAMMABLE REFERENCE*. 2.2011. 2011, 81 s. Dostupné z: <http://ti.com>
- [11] NATIONAL SEMICONDUCTORS. *LM335 Precision Temperature Sensor*. 17.12.2008. 2008, 16 s. Dostupné z: <http://national.com>
- [12] INTERNATIONAL RECTIFIER. *Automotive Grade AU1RS2003S HALF-BRIDGE DRIVER*. 28.2.2012. 2012, 16 s. Dostupné z: <http://irf.com>
- [13] FREESCALE SEMICONDUCTOR, Inc. *MC33269, NCV33269*. 05.2008. 2008, 13 s. Dostupné z: <http://onsemi.com>
- [14] TEXAS INSTRUMENT, Inc. *CMOS VOLTAGE REFERENCE*. 2008. vyd. 2008, 17 s. Dostupné z: <http://ti.com>
- [15] PATOČKA, Miroslav. *Magnetické jevy a obvody ve výkonové elektronice, měřící technice a silnoproudé elektrotechnice*. [s.l.] : VUTIUM, 2011. 25. Řídící obvody spínaných zdrojů, s. 564. ISBN 978-80-214-4003-6.

PŘÍLOHA A – SCHÉMA ZAPOJENÍ, DESKA PLOŠNÝCH SPOJŮ



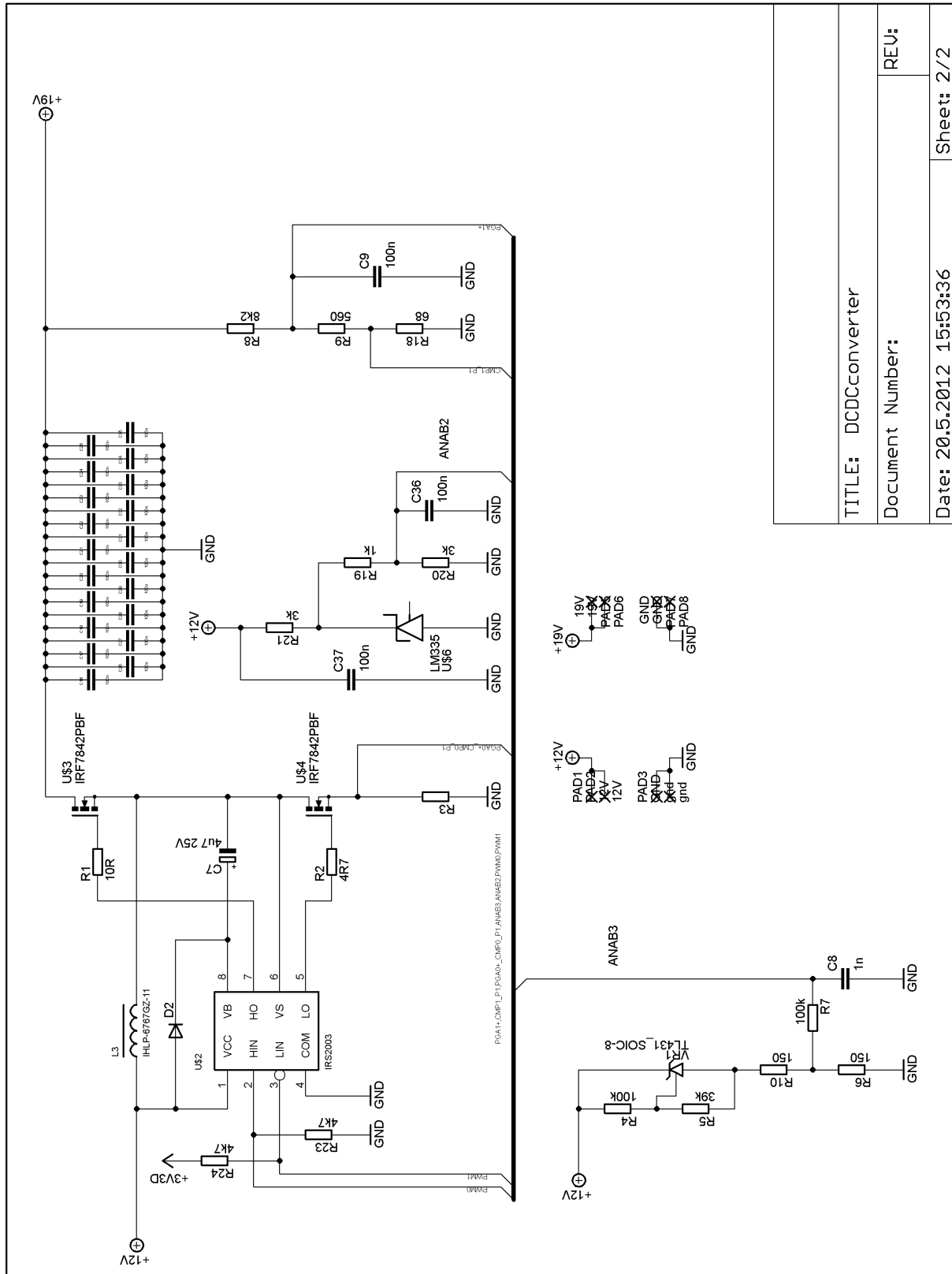
TITLE: DCDCconverter

Document Number:

Date: 20.5.2012 15:53:36

Sheet: 1/2

REV:



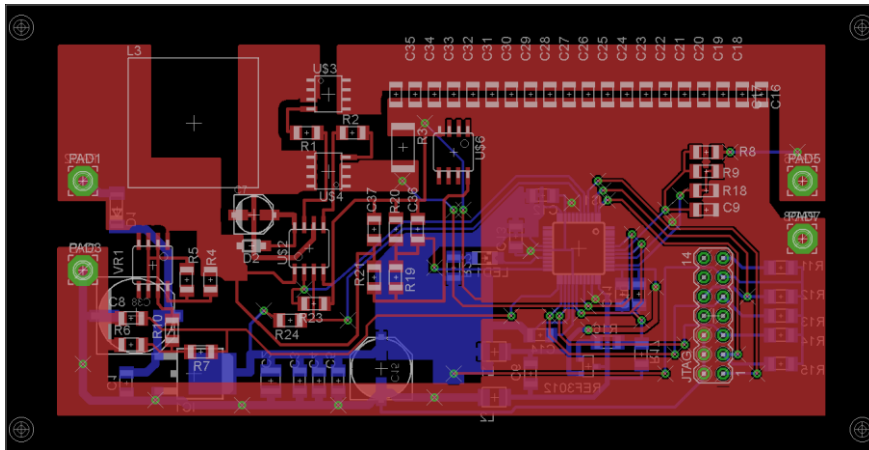
TITLE: DCDCconverter

Document Number:

REV:

Date: 20.5.2012 15:53:36

Sheet: 2/2





PŘÍLOHA B – VÝPIS PROGRAMU

Komentovaný program je na přiloženém CD.

```
#include "qs.h"

#include "occs.h"
#include "sys.h"
#include "adc.h"
#include "cop.h"
#include "gpio.h"
#include "hscmp.h"
#include "iic.h"
#include "wintc.h"
#include "pga.h"
#include "pdb.h"
#include "pit.h"
#include "rtc.h"
#include "pmc.h"
#include "pwm.h"
#include "qtimer.h"
#include "sci.h"
#include "spi.h"
#include "freemaster.h"
#include "pid_rekurent.h"

Frac16 pwm = FRAC16(.0);
Frac16 Ib = FRAC16(.0);
Frac16 Uin = FRAC16(.0);
Frac16 Uout = FRAC16(.0);
Frac16 Temp = FRAC16(.0);
unsigned short delayA = 295;
unsigned short delayB = 1000;

PID_RECURRENT_DATA reg_I_data, reg_U_data;
float regI_P = 0.01, regI_I = 4000, regI_D = 0;
float regU_P = 4.5, regU_I = 350, regU_D = 0;
float Ts = 35.2e-6;
Frac16 Ib_desired;
Frac16 Uout_desired = FRAC16(0.41);

unsigned int updateCntr = 0, updatePeriod = 65000, updateFlag = 0;

unsigned int genCntr = 0, genPeriod = 200, genFlag = 0;

unsigned int stopFlag = 0;

Frac16 Lval = FRAC16(0.33), Hval = FRAC16(0.409);

int run = 1;
```



```
void main (void)
{

ioctl(SYS, SYS_INIT, NULL);
ioctl(COP, COP_INIT, NULL);
ioctl(GPIO, GPIO_INIT_ALL, NULL);
ioctl(WINTC, WINTC_INIT, NULL);
archEnableInt();

ioctl(PWM, PWM_INIT, NULL);
ioctl(PWM, PWM_UPDATE_VALUE_REG_1, pwm);
ioctl(PWM, PWM_LOAD_OK, NULL);
ioctl(PDB, PDB_INIT, NULL);
ioctl(ADC0, ADC_INIT, NULL);
ioctl(ADC1, ADC_INIT, NULL);
ioctl(PGA0, PGA_INIT, NULL);
ioctl(PGA1, PGA_INIT, NULL);
ioctl(PIT, PIT_INIT, NULL);

FMSTR_Init();

PID_reg_recSetParameters(regI_P, regI_I , regI_D, Ts, &reg_I_data);
PID_reg_recSetParameters(regU_P, regU_I , regU_D, Ts, &reg_U_data);
reg_I_data.l_lim = FRAC16(0.0);
reg_I_data.h_lim = FRAC16(0.7);
reg_U_data.l_lim = FRAC16(0.0);
reg_U_data.h_lim = FRAC16(0.41);

while(1)
{

ioctl(COP, COP_CLEAR_COUNTER, NULL);

if((ioctl(PDB, PDB_READ_COUNT, NULL))>=1100)
{
ioctl(PDB, PDB_WRITE_DELAYA, delayA);
ioctl(PDB, PDB_WRITE_DELAYB, delayB);

}

if(updateFlag)
{
PID_reg_recSetParameters(regI_P, regI_I , regI_D, Ts, &reg_I_data);
PID_reg_recSetParameters(regU_P, regU_I , regU_D, Ts, &reg_U_data);
updateFlag = 0;

}

FMSTR_Poll();
}
}
```



```
#pragma interrupt saveall
void adc0_complete(void)
{
    Ib = (short)(ioctl(ADC0, ADC_READ_SAMPLE_A, NULL)-0x3FF8);
    Uout = (short)(ioctl(ADC1, ADC_READ_SAMPLE_B, NULL)-0x3FF8);

    updateCntr++;
    if(updateCntr > updatePeriod)
    {
        updateCntr = 0;
        updateFlag = 1;
    }

    /*    genCntr++;
    if(genCntr > genPeriod)
    {
        genCntr = 0;

        if(genFlag)
        {
            Uout_desired = Lval;
            genFlag = 0;
        }
        else
        {
            Uout_desired = Hval;
            genFlag = 1;
        }

    }

    */
    Ib_desired = PID_reg_rec(Uout_desired - Uout , &reg_U_data);
    pwm = PID_reg_rec(Ib_desired - Ib , &reg_I_data);

    if(((Ib > FRAC16(0.95)) || (Uin <= FRAC16(0.46))) && stopFlag == 0)
    {
        run = 0;
        ioctl(PIT, PIT_COUNTER, PIT_ENABLE);
        stopFlag = 1;
    }

    if((Uin > FRAC16(0.5)) && stopFlag == 1)
    run = 1;
    ioctl(PIT, PIT_COUNTER, PIT_DISABLE);
    ioctl(GPIO_E, GPIO_CLEAR_PIN, BIT_6);
    stopFlag = 0;
}
```



```
if(run==1)
{
ioctl(PWM, PWM_UPDATE_VALUE_REG_1, pwm);

}
if(run==0)
{

ioctl(PWM, PWM_UPDATE_VALUE_REG_1, 0);

}
ioctl(PWM, PWM_LOAD_OK, NULL);

FMSTR_Recorder();
}
#pragma interrupt off

#pragma interrupt on
void adcl_complete(void)
{
Uin = (short)(ioctl(ADC0, ADC_READ_SAMPLE_B, NULL));
Temp = (short)(ioctl(ADC1, ADC_READ_SAMPLE_A, NULL));

}
#pragma interrupt off

#pragma interrupt on
void pit_isr(void)
{
ioctl(PIT, PIT_CLEAR_ROLLOVER_INT, NULL);
ioctl(GPIO_E, GPIO_TOGGLE_PIN, BIT_6);
}
#pragma interrupt off
```