

Napájení programovatelných hradlových polí

FPGA powering

Ondřej Zelinka, Milan Kolář

ondrej.zelinka@tul.cz, milan.kolar@tul.cz

Technická univerzita v Liberci Fakulta mechatroniky, informatiky a mezioborových studií

Abstrakt: Článek se zabývá problematikou napájení obvodů FPGA. Rozebírá požadavky na jednotlivá napájecí napětí (velikosti napětí, kvalitu, proudové zatížení), diskutuje možnosti zajištění těchto napětí různými napájecími zdroji (lineární nebo spínané regulátory), shrnuje jejich přednosti a nedostatky. Všímá si statické i dynamické spotřeby elektrické energie hradlových polí a porovnává ji s vlastními naměřenými hodnotami. Je diskutována možnost ovlivňování spotřeby při systémovém návrhu.

Abstract: This article deals with FPGA powering. It analyse each supply voltage requirements (voltage amplitude, current load, noise) and different ways of their implementation (linear regulators, switching regulators). Static and dynamic consumptions of FPGA circuits are described too.

Napájení programovatelných hradlových polí

Ondřej Zelinka, Milan Kolář

Technická univerzita v Liberci
 Fakulta mechatroniky, informatiky a mezioborových studií
 Email: {ondrej.zelinka,milan.kolar}@tul.cz

Abstrakt – Článek se zabývá problematikou napájení obvodů FPGA. Rozebírá požadavky na jednotlivá napájecí napětí (velikosti napětí, kvalitu, proudové zatížení), diskutuje možnosti zajištění těchto napětí různými napájecími zdroji (lineární nebo spínané regulátory), shrnuje jejich přednosti a nedostatky. Všímá si statické i dynamické spotřeby elektrické energie hradlových polí a porovnává ji s vlastními naměřenými hodnotami. Je diskutována možnost ovlivňování spotřeby při systémovém návrhu.

1 Úvod

Programovatelné zakázkové obvody (zejména obvody FPGA – Field Programmable Gate Array) patří ke stále častějším součástem číslicových systémů. Se vzrůstající složitostí a hustotou integrace logických prvků na čipu je stále větší problém s odváděním ztrátového tepla z omezené plochy čipu. Přijatelným řešením tohoto problému je snižování napájecího napětí logických obvodů. Dříve typické napájecí napětí 5 V se již používá ojediněle a přechází se na napětí 3,3 V a nižší. Naproti tomu je však třeba zachovat kompatibilitu s okolní logikou, kterou zajišťují I/O buňky. Snižování napájecího napětí však nepřináší jen výhody, ale vede nejen ke zhoršení dynamických parametrů, ale i ke snižování odolnosti obvodů proti elektromagnetickému rušení a nahodilým signálům (šumu).

Moderní obvody FPGA neobsahují jen logické bloky a I/O buňky, ale jsou to v podstatě heterogenní obvody zahrnující i manažery hodinového signálu, blokovou paměť, DSP bloky, procesorová jádra apod. Některé tyto bloky vyžadují opět své specifické hodnoty napájecího napětí. To u hradlových polí vede obecně k potřebě většího počtu napájecích napětí. Jedno napájecí napětí, které vyhovovalo u obvodů PLD a CPLD, se postupně zvyšovalo na dvě, v současnosti tři i více (zvláště při potřebě většího počtu I/O standardů).

Typický obvod FPGA potřebuje ke své činnosti napájecí napětí, která se rozdělují do následujících tří skupin:

- napájení vlastního jádra s logickými bloky,
- napájení vstupně výstupních buněk,
- napájení speciálních bloků (fázové závěsy, sériové transceivery, konfigurační logika, aj.).

Proudový odběr vlastního logického jádra je většinou stěžejní položkou celkové spotřeby a u velkých obvodů FPGA může mít velikost běžně přes 10 A [1]. Proto velikost napájecího napětí jádra významně ovlivňuje vyzářený ztrátový

výkon a zde je otázka snižování napájecího napětí neaktuálnější. Toto snižování napětí v podstatě souvisí s použitou výrobní technologií a pohybuje se od 3,3 V (u technologie cca 350 nm), 2,5 V (220 nm), 1,8 V (150 nm), 1,5 V (130 nm), 1,2 V (90 nm), 1,0 V (65 nm) až po současných 0,9 V u největších FPGA v technologii 40 nm.

Napájení vstupně-výstupních buněk závisí na napěťových úrovních I/O standardu, pomocí kterého komunikuje obvod s okolím. Tyto napěťové úrovně se typicky pohybují v rozmezí od 1,2 V do 3,3 V. Aby bylo možné komunikovat na různých pinech obvodu s různými napěťovými úrovněmi současně, rozdělují se I/O piny do tzv. bank. Každá banka pak může být připojena na jiný napájecí zdroj. V jedné bance mohou být kombinovány vstupy a výstupy různých standardů (LVCMOS, LVTTTL, LVDS, atd.), ale pouze na stejném napájecím napětí. Počet bank je závislý na velikosti obvodu FPGA a pohybuje se od 8 do 30 (např. u Xilinx Virtex-6). Proudový odběr I/O buněk není rozhodně zanedbatelný, ale ani u největších obvodů FPGA nepřekračuje 3 A [1]. Díky obecně vyššímu napájecímu napětí I/O buněk se podílí jejich výkonová ztráta na celkovém ztrátovém výkonu hradlového pole zhruba 15-30 %.

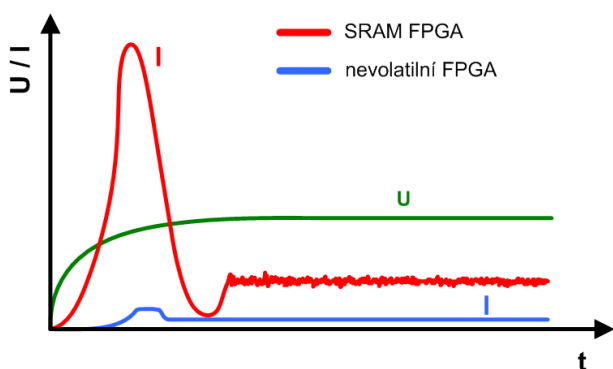
Většina obvodů FPGA obsahuje obvody POR (Power-On Reset), které udržují hradlové pole v resetovacím stavu, dokud nedosáhne napěťové úrovně napájecích zdrojů stanovených hodnot. Vlastní vstupně-výstupní piny jsou během zapínání napájecího napětí z důvodu ochrany ve stavu vysoké impedance. Jednotlivé napájecí zdroje se mohou zapínat (i vypínat) nezávisle na sobě v libovolném pořadí, ale náběh napájecích napětí by měl být monotónní (bez překmitů). Nepříznivě se může projevit i přítomnost rušivých signálů (napětí) během náběhu. Proto je nutno věnovat náležitou pozornost nejen všem napájecím zdrojům, ale i napájecím rozvodům na desce plošného spoje.

2 Vliv technologie uložení konfigurace

Významný vliv na dimenzování napájecího napětí představuje technologie použitá pro uložení konfiguračních dat obvodu FPGA. V principu rozeznáváme dva základní typy uložení konfigurace – volatilní uložení (nestálé, závislé na zdroji elektrické energie) a nevolatilní uložení (stálé, nezávislé na napájecím napětí).

Typickým a nejpoužívanějším představitelem volatilních obvodů jsou FPGA na bázi pamětí SRAM. Tyto obvody nejsou schopny pracovat ihned po zapnutí napájecího napětí, ale musí se nejprve nakonfigurovat (většinou z externí paměti

flash nebo EEPROM). Tato konfigurace může trvat v závislosti na velikosti obvodu a konfiguračním rozhraní od řádově milisekund do několika desetin sekundy. Vlastní konfigurační proces způsobuje po startu systému zvýšenou spotřebu elektrické energie jádra obvodu FPGA. Tato počáteční proudová špička se označuje jako tzv. nárazový proud (inrush current) – viz obr. 1 [2]. Tento nárazový proud je třeba pro nabití vnitřních kapacit a může mít u velkých obvodů velikost v řádu jednotek ampér [3]. Na zvýšený proudový odběr je pak nutné dimenzovat i zmiňovaný napájecí zdroj. Nemí-li při zapínání napájecích napětí splněna podmínka monotónnosti, může být proces konfigurace zahájen předčasně a při následném poklesu napětí potom může dojít k chybě. Nevýhodou SRAM také představuje vyšší spotřeba energie při běžné činnosti zařízení. I když je obvod FPGA v nízkopříkonovém režimu (low power mode), odebírá ze zdroje stále proud na udržení konfigurace.



Obr. 1: Porovnání průběhů inicializačních proudů

Druhou významnou technologií pro uložení konfigurace jsou tzv. antipojistky (antifuse). Z vrstvy amorfního křemíku ve spoji se při průrazu přiloženým napětím stává polykrystalický křemík. Výhodou této nevolatilní technologie je nižší spotřeba energie navrženého obvodu FPGA a okamžitá použitelnost po zapnutí napájecího napětí (myšleno již po naprogramování). Někdy se tyto obvody proto označují jako „instant-on“. Dalšími výhodami může být malá plocha antipojistek, lepší zabezpečení intelektuálního vlastnictví a vyšší odolnost proti radiaci. Průběh proudu u této technologie po zapnutí napájení v podstatě nevykazuje proudový náraz (viz obr. 1). Nevýhodou je nutnost použití externího programátoru a nemožnost obvod reprogramovat.

3 Řešení napájecích zdrojů

Všimněme si nyní, jaké možnosti má návrhář při řešení napájecích zdrojů pro obvody FPGA. Nejprve si rozeberme jejich označování, principy a charakteristické vlastnosti.

Obecně používaná terminologie týkající se různých typů napájecích zdrojů je často nejednotná. Upřesněme si proto význam termínů použitých v tomto článku. Jako společné označení pro napěťové zdroje, které zajišťují přeměnu jednoho stejnosměrného napětí na druhé stejnosměrné napětí, použijme výraz napěťový regulátor. Existují dva základní principy těchto regulátorů - lineární regulátory a spínané regulátory.

Každý z nich má své přednosti a nedostatky, o kterých se dále zmíníme.

Lineární regulátory (linear regulators) jsou integrované zpětnovazební stabilizátory, které pracují se spojitým signálem. Jejich použití je pro návrháře velice snadné (až na vyhlazovací kondenzátory nevyžadují žádné doplňkové součástky). Jejich významnou předností je malé výstupní zvlnění (malý šum). Proto jsou velmi vhodné zejména pro napájení fázových závěsů, které jsou u obvodů FPGA velmi citlivé na kvalitu napájení. Vstupní napětí lineárního regulátoru U_{in} musí být vždy vyšší než požadované výstupní napětí U_{out} , což je určitá nevýhoda. Minimální rozdíl $U_{in} - U_{out}$ je označován jako „drop-out“ a bývá řádově desítky voltů až 2 V. Podstatnou nevýhodou lineárních regulátorů je ale velký ztrátový výkon P_z , který na nich vzniká:

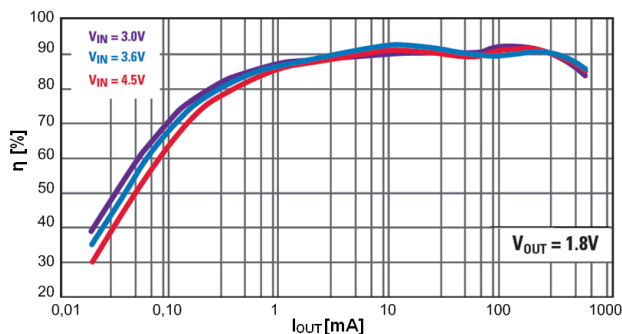
$$P_z = (U_{in} - U_{out}) \cdot I_{out} \quad [W] \quad (1)$$

Výstupní proud I_{out} je totožný s proudem vstupním (vlastní spotřebu regulátoru zanedbáváme) a veškerý nevyužitý vstupní výkon se mění na regulátoru v teplo. Při větším ztrátovém výkonu je nutné použít i přídatný chladič. Proto je obecně vhodnější používat lineární regulátory pro nižší napěťové rozdíly a menší proudy.

Druhou, výrazně rozmanitější skupinou napájecích obvodů, jsou tzv. spínané regulátory (switching regulators). Základní rozdělení těchto regulátorů je možné provést podle toho, zda jako úložiště energie používají indukčnost nebo kapacitu. Regulátory, které využívají indukčnost, bývají označovány jako inductor based DC-DC. Jejich nevýhodou je citlivost na kvalitu použitých součástek a jejich rozmístění na desce plošných spojů (je vhodné používat doporučené typy cívek a kondenzátory s nízkou hodnotou ESR – Equivalent Series Resistance). Nedodržení výrobcem stanovených doporučení může vést k abnormálně vysokému šumu, pískání cívkou, snížení deklarované účinnosti aj. Tyto regulátory jsou běžně schopny dodávat proudy až o velikosti několika desítek ampér. Výhodou bývá široké rozmezí vstupního napětí (běžně například 4 V až 36 V). Spínané regulátory, které jako akumulátor energie využívají kapacity, jsou často označovány jako nábojové pumpy (charge pumps). Složitostí zapojení se tyto obvody řadí někde mezi jednoduché lineární regulátory a poměrně komplikované regulátory s indukčností. Jejich výhodou je tedy menší prostor zabraný na desce plošných spojů, nízký počet externích součástek a poměrně jednoduchá implementace. Nevýhodou spínaných regulátorů založených na kapacitě je malý rozsah vstupního napětí (běžně do 10 V) a nižší výstupní proudy než jakých dosahují spínané regulátory s indukčností.

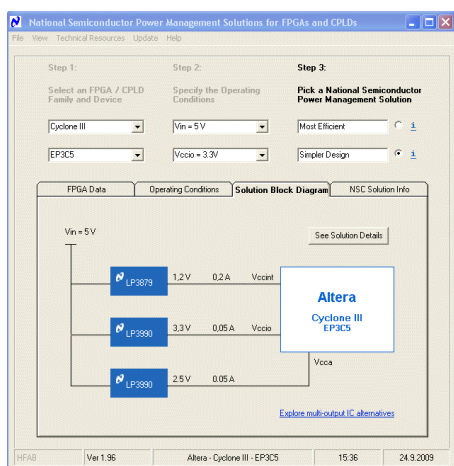
Existují dva základní módy spínaných regulátorů, tzv. step-up (boost) a step-down (buck). Step-down regulátory jsou efektivní alternativou k lineárním regulátorům, zajišťují převod vstupního napětí na nižší výstupní napětí. Jejich účinnost se běžně pohybuje od 70 % do 90 % v závislosti na typu (indukčnost/kapacita), na velikosti vstupního napětí a na konkrétním obvodu. Step-up regulátory umožňují přeměnu nižšího vstupního napětí na vyšší výstupní napětí. Účinnost těchto obvodů je podobná jako u obvodů step-down. Jako napájecí zdroje, u kterých může být výstupní napětí menší nebo větší než vstupní, se používají nejčastěji tzv. buck-boost

obvody. Tyto obvody jsou schopné reagovat na změny velikosti vstupního napětí vůči výstupnímu a pracovat jako step-up i step-down. U většiny spínaných regulátorů jsou implementovány alespoň některé z následujících funkcí: nastavení spínací frekvence, přechod do tzv. shutdown módu (klidový proud klesne z jednotek mA běžně na desítky μA), ochrana proti přetížení, tzv. soft-start výstupního napětí atd.



Obr. 2: Závislost účinnosti na zatěžovacím proudu

U obvodů FPGA jsou nejčastěji používány synchronní buck regulátory, které vyžadují připojení alespoň tří externích součástek – vstupního kapacitoru, induktoru a výstupního kapacitoru. Typickou závislost účinnosti těchto regulátorů na zatěžovacím proudu pro tři různá vstupní napětí ukazuje obr. 2 [4]. Někteří výrobci FPGA spolu s výrobcem napájecích regulátorů dodávají speciální software, který po volbě konkrétního typu hradlového pole, jeho napájecích napětí a proudové spotřeby sám navrhne vhodné regulátory. Příkladem může být např. Power Expert, který pro FPGA firmy Altera doporučuje nejvhodnější regulátory firmy National Semiconductor (obr. 3). Při volbě „Most Efficient“ jsou preferovány spínané regulátory, při volbě „Simpler Design“ software nejčastěji doporučí lineární regulátory. Tento nástroj případně navrhne i obvodové zapojení s vnějšími součástkami.



Obr. 3: Power Expert pro volbu regulátorů

Další možností řešení napájení je využití napájecích obvodů navržených přímo pro použití s FPGA. Příkladem může být obvod TPS75003 firmy Texas Instruments (obsahuje dva buck regulátory pro napájení jádra a vstupně-výstupních obvodů a jeden lineární regulátor pro napájení speciálních

bloků) nebo obvod ISL6521 firmy Intersil (obsahuje jeden buck regulátor a tři lineární regulátory).

4 Návrh desky plošných spojů

Požadavky na velikost absolutní hodnoty napájecích napětí obvodů FPGA nejsou relativně přísné – pohybují se v tolerancích cca $\pm 5\%$ jmenovité hodnoty napětí. Mnohem vyšší nároky jsou na tato napětí kladeny z hlediska kolísání vlivem různých druhů rušení (zvlnění, šumy, přeslechy apod.). Proto je třeba věnovat pozornost nejen výběru vhodného typu regulátoru, ale také kvalitnímu návrhu desky plošného spoje. Doporučuje se používat vícevrstevných desek, které umožní vyhradit pro napájecí a zemnicí potenciály zvláštní vrstvy. Samozřejmostí je použití kvalitních skupinových a filtračních kondenzátorů. Filtrační kondenzátory je třeba umísťovat v dostatečném množství co nejbližší napájecím pinům obvodu FPGA.

Nejcitlivější na kvalitu napájecího napětí jsou fázové závěsy, které jsou nejčastěji napájeny dvěma napájecími napětími – napětím pro analogovou část (typicky 2,5 V) a napětím pro digitální část (totožné s napětím jádra). Na obou napětích velice záleží a zpravidla jsou řešeny odděleně od ostatních napájecích přívodů (včetně oddělení od běžného napájení vlastního jádra). Například podle [5] by změna napájecího napětí 2,5 V neměla být větší než 10 mV/ms. Z hlediska návrhu desky plošného spoje se doporučuje izolovat napětí fázových závěsů od okolních signálů vytvořením speciální oblasti – tzv. power island. Do této oblasti je napětí přivedeno přes feritové jádro a opět filtrováno soustavou filtračních kondenzátorů. S ohledem na zvýšenou citlivost pomocných bloků na kvalitu napájecího napětí bývají pro jejich napájení preferovány lineární regulátory.

5 Výkonová spotřeba FPGA

Spotřeba elektrické energie je významným faktorem při výběru hradlového pole pro konkrétní aplikaci. Spotřeba je nejen důležitá pro dimenzování napájecích zdrojů, ale také pro návrh dostatečného chlazení pro odvod ztrátového tepla. Celková spotřeba se v podstatě skládá ze dvou složek – statické a dynamické.

5.1 Statická spotřeba

Spotřeba v klidovém režimu je důležitá zejména pro stále více používané bateriové aplikace. Statická proudová spotřeba je daná součtem všech statických příkonů od jednotlivých napájecích zdrojů použitých u FPGA:

$$P_S = \sum_i U_i I_i \quad [\text{W}] \quad (2)$$

Většina výrobců má ve své nabídce nízkopříkonové řady programovatelných obvodů. Především se jedná o architektury CPLD s nevolatilním uložením konfigurace (nejčastěji na

principu již zmiňovaných antipojistek nebo s pamětí flash/EEPROM). Mezi nejznámější řady patří Xilinx CoolRunner-II, Altera MAX IIZ a Lattice ispMACH 4000ZE. Jejich klidová spotřeba (v tzv. sleep módu) se pochybuje v rozmezí 30–50 μW [6]. U obvodů FPGA patří v současné době mezi energeticky nejúspornější obvody řady Actel IGLOO nano s typickou spotřebou 2 μW na principu reprogramovatelné flash technologie.

Pro stále častěji používané bateriově napájené systémy je třeba minimalizovat spotřebu z jednotlivých napájecích napětí. Potom je nutné pro každou aplikaci konkrétně zvážit, jaký typ regulátorů je pro realizaci jednotlivých napětí vhodný. Účinnost spínaných regulátorů výrazně klesá při nízkých zatěžovacích proudech - viz obr. 2. Účinnost lineárních regulátorů je na výstupním proudu v porovnání se spínanými regulátory nevýznamná, závisí především na napěťovém rozdílu vstupu a výstupu.

5.2 Dynamická spotřeba

Dynamický ztrátový výkon souvisí s přechodovými ději v obvodu, příp. I/O buňkách. Největší vliv na tento výkon má (uvažujeme-li vesměs používané obvody CMOS) nabíjení a vybíjení parazitních kapacit přes příslušný unipolární tranzistor a signálový spoj. Nejčastěji se vyjadřuje idealizovaným vztahem [7]:

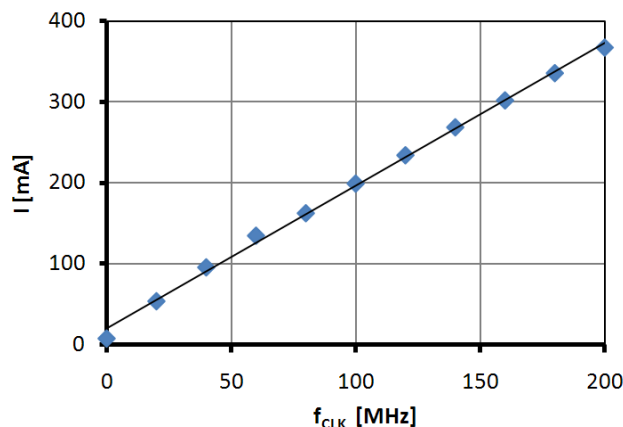
$$P_D = \sum_i C_i U_i^2 f_i \quad [\text{W}] \quad (3)$$

kde C_i je parazitní kapacita, U_i je napájecí napětí a f_i je pracovní frekvence. Sčítáme všechny příspěvky jak od různých napájecích napětí (nejčastěji logických a I/O buněk), tak od různých časových domén. Tento výkon lze obtížně numericky spočítat. Jeho odhad je možné provést až po kompletním dokončení samotného návrhu do hradlového pole, neboť do té doby nejsou známé konkrétní velikosti parazitních kapacit. Tyto kapacity totiž závisí nejen na výrobní technologii použitého obvodu FPGA, ale i na počtu větvení jednotlivých signálů, na délkách spojovacích cest, na počtu spínačů v daném spoji apod. Pro daný návrh v konkrétním obvodu FPGA (s daným napájecím napětím) je pak podle (3) závislost výkonové spotřeby na frekvenci hodinového signálu lineární. Proto se někdy udává hodnota dynamických ztrát ve W/Hz, resp. $\mu\text{W}/\text{MHz}$.

5.3 Zjištění konkrétní hodnoty spotřeby

Pro návrháře není zjištění konkrétních proudových odběrů z jednotlivých zdrojů jednoduché. V katalogových listech se tyto údaje téměř neuvádějí, neboť silně závisí na konkrétním implementovaném návrhu. Výrobci obvodů FPGA mají ve svých návrhových systémech zabudovány nástroje, které tuto spotřebu určí - nejznámější je XPower Estimator v systému ISE firmy Xilinx nebo PowerPlay Power Analyzer v systému Quartus firmy Altera. Tyto nástroje jsou schopny určit nejen statickou spotřebu, ale i dynamický odběr s chybou menší než 10 % [8]. Pro výpočet dynamického odběru je samozřejmě nutné dodat informace o taktovacích frekvencích jednotlivých

časových domén případně podklady získané simulací návrhu (soubory obsahující informace o překlápní jednotlivých signálů během simulace).



Obr. 4: Závislost proudu na frekvenci

Pro ověření lineární závislosti dynamické proudové spotřeby na taktovací frekvenci jsme provedli měření na obvodu Xilinx Spartan XC3S400. Jako testovací návrh jsme použili posuvný registr dlouhý 32768 bitů (zpoždovací linka). Vstupní signál pro posuvný registr byl vytvořen z hodinové frekvence připojené přes děličku dvěma (byla tak zajištěna změna logické úrovně na vstupu posuvného registru při každém hodinovém taktu). Tento návrh v obvodu XC3S400 využil 2048 tabulek LUT (z dostupných 7168) plus jeden klopný obvod na děličku (každá tabulka LUT byla nakonfigurována jako 16bitový posuvný registr). Jádru obvodu FPGA bylo napájeno z laboratorního zdroje napětí o velikosti 1,2 V. Se vzrůstající frekvencí budícího hodinového signálu spotřeba jádra podle očekávání lineárně narůstala [9] - změřená závislost je znázorněna na obrázku 4. Směrnice regresní přímky odpovídá hodnotě 1,76 mA/MHz, tj. 2,11 mW/MHz. Klidová spotřeba z napájecího zdroje 2,5 V (pro pomocné bloky) byla 18 mA a ze zdroje 3,3 V (vstupně-výstupní buňky) 5 mA. Dynamická spotřeba ze zdrojů 2,5 V a 3,3 V byla i při maximální frekvenci jen o několik jednotek mA vyšší.

6 Způsoby snižování napájecího příkonu

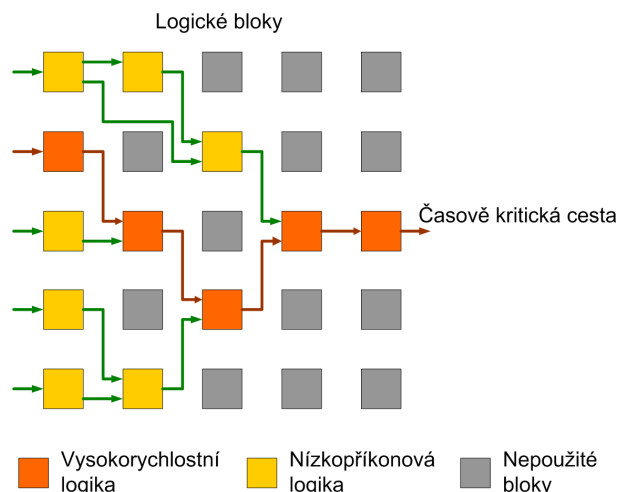
Kvalita vlastního digitálního návrhu se obecně posuzuje podle tří fyzikálních charakteristik – maximální rychlosti, zabrané plochy a výkonové spotřeby. Tyto charakteristiky se vzájemně ovlivňují a obtížně se hledá optimální poměr. Pro snížení výkonové spotřeby máme v principu dvě cesty – technologickou a architektonickou. Technologická cesta závisí především na výrobní technologii, která určuje jednak klidovou spotřebu a jednak parametry ovlivňující dynamickou spotřebu - parazitní kapacity hradel tranzistorů, spojovacích cest, spínacích tranzistorů, velikost napájecího napětí apod. Pro další úvahy ještě předpokládáme jednu vlastnost související s technologií - nevyužitá logika obvodu FPGA je odpojená a neovlivňuje statickou ani dynamickou spotřebu. Všimějme si dále architektonických řešení, které může běžný systémový návrhář ovlivnit. Cesty ke snížení spotřeby

v podstatě závisí na úrovni abstrakce systémového návrhu, na kterých se návrhář pohybuje.

Na úrovni návrhu architektury může návrhář navrhnout taková řešení, která spotřebují minimum logických buněk a registrů – budou se preferovat sériové sekvenční algoritmy a maximální sdílení systémových prostředků. Tím se sice uspoří plocha a s ní související statická i dynamická spotřeba, ale výrazně se sníží výkonost celého systému. Naopak techniky zřetězení (tzv. pipeline) či paralelního zpracování signálů vedou na rozsáhlejší logiku, tím pádem i na větší proudovou spotřebu. Pokud bychom ale předpokládali u obou zmiňovaných technik dosažení stejné výkonosti, stačí paralelní architekturu taktovat nižší pracovní frekvencí. Systém s větším počtem logických prvků, ale taktovaný výrazně nižší frekvencí, může v důsledku vést ke snížení celkové výkonové spotřeby.

Při rozboru snížení spotřeby na nižší úrovni abstrakce můžeme vycházet ze vztahu (3). Velikost napájecího napětí je dána zvoleným obvodem FPGA (uvažujeme především napětí vlastního logického jádra), jednotkové parazitní kapacity určuje použitá výrobní technologie. Návrhář, resp. návrhový systém, může částečně ovlivnit délky spojových cest, množství propojovacích matic v cestě signálu, množství větvení signálu a s tím související počet spojených hradel tranzistorů aj. Asi nejlépe ovlivnitelnou veličinou ve vztahu (3) je pracovní frekvence. Většina současných návrhů systémů je plně synchronních a registrově orientovaných. Případná blokáce klopných obvodů se řeší signály „enable“, které jsou v architekturách hradlových polí běžně implementovány. Tím nevkládáme do cesty hodinového signálu žádnou logiku (zpoždění), a přitom nedochází ke změnám logických úrovní klopných obvodů. Pokud potřebujeme zastavit hodinové signály do větší části obvodu (časové domény), řešíme to přes tzv. hodinové manažery (clock management). Tyto bloky jsou dnes běžnou součástí moderních obvodů FPGA. Používání asynchronních klopných obvodů nebo hradlování hodinových signálů by sice mohlo přinést návrhářovi částečné snížení spotřeby, ale za cenu nepřijatelného snížení spolehlivosti systému.

Jedním ze způsobů snížení spotřeby, který lze zařadit na pomezí technologických a architektonických řešení, je tzv. programovatelná technologie řízení spotřeby (Programmable Power Technology), zavedená před několika lety firmou Altera v obvodech FPGA řady Stratix [10]. Tato technologie umožňuje konfigurovat logické buňky do dvou režimů (obr. 5) - buď jsou buňky rychlé a s vyšší spotřebou (tzv. standardní mód) nebo jsou nízkopříkonové se zpomalením funkce logiky. Volbu rychlosti a spotřeby buněk v podstatě provádí automaticky sám návrhový systém a nevyžaduje zásah návrháře. Rychlá logika se použije jen v místech tzv. kritických cest, kterých je v typickém návrhu přibližně 20 % [10]. Nízkopříkonový režim logiky šetří 50 % energie a používá se nejen u logických buněk, ale také u DSP bloků a u paměťových bloků.



Obr. 5: Programovatelná technologie řízení spotřeby

Jinou zajímavou technologicko-architektonickou metodou snížení spotřeby je použití dvouhranových klopných obvodů – máme na mysli dvouhranové obvody vytvořené v architektuře hradlových polí jako primitivum (neuvažujeme složení dvouhranového klopného obvodu ze dvou jednohranových, jak je v systémech časté). Příkladem může být tzv. technologie CoolClock použitá v obvodech Xilinx Coolrunner-II. Při syntéze se vydělí vstupní frekvence dvěma a použijí se zmiňované dvouhranové obvody. Tím se v podstatě pracovní frekvence sníží na polovinu bez ztráty výkonosti.

Jak již bylo naznačeno v úvodní kapitole, nezanedbatelný podíl na celkové výkonové ztrátě mají I/O buňky. Jejich spotřebu nejvýrazněji ovlivňují proudy tekoucí výstupními piny. Tyto proudy jsou jednak dány přechodovými ději při změně logické úrovně a jednak statickými proudy způsobenými odporovou zátěží (signálové piny zakončené terminátory, pull-up rezistory v otevřených kolektorrech apod.). Návrhář může ovlivnit zmiňované ztráty vhodnou volbou I/O standardů, optimální velikostí pull-up rezistorů, preferováním seriových terminátorů vedení před paralelními, či vhodnou strmostí náběžných/sestupných hran výstupních signálů. Z hlediska vstupních signálů má u vesměs používané technologie CMOS největší vliv na spotřebu I/O buněk rychlost náběžných/sestupných hran, tj. doba přechodového děje. Důležité je také připojení všech nepoužitých vstupních pinů na definovanou logickou úroveň (nenechat je plovoucí).

7 Závěr

Z článku je patrné, že napájení hradlových polí není jednoduchou záležitostí a je třeba mu věnovat náležitou pozornost. Obvody FPGA většinou vyžadují více napájecích napětí, na která jsou kladeny i rozdílné požadavky podle konkrétního použití. Největší pozornost je z tohoto pohledu třeba věnovat napájení fázových závěsů, a to včetně návrhu desky plošného spoje. Při dimenzování zdrojů musíme brát v úvahu nejen nárazové proudy po připojení napájení, ale zejména vzrůst spotřeby s nárůstem pracovní frekvence celého systému.

Snahou návrháře je samozřejmě dosažení co nejnižší výkonové spotřeby navrhovaného systému. Zásadní vliv na tento parametr má výběr napájecích zdrojů s vysokou účinností, tj. preferování spínaných regulátorů před lineárními. Další nezanedbatelný vliv má optimální architektonický návrh, při kterém lze především na vyšších úrovních abstrakce výrazně ovlivnit stěžejní výkonovou ztrátu logického jádra obvodu FPGA.

Literatura

- [1] Krehbiel, J.: Powering FPGA-based Boards. FPGA and Structured ASIC Journal, [online], [cit. 2009-09-24], dostupné z: <http://www.fpgajournal.com/articles/20040713_intersil.htm>
- [2] Actel: Technology Solutions - Power. [online], [cit. 2009-09-24], dostupné z: <<http://www.actel.com/products/solutions/power/default.aspx>>
- [3] Texas Instruments: Tips for successful power-up of today's high-performance FPGAs. [online], [cit. 2009-09-24], dostupné z: <<http://focus.ti.com/lit/an/slyt079/slyt079.pdf>>
- [4] National Semiconductor: Power Management Design Guide for Altera FPGAs and CPLDs. [online], [cit. 2009-09-24], dostupné z: <http://www.national.com/appinfo/power/files/NationalAlteraDesignGuide.pdf>
- [5] Xilinx: Spartan-3 FPGA Family Data Sheet. [online], [cit. 2009-09-22], dostupné z: <http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf>
- [6] Actel: High-Volume nano FPGAs. [online], [cit. 2009-09-24], dostupné z: <http://www.actel.com/documents/nano_Technology_WP.pdf>
- [7] Shang, L. – Kaviani, A. – Bathala, K.: Dynamic Power Consumption in Virtex-II FPGA Family. [online], [cit. 2009-09-24], dostupné z: <<http://ecee.colorado.edu/~lshang/papers/shang02feb.pdf>>
- [8] Hansen, L. –Thomas, T.: Complete FPGA and CPLD Power Analysis. [online], [cit. 2009-09-24], dostupné z: <http://www.xilinx.com/publications/xcellonline/xcell_53/xcell_53_pdf/xcell_53_power53.pdf>
- [9] Xilinx: Power Consumption in 65 nm. [online], [cit. 2009-09-24], dostupné z: <http://www.xilinx.com/support/documentation/white_papers/wp246.pdf>
- [10] Altera: Stratix Series FPGA Low Power Consumption Features. [online], [cit. 2009-09-24], dostupné z: <<http://www.altera.com/products/devices/stratix-fpgas/about/low-power-consumption/stx-power-about.html>>