



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

IMPLEMENTACE ROZHRANÍ HDMI/DVI DO OBVODU FPGA

HDMI/DVI INTERFACE IMPLEMENTATION INTO FPGA CHIP

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

LIBOR JUŘICA

VEDOUCÍ PRÁCE
SUPERVISOR

ING. MAREK BOHRN

BRNO 2013



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Libor Juřica

ID: 136532

Ročník: 3

Akademický rok: 2012/2013

NÁZEV TÉMATU:

Implementace rozhraní HDMI/DVI do obvodu FPGA

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte možnosti implementace rozhraní HDMI/DVI, která pracují ve standardu TMDS, do obvodu FPGA. Navrhněte softwarové jádro pro generování signálu ve standardu TMDS.

Cílem práce je implementovat do FPGA obvod generující signály TMDS a vytvořit ukázkovou aplikaci využívající toto rozhraní pro zobrazení grafiky na běžném počítačovém monitoru.

Zvažte možnost implementace HDMI/DVI přijímače do zvoleného FPGA.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce.

Termín zadání: 11.2.2013

Termín odevzdání: 6.6.2013

Vedoucí práce: Ing. Marek Bohrn

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Práce se zabývá implementací rozhraní pro přenos digitálních video signálů do obvodu FPGA. Jsou zde popsány technické specifikace rozhraní HDMI a DVI. Teoretická část je zaměřena na popis standardu TMDS, který definuje přenos video signálu, a na popis logiky TMDS vysílače a přijímače. Druhá část práce se zabývá vytvořeným softwarovým jádrem a jsou zde uvedeny výsledky z testování. K testování softwarového jádra je použita vývojová deska s FPGA obvodem Spartan-6.

KLÍČOVÁ SLOVA

HDMI, DVI, FPGA, VHDL, Spartan-6, TMDS

ABSTRACT

This work focuses on the implementation of interface for transmission of digital video signals in the FPGA. The thesis includes technical specifications for HDMI and DVI. Theoretical part deals with the TMDS standard, which defines the broadcasting of the video signal, and describes the TMDS transmitter logic. The second part then focuses on the constructed IP core and includes the testing results. Development board with FPGA Spartan-6 was used for testing.

KEYWORDS

HDMI, DVI, FPGA, VHDL, Spartan-6, TMDS

BIBLIOGRAFICKÁ CITACE DÍLA

JUŘICA, L. Implementace rozhraní HDMI/DVI do obvodu FPGA. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav mikroelektroniky, 2013. 38 s. Bakalářská práce. Vedoucí práce: Ing. Marek Bohrn

PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma Implementace rozhraní HDMI/DVI do obvodu FPGA jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu bakalářské práce Ing. Marku Bohrnovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

V Brně dne

.....

(podpis autora)

OBSAH

Seznam obrázků	vi
Seznam tabulek	vii
Úvod	1
1 Video rozhraní	2
1.1 Analogová rozhraní	2
1.2 Digitální rozhraní	5
1.2.1 Rozhraní typu HDMI a DVI	5
1.2.2 Signalizace v digitálních rozhraních	7
2 TMDS signalizace	9
2.1 Enkódovací a dekodovací algoritmus	10
2.2 Vertikální a horizontální synchronizace	13
3 Vývojová deska s FPGA Spartan-6	14
3.1 Parametry FPGA obvodu.....	15
4 TMDS vysílač a přijímač V FPGA	16
5 Návrh obvodu TMDS vysílače	18
5.1 Obvody vysílače.....	19
5.2 Generování řídicích signálů	21
5.2.1 Dynamická změna rozlišení obrazu	23
5.3 Obvod pro generování testovacího obrazce.....	25
6 Závěr	26
Literatura	27
Seznam symbolů, veličin a zkratk	28
Seznam příloh	29

SEZNAM OBRÁZKŮ

Obr. 1.1: VGA konektor [13].....	2
Obr. 1.2: Konektor typu RCA kompozitního videa [7].....	3
Obr. 1.3: Konektor S-Video [7]	3
Obr. 1.4: Konektor typu RCA komponentního videa [7].....	4
Obr. 1.5: Kompatibilita SCART konektoru [13]	4
Obr. 1.6: Rozložení pinů HDMI konektoru [5]	5
Obr. 1.7: HDMI konektory [5].....	6
Obr. 1.8: Typy DVI konektorů [6]	7
Obr. 1.9: Vrstvová architektura digitálních rozhraní	8
Obr. 2.1: Jednoduchá TMDS linka [3]	9
Obr. 2.2: Diagram enkódovacího algoritmu [9].....	11
Obr. 2.3: Diagram dekódovacího algoritmu [9].....	12
Obr. 2.4: Generování synchronizačních signálů [11].....	13
Obr. 2.5: Generování povolovacího signálu [2].....	13
Obr. 3.1: Vstupní a výstupní porty vývojové desky [1]	14
Obr. 4.1: Blokové schéma TMDS vysílače [2].....	16
Obr. 4.2: Blokové schéma TMDS přijímače [2].....	17
Obr. 5.1: Topologie návrhu rozhraní.....	18
Obr. 5.2: Blokové schéma navrženého enkodéru	19
Obr. 5.3: Návrh bloku pro serializaci	20
Obr. 5.4: Blokové schéma řídicích obvodů	21
Obr. 5.5: Generování synchronizačních signálů pomocí spočítaných konstant	22
Obr. 5.6: Nastavení signálů pro ovládání DCM [4]	23
Obr. 5.7: Ukázka hloubky barev digitálního rozhraní.....	25
Obr. 5.8: Testovací obrazec pro kontrolu ostrosti digitálního rozhraní	25

SEZNAM TABULEK

Tab. 1.1: Rozložení pinů HDMI konektoru [5]	6
Tab. 3.1: TMDS datová propustnost pro FPGA Spartan-6 [1].....	15
Tab. 5.1: Seznam podporovaných rozlišení.....	23
Tab. 5.2: Spočítané hodnoty M a D pro změnu frekvence	24

ÚVOD

Bakalářská práce se zabývá problematikou současných rozhraní pro přenos video signálů, jejich implementací do obvodu FPGA a možnostmi dosažení vysokých rozlišení obrazu. V současnosti se ustupuje od zavedených analogových standardů a v elektronických zařízeních, která podporují přenos obrazu nebo jeho zobrazení, jsou čím dál běžnější digitální rozhraní. Také v podpoře zobrazovacích standardů je zřejmý neustálý pokrok. Některá zařízení podporují jen progresivní (progressive) zobrazení a některá i zobrazení prokládané (interlaced). Zobrazovací formáty s označením HD ready (720p nebo 1080i) nebo full HD (1080p) jsou dnes zcela běžné. Pro přenos těchto obrazů s vysokým rozlišením byly vytvořeny a jsou stále vyvíjeny rozhraní typu HDMI a DVI. Tato rozhraní se zdají být perspektivní do budoucna, protože nabízejí vysokou kvalitu, cenovou dostupnost a univerzálnost použití.

Cílem práce je popis jádra rozhraní přenášejícího signály dle normy DVI a jeho implementace do obvodu FPGA. Jádro je popsáno v jazyce VHDL a generuje obrazec, který je přenesen na zobrazovací monitor kompatibilní s HDMI nebo DVI. Navržený systém je univerzální (vytvořen podle DVI standardu) a podporuje různá rozlišení obrazu. Pro práci je zapůjčena vývojová deska s FPGA Spartan-6, na které jsou umístěny porty HDMI.

První kapitola pojednává o rozhraních, která se v současnosti používají. Jsou zde uvedeny specifikace analogových a digitálních rozhraní, jejich použití a typy používaných konektorů. V kapitole 2 je popsán přenosový standard digitálního rozhraní TMDS. Je zde vysvětlen enkódovací algoritmus, kterým se redukuje elektromagnetické rušení, a generování potřebných signálů pro zobrazovací zařízení. Kapitola 3 obsahuje informace o zapůjčené vývojové desce. Jsou zde uvedeny důležité porty i funkční bloky, které jsou využity při praktické části. V kapitole 4 jsou uvedena doporučená obvodová zapojení TMDS vysílače a přijímače pro obvod FPGA.

Kapitola 5 se zabývá vlastním návrhem vysílače a k němu přidruženým obvodům. Jsou zde popsány jednotlivé navržené bloky, vysvětlení jejich funkce a popis ovládání systému pomocí přepínačů na vývojové desce. V další části je popsán navržený obvod generující testovací obrazec a jsou zde uvedeny praktické výstupy práce. Softwarové jádro je popsáno v popisném jazyce VHDL a pro implementaci do obvodu FPGA je použit program Xilinx ISE WebPACK v14.1.

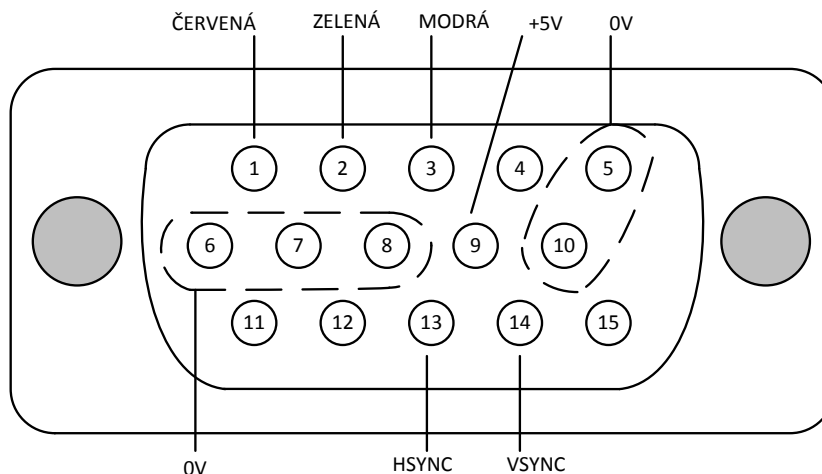
K práci jsou připojeny přílohy, které obsahují seznam vytvořených VHDL modulů, jejich struktura a popis a informace o rozlišeních obrazu.

1 VIDEO ROZHRAŇÍ

Rozhraní pro přenos video signálu se dělí na analogová a digitální. Digitální rozhraní oproti analogovému nabízí kvalitnější přenos dat při vyšších frekvencích a tudíž i možnost většího zobrazovaného rozlišení obrazu. V současnosti se upouští od analogových a přechází k digitálním nebo rozhraním využívajících přenos signálu přes optická vlákna.

1.1 Analogová rozhraní

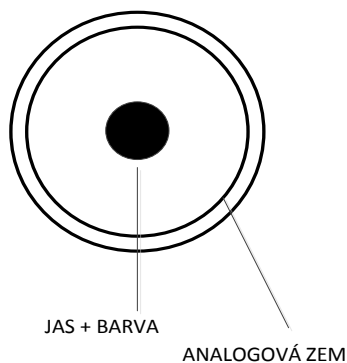
VGA je standard pro počítačové monitory vydaný společností IBM v roce 1987 a je určen pro analogové signály. Analogovým rozhraním jsou přenášeny informace o barvě (červená, zelená, modrá) a synchronizační signály (vertikální a horizontální). Nativní bitová šířka kanálu původního VGA je 6 bitů, což udává 262144 možných barev. Barevná hloubka se může zvýšit přidáním dalšího vodiče, který nese signál pro průhlednost barev. Původní VGA specifikace uvádí maximální rozlišení 640x480 zobrazovaných bodů. Standard byl dále vyvíjen, vznikly standardy WVGA, SVGA, XGA a další, které dosahují vyšších rozlišení obrazu. Analogové rozhraní VGA je schopné přenášet obraz ve vysokém rozlišení, avšak přibližně od 2 megapixelů (1920x1080 bodů) se kvalita přenosu zhoršuje. [7]



Obr. 1.1: VGA konektor [13]

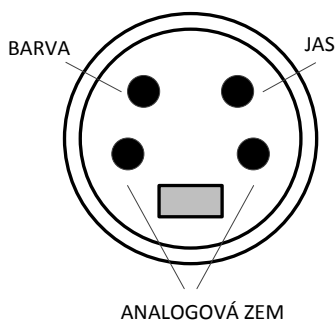
Pro analogové rozhraní je používáno několik druhů konektorů. Na Obr. 1.1 je zobrazen klasický VGA konektor, který je umístován na počítačové monitory a grafické karty. Konektor VGA obsahuje 15 pinů, 3 piny jsou určeny pro přenos barvy, 2 vodiče přenáší synchronizační signály.

Rozšířená analogová rozhraní jsou kompozitní, komponentní a S-Video a SCART. Tato rozhraní jsou typická pro přenos signálu k televizorům ze zdroje (např. set-top-box, DVD přehrávač, apod.). Fyzická vrstva kompozitního videa je tvořena jedním vodičem. Ten přenáší enkódovanou informaci o barvě a jasu. Přenášený signál obsahuje i synchronizační pulsy. Konektor pro kompozitní video je popsán na Obr. 1.2. [7]



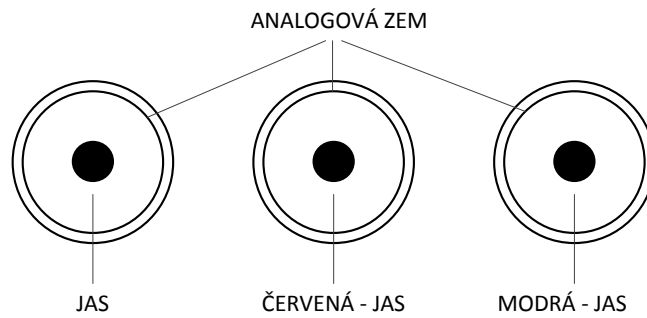
Obr. 1.2: Konektor typu RCA kompozitního videa [7]

Analogové rozhraní S-Video přenáší signál pomocí dvou samostatných vodičů. Na první kanál je připojen signál s enkódovanou informací o barvě a na druhý informace o jasu. S-Video využívá několika konektorů s různými počty pinů, původní rozhraní ale popisuje čtyřvodičový konektor, viz Obr. 1.3. [7]



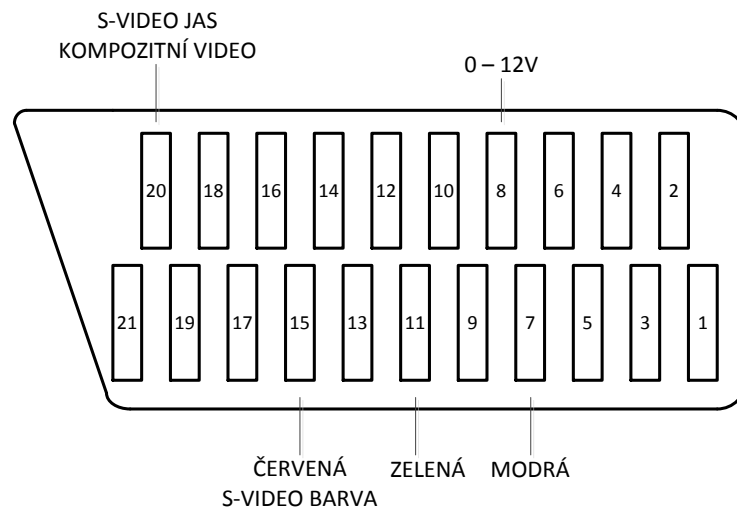
Obr. 1.3: Konektor S-Video [7]

Komponentní video je z hlediska kvality přenosu lepší než S-video a kompozitní video. Signál je přenášen třemi kanály. Existuje několik modifikací tohoto rozhraní, ale nejčastější je přenos jasu prvním kanálem a zbylé dva přenášejí signál představující rozdíl mezi barvou a jasnem. Třetí barva je odvozena pomocí všech tří zmíněných signálů. Výhodou tohoto rozhraní je dosažení vyšších rozlišení oproti kompozitnímu videu a S-Video. Konektory, viz Obr. 1.4, jsou stejné jako v případě kompozitního videa. [7]



Obr. 1.4: Konektor typu RCA komponentního videa [7]

Rozhraní SCART spojuje předchozí analogová rozhraní v jedno. SCART byl vyvinut ve Francii a nejvíce rozšířen je právě v Evropě. Používá se především pro televize a video zdroje pro televize (DVD přehravač). Pro přenos barevné informace se používají 3 vodiče (červená, zelená, modrá). Ačkoliv toto rozhraní nebylo určeno pro přenos signálů bez barvy (jas), v současné podobě rozhraní je to možné. Na Obr. 1.5 jsou zobrazeny vstupy pro různá analogová rozhraní na SCART konektoru.



Obr. 1.5: Kompatibilita SCART konektoru [13]

1.2 Digitální rozhraní

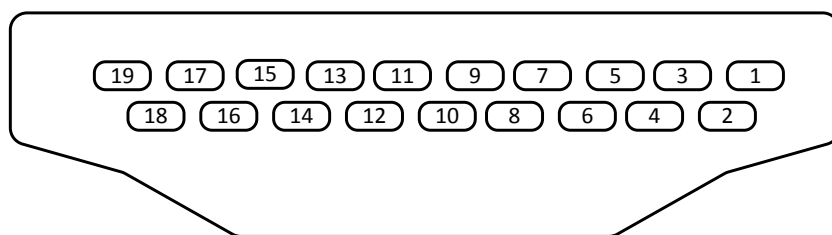
Mezi digitální rozhraní pro přenos videa patří rozhraní typu HDMI a DVI. Tato rozhraní se liší typem konektoru a schopností přenášet i audio signál. Zatímco HDMI je schopno přenášet audio signál spolu s videem, DVI je omezeno jen na video. Digitální rozhraní je navrženo tak, aby potlačovalo vznik elektromagnetického rušení, které negativně ovlivňuje přenášený signál. Díky tomu je možné dosahovat velké rychlosti přenosu. Počet barev je určen bitovou šířkou signálu, který přenáší informaci o barvě. Typická šířka signálu je 8 bitů, což při všech kombinacích barev tvoří paletu s více než 16 miliony barev. Pro větší barevnou hloubku jsou tato rozhraní používána ve dvoukanálovém provedení.

Základem digitálních rozhraní je upravení přenášeného signálu tak, aby v kabelu nedocházelo k saturaci. Přenášený signál tedy musí být stejnosměrně elektricky vyvážený. Digitální rozhraní neobsahuje analogově digitální převodníky, díky čemuž nevzniká zkreslení, jako je tomu u rozhraní analogových. [3]

1.2.1 Rozhraní typu HDMI a DVI

HDMI je anglická zkratka High-Definition Multimedia Interface neboli multimediální rozhraní s vysokým rozlišením. Umožňuje nekomprimovaný vysokorychlostní přenos obrazu a zvuku mezi elektronickými zařízeními (monitory, projekory). Společnosti Hitachi, Panasonic, Philips, Silicon Image, Sony, Thomson a Toshiba vyvinuly standard HDMI a dále spolupracují na vývoji. [5]

HDMI je navrženo tak, že vstupními signály jsou mimo video signály i audio signály, které se využívají pro vnitřní zvukový systém cílového zařízení. Fyzická vrstva rozhraní je tvořena kabelem s diferenčními páry vodičů přenášející informaci o barvě a hodinový signál. Na Obr. 1.6 je zobrazeno schéma HDMI konektoru typu A, popis vodičů je v Tab. 1.1.



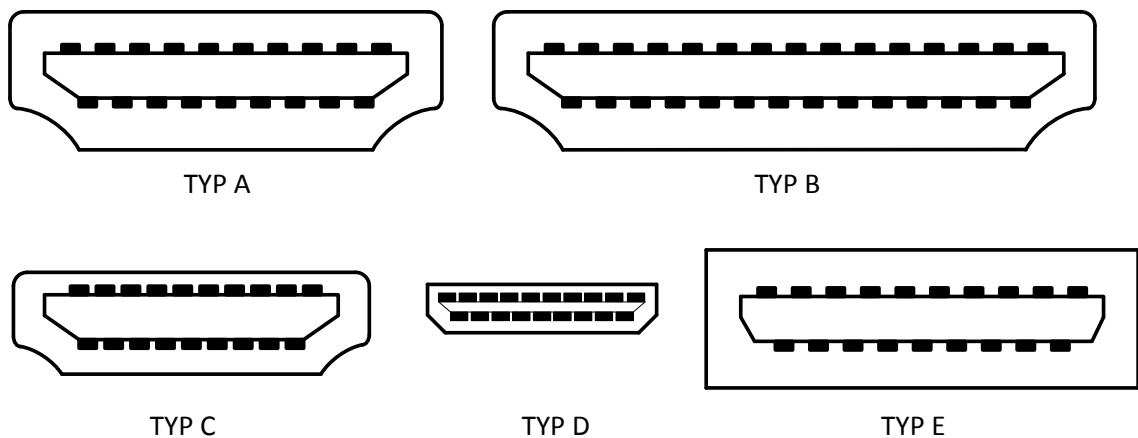
Obr. 1.6: Rozložení pinů HDMI konektoru [5]

Tab. 1.1: Rozložení pinů HDMI konektoru [5]

Číslo pinu	Kanál
1	Datový kanál 2+
3	Datový kanál 2-
4	Datový kanál 1+
6	Datový kanál 1-
7	Datový kanál 0+
9	Datový kanál 0-
10	CLK+
12	CLK-
18	Napájení (+5V)

Existuje 5 typů konektorů HDMI, které se liší svými rozměry, odolností, počtem pinů a využitím, viz Obr. 1.7. [5]

1. Typ A je nejrozšířenější, používá se především pro počítačové monitory. Obsahuje 19 pinů. Tento konektor je elektricky kompatibilní s konektorem typu DVI-D, který ale nepřenáší zvuk.
2. Konektor typu B má 29 pinů a oproti typu A nese 6 diferenčních párů. Konektor je schopen přenášet video při rozlišení až 3840x2400. Konektor typu B je také kompatibilní s konektorem DVI.
3. Konektor typu C je menší verze konektoru typu A. Obsahuje 19 pinů, které jsou oproti konektoru A napojené rozdílně. Je určen pro přenosná zařízení, čemuž odpovídají jeho rozměry.
4. Tento konektor byl vyvinut za účelem další miniaturizace. Jeho rozměry se blíží rozměrům standardního mikro-USB konektoru. Fyzické rozložení pinů se oproti typu A a C liší, počet pinů zůstává 19.
5. Jedná se o automobilový konektor. Kabely s konektory typu E tvoří propojovací systém odolný nadměrnému teplu a vibracím.

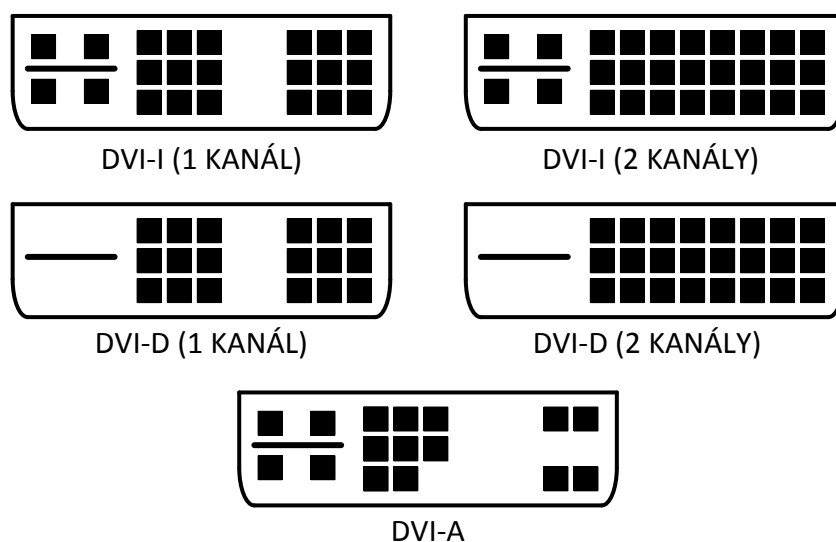


Obr. 1.7: HDMI konektory [5]

Rozhraní typu DVI (Digital Visual Interface) existuje v jednocanálovém a ve dvoukanálovém provedení. Dvoukanálové provedení se využívá u zařízení s požadavkem rozlišení většího než 2,6 megapixelů při frekvenci obnovy 60 Hz. Druhý datový spoj je také využíván pro větší bitovou hloubku než 24 bitů na pixel. Rozhraní typu DVI-I obsahuje 28 pinů, typ DVI-D obsahuje o 4 piny méně, chybí mu 4 analogové kontakty. [6]

Existují 3 typy konektorů DVI, viz Obr. 1.8.

1. Typ D, který podporuje jen digitální signál.
2. Typ A, který podporuje analogový signál, byl vyvinut pro kompatibilitu s analogovými monitory.
3. Typ I, který podporuje digitální i analogový signál.



Obr. 1.8: Typy DVI konektorů [6]

1.2.2 Signalizace v digitálních rozhraních

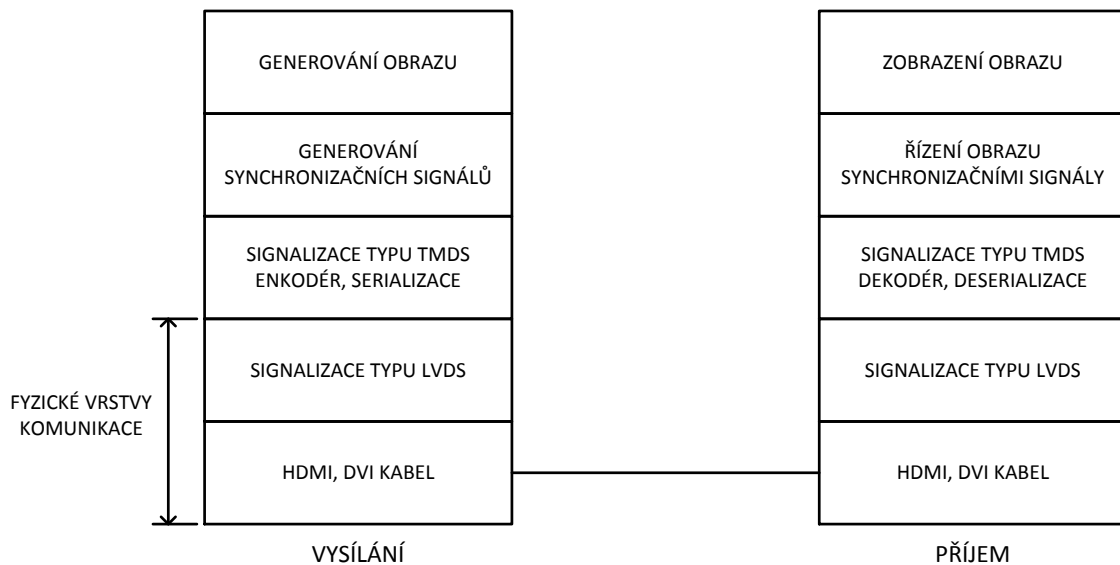
Architektura digitálního rozhraní se dělí do několika vrstev, viz Obr. 1.9. První fyzickou vrstvou je 100Ω kabel obsahující 4 páry kroucených vodičů, které přenáší signál z vysílače do přijímače. Další vrstvou, která patří do fyzické komunikace, je signalizace typu LVDS. Tento standard definuje přenos signálu s redukcí elektromagnetického rušení. Hodnoty napětí na jednom vodiči jsou v rozmezí 0 – 3,3V. [8, 9]

Nad fyzickými vrstvami je vrstva signalizace typu TMDS. První část TMDS vysílače je 8/10B enkódování signálu. V této části jsou signály zpracovávány tak, aby při vysílání těchto signálů přes fyzické vrstvy komunikace bylo redukováno elektromagnetické rušení. V přijímači je prováděna operace dekódování signálu. Tato operace převede enkódovaný signál na původní. Vrstva také obsahuje obvod pro převedení signálu na vysílaný formát – sériový stream.

Nad vrstvou TMDS jsou obvody generující synchronizační signály pro řízení zobrazení. Obraz musí být v definovaném formátu, aby byl na zařízení zobrazen. Každé rozlišení obrazu má definované rozměry v pixelech a řídicí frekvenci, které

zobrazovací zařízení rozpozná, viz Příloha B. Poslední vrstva digitálního rozhraní je tvořena obvodem generující obraz. Zdroj obrazu generuje 8bitové signály udávající červenou, modrou a zelenou barvu. Pozice pixelu je určena synchronizačními signály.

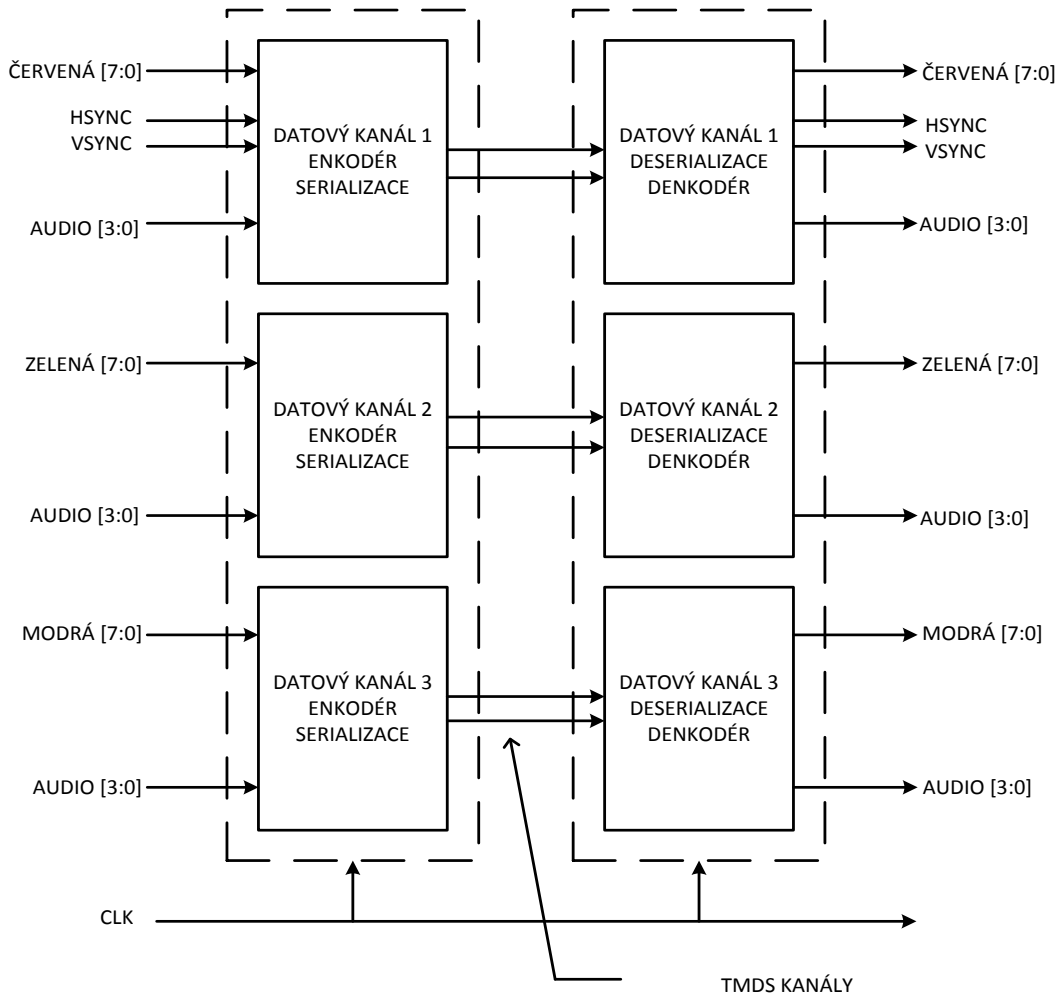
V praktické části této práce jsou popsány vrstvy LVDS, TMDS a serializace, generování synchronizačních signálů a generování testovacího obrazu. Vrstva LVDS je v FPGA vyřešena připojením výstupního bloku OBUFDS, který výstupní signál rozdělí na dva diferenční signály. Nejsložitější část práce je tvořena vrstvou TMDS a serializace.



Obr. 1.9: Vrstvová architektura digitálních rozhraní

2 TMDS SIGNALIZACE

TMDS je standard pro vysokorychlostní přenos dat. Tento standard je využíván digitálními rozhraními typu DVI a HDMI. Vstupní 8bitový signál je pomocí enkódovacího algoritmu převeden na 10bitový signál. Dle specifikace rozhraní je možné provádět komunikaci přes 2 datové kanály. Oba kanály sdílí stejný hodinový signál. [3]



Obr. 2.1: Jednoduchá TMDS linka [3]

Enkódovací algoritmus, který je obsažen v logice TMDS vysílače, redukuje vznik elektromagnetického rušení při přenosu přes klasické měděné vodiče a stejnosměrné elektrické vyvážení, které je důležité pro přenos přes optické kabely. Další výhodou tohoto enkódování je umožnění snadnější obnovy hodinového signálu v přijímači a to dovoluje použití kabelů větších délek.

2.1 Enkódovací a dekodovací algoritmus

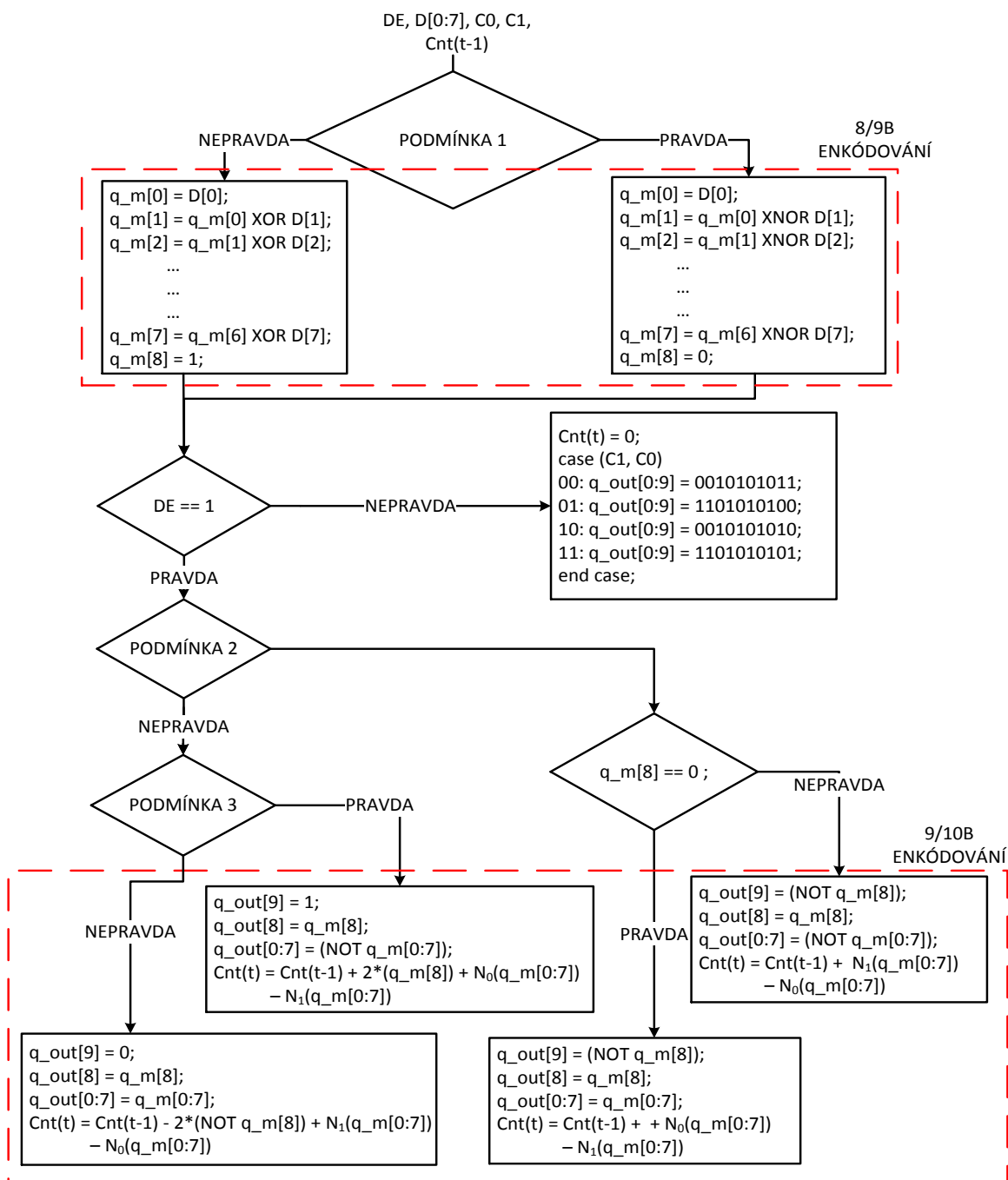
Enkódování vstupního signálu patří nad fyzickou vrstvu komunikace do vrstvy TMDS. Zde je vstupní 8bitový signál upraven tak, aby bylo redukováno elektromagnetické rušení při přenosu fyzickou vrstvou. Signál je enkódován podle algoritmu, který je popsán v oficiální specifikaci pro rozhraní DVI [9], viz Obr. 2.2. Výstupní signál je serializován a TMDS kanál vysílá tento 10bitový signál po bitu od LSB po MSB s nástupnou hranou hodinového signálu.

Enkódování pro časový úsek, kdy je aktuální pixel v aktivní oblasti, je rozděleno na dvě části. V první části se vstupní 8bitový signál dostane do enkodéru. Tato část logiky zajišťuje minimalizaci počtu přechodů mezi log. 1 a log. 0 v signálu. K tomuto signálu je připojen jeden bit, který udává převodní funkci. Druhá část enkodéru zajišťuje stejnosměrnou vyváženost signálů. K této části je připojen výstupní signál z první části a disparita, která určuje počet log. 1 a log. 0 v předchozím výstupním signálu. K 9bitovému signálu je připojen další bit indikující změnu signálu v druhé části. Oba připojené bity jsou využity pro dekodování signálu v přijímači.

Během časových úseků, ve kterých je aktuální pixel mimo aktivní oblast, je výstupní signál vybírán ze čtyř různých 10bitových slov. Tyto signály se určují podle vstupních kontrolních signálů (vertikální a horizontální synchronizace) do enkodéru a určují stav zobrazení (konec zobrazovaného řádku nebo snímku na zobrazovacím zařízení).

Enkodér má na vstupu kromě signálů udávajících barvu také kontrolní signály, povolovací signál DE a hodinový signál. Signál DE indikuje polohu pixelu v aktivní zobrazovací oblasti a povoluje enkódovanému signálu zapsání na výstup. TMDS vysílač obsahuje tři stejné enkodéry, které přijímají tři informace o barvě (červená, zelená a modrá). K jednomu enkodéru jsou pak připojeny HSYNC a VSYNC jako kontrolní signály. Řídící hodinový signál musí mít stejnou fázi a frekvenci pro všechny tři kanály.

Serializace je řízena desetinasobným hodinovým signálem, který je odvozen od základního hodinového signálu, a je prováděna vhodným digitálním blokem schopným pracovat v těchto frekvencích.



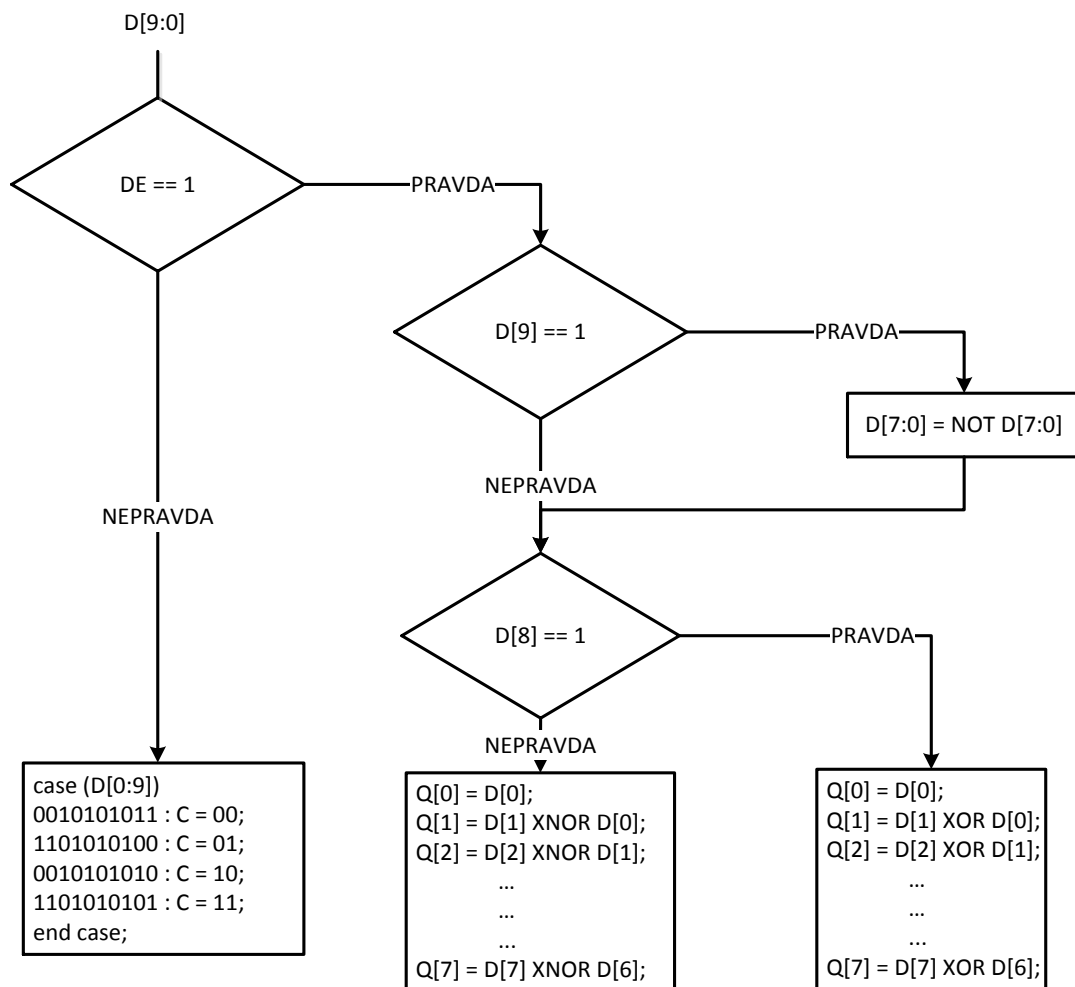
PODMÍNKA 1: (N₁(D) > 4) OR (N₁(D) == 4 AND D[0] == 0)
 PODMÍNKA 2: (Cnt(t-1) == 0) OR (N₁(q_m[0:7]) == N₀(q_m[0:7]))
 PODMÍNKA 3: (Cnt(t-1) > 0 AND (N₁(q_m[0:7]) > N₀(q_m[0:7]))) OR (Cnt(t-1) < 0 AND (N₁(q_m[0:7]) < N₀(q_m[0:7])))

D ... VSTUPNÍ 8 BITOVÝ SIGNÁL
 C0,C1 ... KONTROLNÍ SIGNÁLY (HSYNC, VSYNC)
 CNT ... REGISTR PRO ULOŽENÍ HODNOTY DISPARITY (POČET VYSÍLANÝCH JEDNIČEK A NUL)
 Q_OUT ... 10 BITOVÝ VÝSTUPNÍ SIGNÁL
 N₁(x) ... POČET JEDNIČEK V SIGNÁLU x
 N₀(x) ... POČET NUL V SIGNÁLU x

Obr. 2.2: Diagram enkódovacího algoritmu [9]

V TMDS přijímači je na vstup připojen stream 10bitového signálu. Posílané data je nutné obnovit blokem schopným pracovat při vysokých pracovních frekvencích. Načítání začíná při přechodu z neaktivní do aktivní zobrazovací oblasti (DE = 1). Blok deserializace má na výstupu 10bitový paralelní signál.

Dekódování signálu ve vrstvě TMDS má opačnou funkci k enkódování a je mnohem jednodušší, viz Obr. 2.3. Na vstupu dekodéru jsou přijaté 10bitové signály. Dekodér nejprve rozpozná, zda přijaté signály patří do zobrazované aktivní oblasti. Jestliže patří, dekodér provádí zpětné kroky se signálem podle posledních dvou bitů, které indikují převrácení hodnot bitů v signálu a operaci, která byla provedena v první části enkódování. Na výstupu dekodéru je 8bitový signál udávající informaci o barvě.

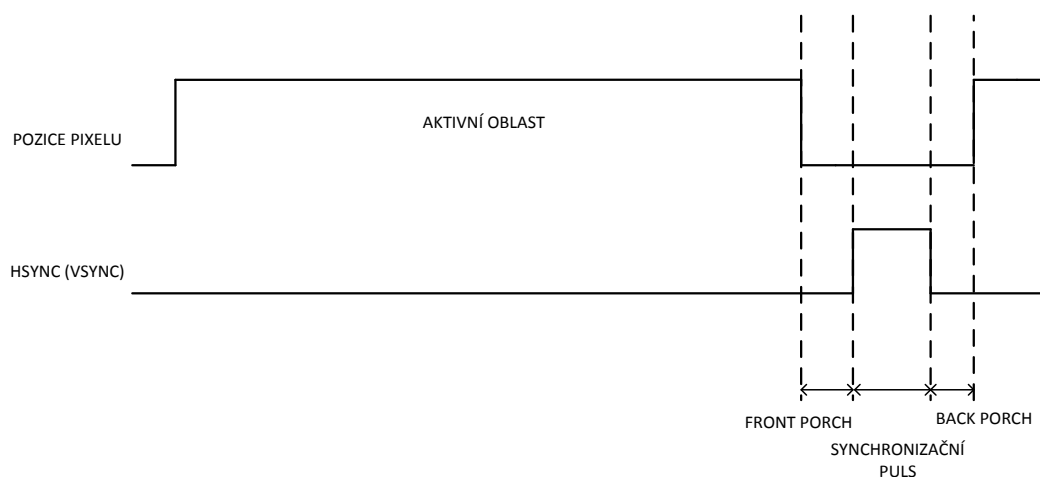


D ... VSTUPNÍ 10 BITOVÝ SIGNÁL
 Q ... VÝSTUPNÍ 8 BITOVÝ SIGNÁL
 C ... KONTROLNÍ SIGNÁLY (C0, C1)
 DE ... POVOLOVACÍ SIGNÁL

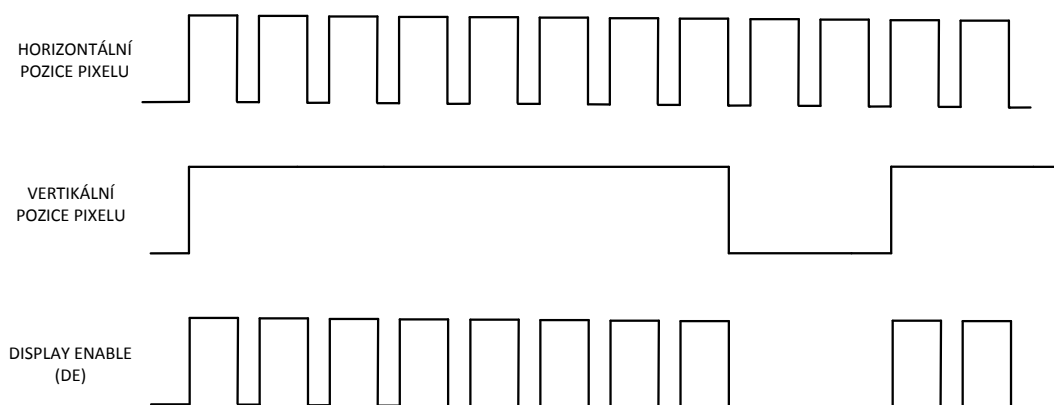
Obr. 2.3: Diagram dekódovacího algoritmu [9]

2.2 Vertikální a horizontální synchronizace

K bloku enkodéru jsou připojeny signály vertikální a horizontální synchronizace. Tyto signály udávají stav aktuálního zobrazení. Každé standardní rozlišení obrazu je popsáno pomocí několika časových úseků: viditelná oblast, front porch, synchronizační puls, back porch. Tyto hodnoty jsou definovány pro vertikální i horizontální časování, jejich součet určuje rozlišení. Synchronizační signály jsou v log. 1 po dobu definovanou jako synchronizační puls a DE signál je v log. 1, nachází-li se aktuální pixel v horizontální i vertikální aktivní oblasti, viz Obr. 2.4, 2.5. [9]



Obr. 2.4: Generování synchronizačních signálů [11]

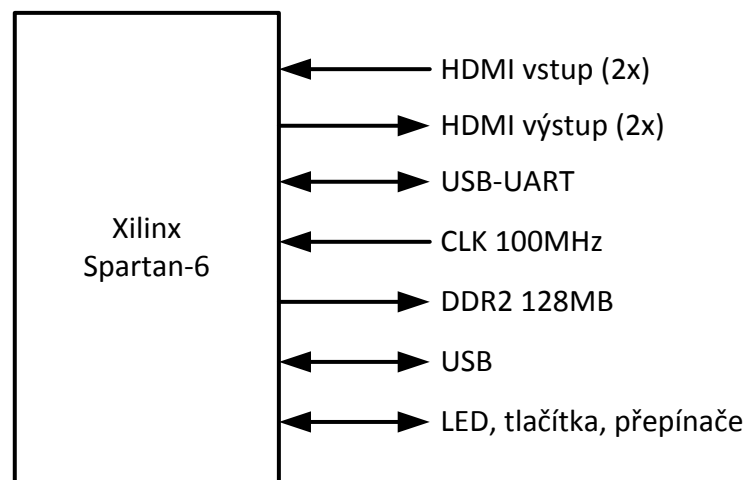


Obr. 2.5: Generování povolovacího signálu [2]

Horizontální a vertikální synchronizační signál má určenou polaritu pro každé rozlišení obrazu. Pokud je hodnota polaritu 1, pak v oblasti synchronizačního pulsu má synchronizační signál hodnotu log. 0 a ve zbylém průběhu log. 1, v případě polaritu 0 je to právě naopak. [9]

3 VÝVOJOVÁ DESKA S FPGA SPARTAN-6

V praktické části práce byla využívána zapůjčená vývojová deska Atlys Spartan-6 Development Board. Vývojová deska od firmy Digilent obsahuje FPGA obvod Xilinx Spartan-6 LX45 FPGA. Deska byla vybrána z důvodů vhodných portů (HDMI typ A). FPGA obvod umístěný na desce dokáže pracovat s hodinovým signálem až do 500MHz. Čip je vhodný pro složitější logiku, nabízí několik různých vstupních a výstupních portů, viz Obr. 3.1.



Obr. 3.1: Vstupní a výstupní porty vývojové desky [1]

Vývojová deska obsahuje čtyři HDMI porty, tři z nich jsou typu A (2x vstup, 1x výstup) a jeden je typu D (výstup). Pro správnou funkci DVI vysílače/přijímače jsou k FPGA připojeny datové kanály pro zobrazení jednotlivých barev, kanál pro přenos hodinového signálu a sběrnice I2C sloužící k řízení komunikace mezi jednotlivými HDMI porty. Umožňuje tak ke stejnému FPGA obvodu připojit např. více portů HDMI a řídit paralelní komunikaci. Jako výstupní konektor je v praktické části používán konektor typu A.

K programování FPGA je možné použít program Digilent Adept nebo Xilinx iMPACT. K propojení vývojové desky s počítačem je k dispozici USB kabel. Nastavení jednotlivých propojek (jumperů) pro možnost programování přes toto rozhraní je popsáno v manuálu vývojové desky. [1] Ovladače USB-UART pro systém Windows jsou ke stažení na webových stránkách firmy EXAR.

Na vývojové desce jsou umístěny konektory pro přenos audio signálu. Jsou zde konektory na sluchátka, mikrofon, vstupní a výstupní konektor pro připojení externích zvukových zařízení. Tyto porty jsou vhodné pro případnou simulaci přenosu zvuku k přenosu videa pro rozhraní DVI.

3.1 Parametry FPGA obvodu

Vývojová deska obsahuje 100MHz CMOS oscilátor. Spartan-6 je rozdělen na 4 bloky. Vstupní hodinový signál může řídit všechny 4 bloky obvodu FPGA. Každý z těchto bloků obsahuje jeden blok DCM a dva PLL.

Blok DCM umožňuje fázový posuv (0° , 90° , 180° a 270°), násobení a dělení (přirozeným číslem od 2 do 16) vstupního hodinového signálu. Blok PLL používá napěťově řízené oscilátory (VCO), které generují signály s frekvencí od 500MHz do 1080MHz. VCO mají osm výstupů, z kterých odebíráme signál s jiným fázovým posuvem (0° , 45° , 90° , 135° , 180° , 225° , 270° , 315°). Výstupní signál může být dělen přirozeným číslem od 1 do 128.

Následující tabulka ukazuje datovou propustnost TMDS kanálu obvodu FPGA rodiny Spartan-6 v různých rychlostních třídách:

Tab. 3.1: TMDS datová propustnost pro FPGA Spartan-6 [1]

Rychlostní třída	Datová propustnost (Mb/s)
-4	1080
-3	1050
-2	945
-1L	500

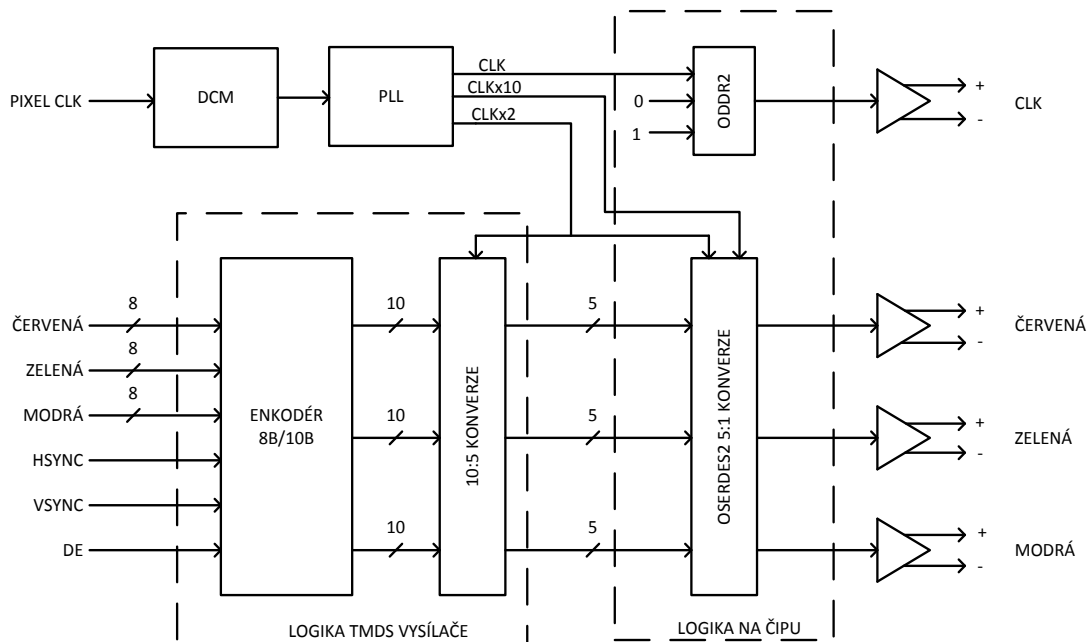
V nejvyšší rychlostní třídě FPGA je možnost dosáhnout standardního rozlišení obrazu $1280 \times 1024 @ 60\text{Hz}$. Dosažitelné je také v současnosti velmi rozšířené rozlišení $1280 \times 720 @ 60\text{Hz}$ (HDTV 720p). FPGA Spartan-6 obsahuje určité bloky, které jsou ideální pro implementaci video rozhraní. Jedná se především o bloky OSERDES2 a ISERDES2, které jsou určeny pro serializaci signálu. Tyto bloky jsou schopné pracovat s vyššími frekvencemi než standardní logika v FPGA. [2]

4 TMDS VYSÍLAČ A PŘIJÍMAČ V FPGA

Logika rozhraní se dělí na TMDS přijímač a vysílač. TMDS vysílač převádí vstupní data (bity pro barvu a synchronizaci) na sériový signál a vysílá je přes diferenční párové vodiče do zobrazovacího zařízení. Naopak TMDS přijímač převádí sériové vstupní signály z diferenčních párových vodičů na paralelní a umožňuje je dále v obvodu FPGA zpracovávat. Doporučená logika je uvedena ve firemní literatuře společnosti Xilinx. [2]

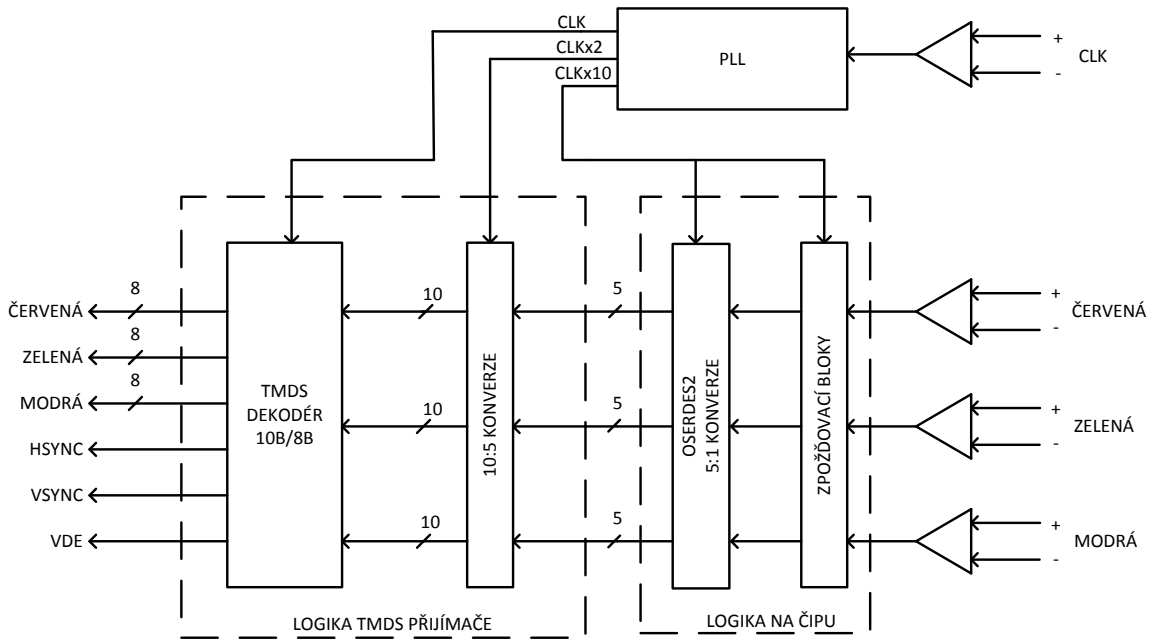
Návrh TMDS vysílače (přijímače) je rozdělen na dvě části. První část je enkódování (dekódování) podle standardu TMDS a druhá část je převod paralelního signálu na sériový a naopak. Blokové schémata jsou na Obr. 4.1, 4.2.

Vstupem enkodéru jsou signály udávající barvu, které jsou synchronní s hodinovým signálem. Dále jsou na vstupu kontrolní signály HSYNC a VSYNC a povolovací signál DE. Řízení vysílače je zajištěno pomocí DCM a PLL, které generují hodinové signály. Enkodéry jsou popsány podle DVI specifikace, každý z nich má na výstupu enkódovaný 10bitový signál. Přes jeden kanál (modrá barva) se přenáší kontrolní signály HSYNC a VSYNC, zbylé dva mají na vstupu těchto signálů připojenou nulu. Enkódované signály jsou serializovány ve dvou krocích. První je jednoduché oddělení horních a spodních 5 bitů signálu a druhé tvoří speciální blok FPGA OSERDES2. Pro přenos hodinového signálu je použit blok ODDR2. Ten generuje referenční hodinový signál, který je připojen na výstupní HDMI port. [2]



Obr. 4.1: Blokové schéma TMDS vysílače [2]

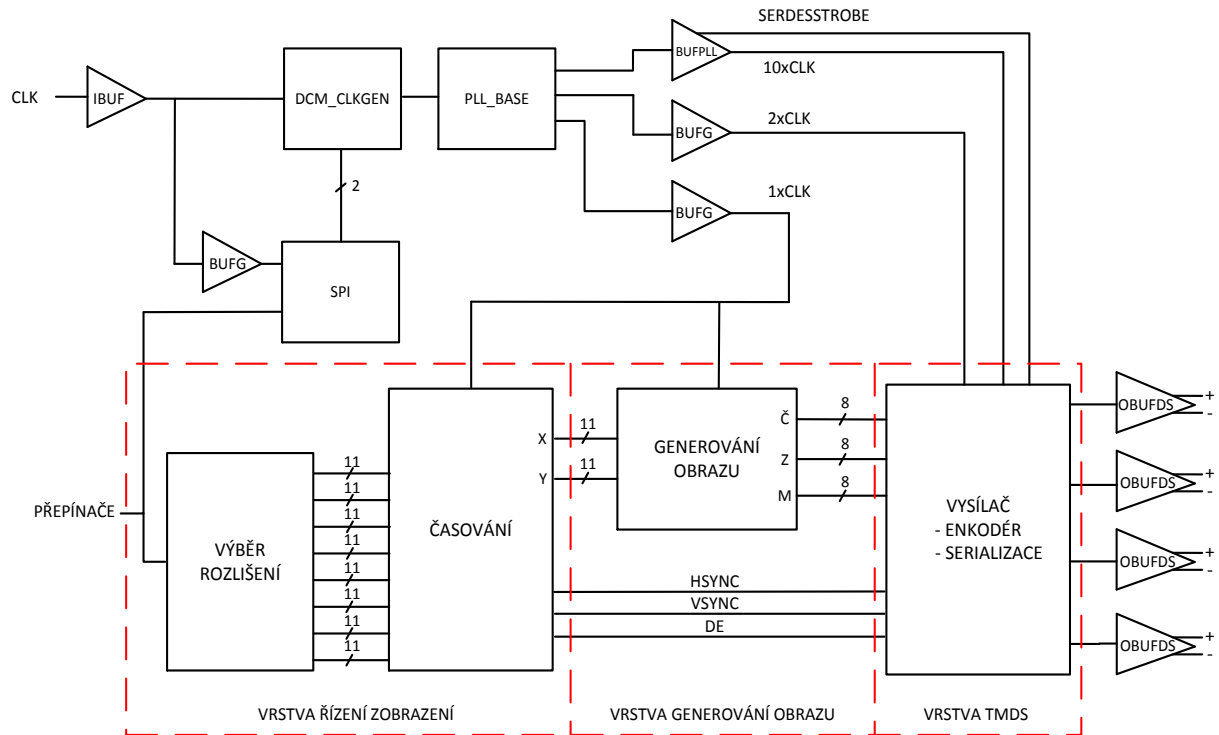
Na vstup přijímače jsou přivedeny signály udávající barvu a hodinový signál. Tyto signály jsou v prvním kroku synchronizovány s hodinovým signálem. Toho je dosaženo pomocí speciálních zpožďovacích bloků FPGA IDELAY2. Tento blok zpozdí příchozí signál tak, aby nástupná hrana hodinového signálu byla ve středu přijaté hodnoty signálu. V dalším kroku jsou vstupní signály převedeny na 5bitový paralelní signál pomocí dvou bloků ISERDES2 zapojených kaskádně a poté jsou spojeny dva po sobě jdoucí signály v jeden 10bitový signál. V poslední části vstupují paralelní 10bitové signály do bloku, který dekoduje signály na původní 8bitový signál. [2]



Obr. 4.2: Blokové schéma TMDS přijímače [2]

5 NÁVRH OBVODU TMDS VYSÍLAČE

Návrh rozhraní se dělí na několik funkčních částí. Vysílač je tvořen blokem enkodéru a blokem pro serializaci signálu. Pro demonstraci byl vytvořen obvod pro generaci barevného obrazce, který bude zobrazen na monitoru, a obvod generující řídicí signály pro změnu hodinového signálu systému. Hodinový signál je generován blokem DCM a potřebné odvozené hodinové signály jsou generovány blokem PLL.



Obr. 5.1: Topologie návrhu rozhraní

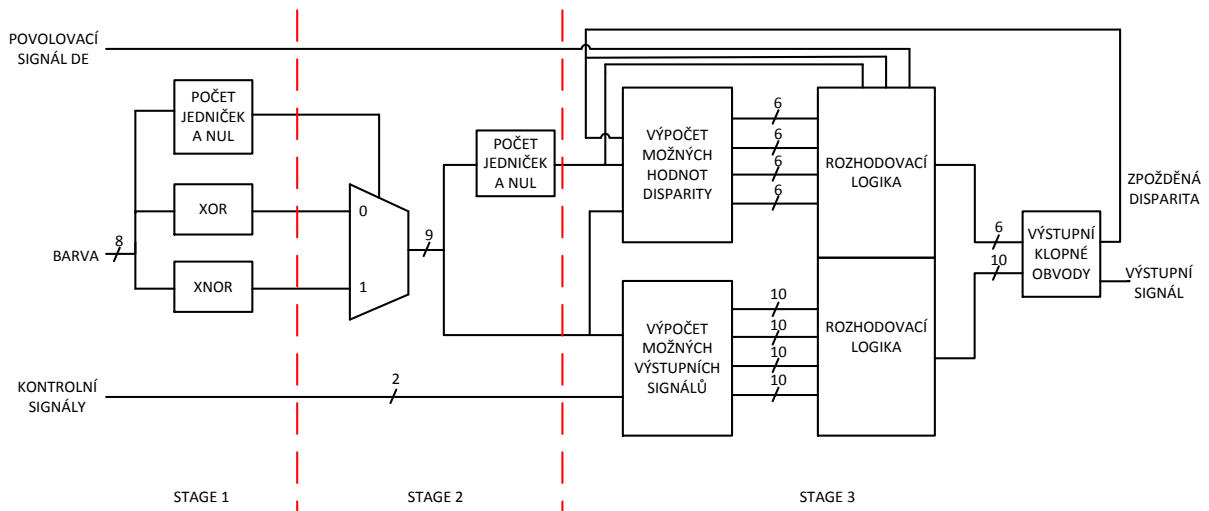
Vstupem do rozhraní je základní hodinový signál z oscilátoru vývojové desky s frekvencí 100MHz, mechanické přepínače určené k dynamickému přepínání rozlišení a tlačítko pro reset systému. Výstup tvoří 4 diferenční páry vodičů, 3 z nich přenáší enkódovanou informaci o barvě jako sériový stream deseti bitů, zbylý pár přenáší řídicí hodinový signál systému. Vysílač a k němu přidružené obvody (určování rozlišení, synchronizační signály, generování obrazce) jsou řízeny stejným hodinovým signálem, který je odvozen z bloku PLL. Vstupní hodinový signál řídí blok SPI, který mění frekvenci výstupního signálu z DCM. Přepínače jsou synchronizovány s hodinovým signálem, synchronizaci zajišťují pomocné bloky, které jsou složeny z klopných obvodů. Signál reset připojený na tlačítko je asynchronní, je použit pouze pro restartování bloků pro serializaci signálu. K ostatním částem je připojen reset z bloku PLL. Softwarové jádro bylo vytvořeno v návrhovém programu Xilinx ISE WebPACK v14.1. Celé jádro může fungovat s maximální frekvencí 156MHz a využívá 2% FPGA obvodu.

5.1 Obvody vysílače

Vysílač byl navržen s využitím doporučeného postupu z firemní literatury. [2] Návrh tvoří blok enkodéru a serializační blok. Vysílač má na vstupu 8bitové signály udávající barvu, kontrolní signály (HSYNC, VSYNC), povolovací signál DE a tři odvozené hodinové signály. Na výstupu vysílače je HDMI konektor, který obsahuje 3 datové diferenční páry vodičů pro barvu a 1 pár pro hodinový signál.

Návrh enkodéru byl pojat dvěma způsoby. Prvním způsobem je vytvoření logiky za pomoci sekvenčních obvodů. Jsou odděleny obvody pro počítání log. 1 a log. 0 v signálech, a v jednom taktu hodinového signálu je přiřazen devátý bit a signál je upraven pomocí funkce XOR nebo XNOR. V dalším taktu je přiřazen poslední bit a podle počtu log. 1 se provede invertování zbylých bitů. V této části se také počítá hodnota disparity.

Druhá metoda spočívá v rozdělení logiky na kombinační obvody (stage), které zpracovávají určitou část a jsou rozděleny klopnými obvody (pipeline). Klopné obvody redukuje zpoždění kombinační logiky a tento systém dokáže pracovat při vyšších frekvencích. V druhé části enkodéru je používána hodnota disparity předchozího signálu a proto tato část nelze rozdělit. Výstup této části je připojen na výstupní klopný obvod a zpožděná disparita je přivedena na vstup druhé části. Rozdělena je tedy jen první část enkódování. První stage počítá log. 1 a 0 ve vstupním signálu a provádí operaci XOR nebo XNOR. Ve druhé stage se rozhoduje, který z upravených signálů bude pokračovat, a počítají se v něm log. 1 a 0. Třetí stage dokončuje enkódování a na výstupu je klopný obvod. Bylo vyzkoušeno několik variant této metody, nejlepší výsledky byly dosaženy v tomto rozdělení.

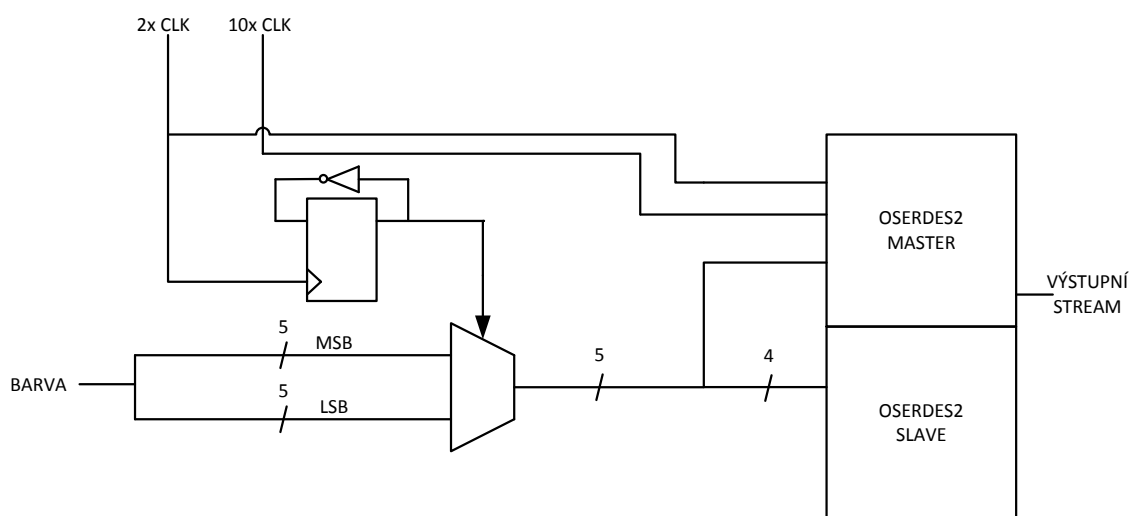


Obr. 5.2: Blokové schéma navrženého enkodéru

Výstupní signál z enkodéru musí být převeden na sériový stream bitů, přičemž LSB se posílá jako první. Podle doporučení firemní literatury je pro FPGA Spartan-6 [2] vhodné použít vysokorychlostní bloky OSERDES2. Tento blok je schopen pracovat s nejvyšší možnou frekvencí hodinového signálu, v případě Spartan-6 je tato frekvence 1080MHz. Pro převod 10bitového signálu na sériový stream během jednoho taktu řídicího hodinového signálu je nutné použít desetkrát rychlejšího signálu. Tím je omezena rychlost celého systému na 108MHz.

Tento blok umožňuje konverzi 4:1. Při kaskádovém zapojení je poměr konverze až 8:1. Tento poměr není dostatečný, proto je vstupní 10bitový signál nejprve převeden v poměru 2:1 a bloky OSERDES2 pracují v poměru 5:1. První převod je proveden jednoduchým multiplexorem, který na základě pomocného signálu měnícího se s nástupnou hranou dvojnásobného hodinového signálu posílá do druhé části postupně 5bitový signál LSB a MSB. Tento signál vstupuje do vysokorychlostních bloků OSERDES2, kde je převeden na sériový stream.

Výstupní část vysílače je tvořena bloky OBUFDS, které rozdělují signál na diferenční pár. Ten je tvořen dvěma signály vzájemně fázově posunutými o 180°. Pro vysílání hodinového signálu nelze na blok OBUFDS připojit samotný hodinový signál. Kopie hodinového signálu je generována stejným blokem, ale na vstupu je signál "111110000", který imituje základní hodinový signál.

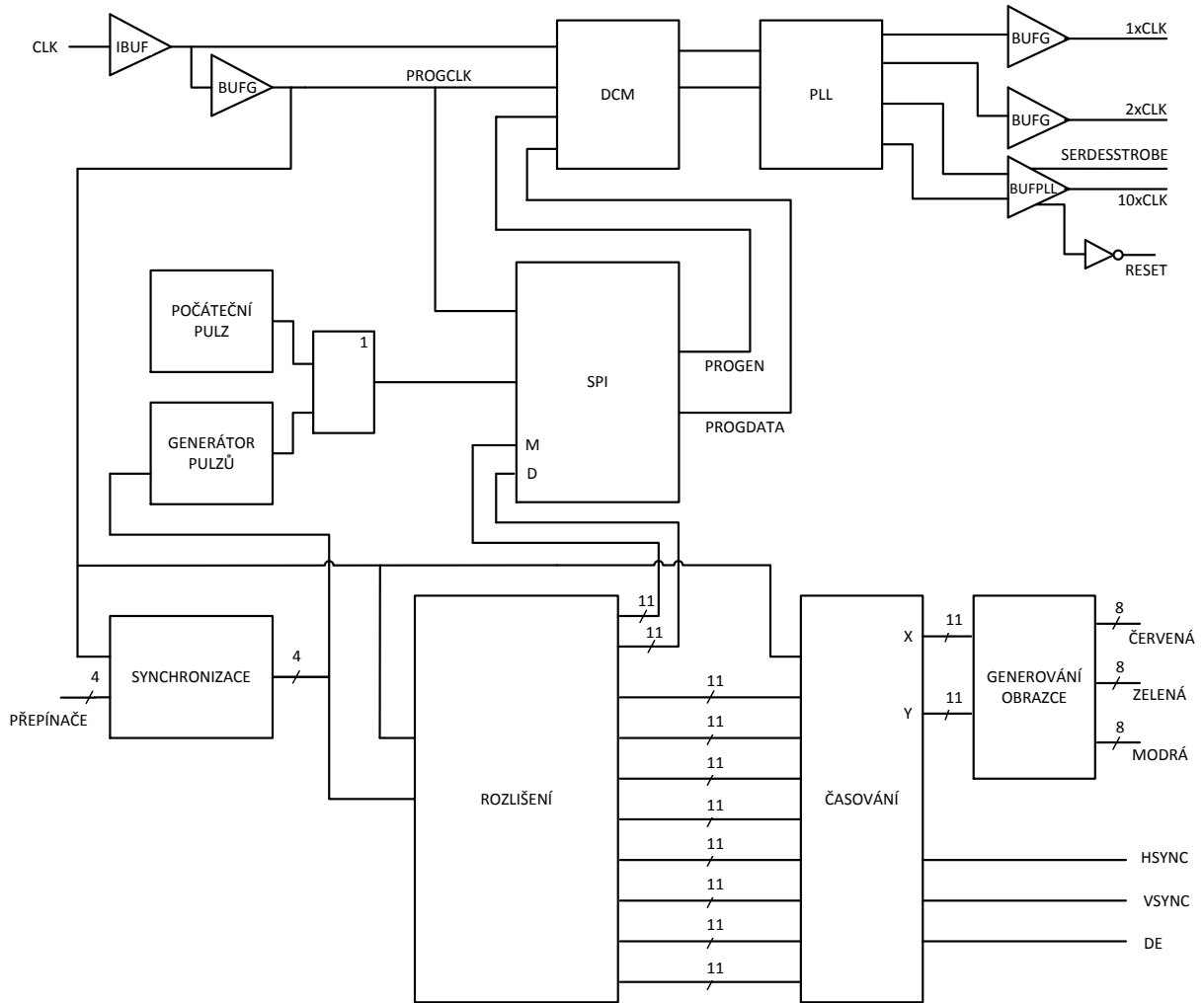


Obr. 5.3: Návrh bloku pro serializaci

Ze syntézy jednotlivých bloků vyplývá, že enkodér může pracovat s maximální frekvencí 208MHz a serializér s frekvencí 354MHz.

5.2 Generování řídicích signálů

Návrh se skládá z dvou druhů řídicích signálů. První z nich jsou hodinové signály a druhé jsou synchronizační signály HSYNC a VSYNC. Blokové schéma zapojení těchto řídicích obvodů je na Obr. 5.4.

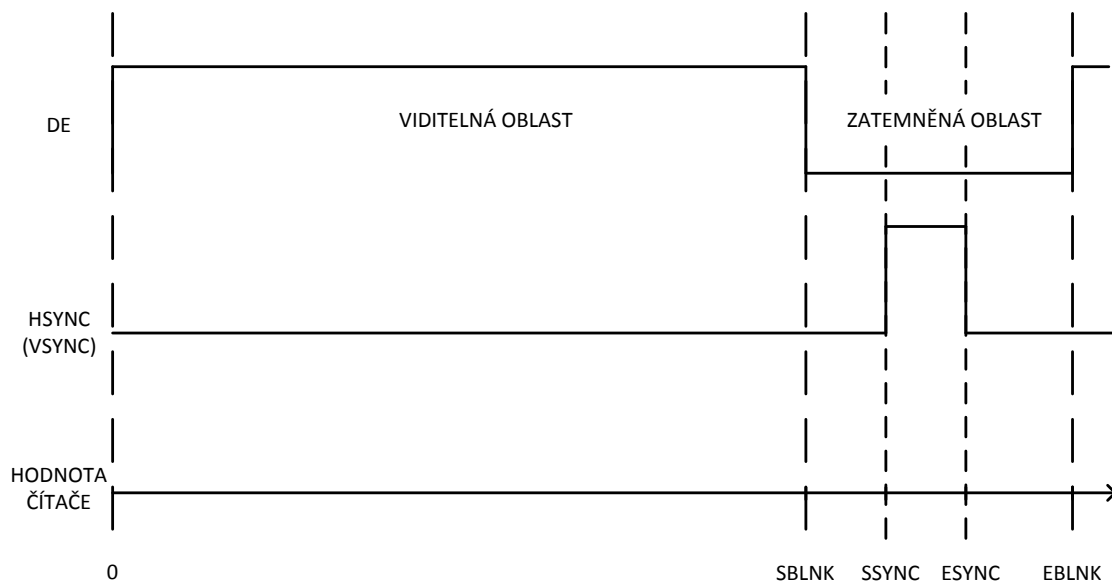


Obr. 5.4: Blokové schéma řídicích obvodů

Pro generování hodinových signálů je v návrhu využito dvou bloků – DCM a PLL. Základní hodinový signál je signál z oscilátoru na vývojové desce, jeho frekvence je 100MHz. DCM umožňuje generovat signály s frekvencí přibližně do 500MHz, které mohou být použity pro standardní logiku, navržený systém je však omezen do 108MHz základního hodinového signálu. Na DCM není přiveden reset, tento blok se resetuje automaticky při změně generované frekvence. Při této změně nelze výstupní signál použít, proto musí být ovládací logika (SPI) řízena základním hodinovým signálem. Po dobu resetu je signál LOCKED z DCM nastaven do log. 1. Tento signál je použit jako reset připojeného bloku PLL.

K PLL je připojen výstupní hodinový signál z DCM o potřebné frekvenci a podle něj generuje tři hodinové signály se stejnou fází a rozdílnou frekvencí. Vysílač je řízen hodinovým signálem s frekvencí definovanou pro standardní formát rozlišení, konverze 10:1 využívá signál s dvojnásobnou a desetinásobnou frekvencí. Výstupní signály z PLL jsou připojeny na blok BUFG, pro nejrychlejší signál je použit blok BUFPLL, který umožňuje signálu o vysoké frekvenci (nad 500MHz) připojení k některým logickým blokům, generuje signál pro reset a synchronizaci pro blok OSERDES2. Reset bloku PLL proběhne vždy při změně rozlišení.

Rozlišení přenášeného obrazu jsou určena standardem, z něhož jsou spočítány konstantní signály SBLNK, SSYNC, ESYNC a EBLNK pro horizontální i vertikální směr, viz Příloha B.2. Pro řízení synchronizace obrazu byl vytvořen logický blok obsahující horizontální a vertikální čítač. Na vstupu tohoto bloku jsou konstanty pro dané rozlišení. Horizontální čítač se inkrementuje s hodinovým signálem až do hodnoty, která určuje poslední pixel v řádku, pak je vynulován. Vertikální čítač se inkrementuje s hodinovým signálem vždy, když je horizontální čítač v maximu, a je vynulován při hodnotě posledního pixelu na snímku. Tyto dva čítače určují aktuální pozici pixelu. Pozice pixelu je dále využita pro generování synchronizačních signálů a povolovacího signálu DE. Na Obr. 5.5 je vysvětleno generování synchronizačních signálů pomocí spočítaných konstant.



Obr. 5.5: Generování synchronizačních signálů pomocí spočítaných konstant

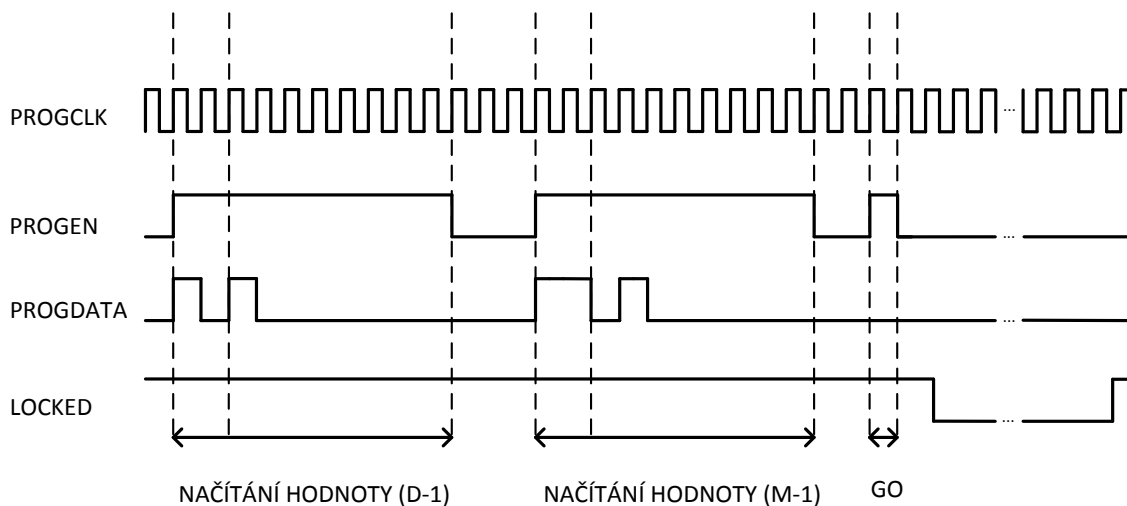
5.2.1 Dynamická změna rozlišení obrazu

V návrhu jsou zakomponovány obvody pro dynamickou změnu rozlišení obrazu. Při změně rozlišení za běhu je potřebné změnit základní frekvenci hodinového signálu a konstanty určující rozlišení obrazu v pixelech. Tab. 5.1 zobrazuje seznam podporovaných rozlišení obrazu a jejich přepínání na vývojové desce (přepínače SW3 – SW0).

Tab. 5.1: Seznam podporovaných rozlišení

Název	Rozlišení	Řídicí frekvence (MHz)	Kombinace přepínačů
VGA	640x480@60Hz	25	0000
SVGA	800x600@60Hz	40	0001
XGA	1024x768@60Hz	65	0010
HDTV	1280x720@60Hz	75	0100
SXGA	1280x1024@60Hz	108	1000

Ovládání DCM je popsáno ve firemní literatuře pro Spartan-6. [4] Navržený obvod pro ovládání DCM (SPI) generuje signály PROGEN a PROGDATA. DCM i blok pro jeho ovládání jsou řízeny stejným hodinovým signálem, který je na vstupu celého systému a v celém průběhu se nemění. Průběh komunikace mezi těmito bloky při změně rozlišení je zobrazen na Obr. 5.6.



Obr. 5.6: Nastavení signálů pro ovládání DCM [4]

Systém je navržen tak, že při změně rozlišení je generován startovací puls pro blok SPI. Obvod SPI vysílá do DCM nejprve 8bitový signál D-1 a po něm 8bitový signál M-1, ke kterým jsou připojeny dva bity na místo LSB, viz Obr. 5.6. Spolu s těmito daty je posílán povolovací signál PROGEN podle určeného formátu. Pro ukončení konfigurace DCM je odeslán puls GO, který potvrzuje změnu.

Pro DCM nastane reset po dobu několika taktů hodinového signálu a pomocí signálu LOCKED je nastaven reset i pro zbytek systému. Když DCM začne vysílat signál s novou frekvencí, reset je vypnut. Blok využívá zpoždění signálů pomocí posuvných registrů s nastavitelnou délkou posuvu. Zpoždění je využito pro nastavení doby vysílání signálů D, M a mezer mezi nimi. Mezera mezi načítáním D a M musí trvat minimálně 2 takty hodinového signálu, mezera mezi načítáním M a pulsem GO minimálně 1 takt hodinového signálu [4].

Na základě polohy mechanických přepínačů se pro DCM generují hodnoty M (multiple) a D (divide). Nová frekvence se odvozuje z těchto dvou čísel vztahem

$$f_{clk} = \frac{M}{D} \cdot f_{zak} \quad (5.1)$$

kde f_{clk} je požadovaná frekvence a f_{zak} je základní frekvence z oscilátoru (100MHz). [4] Tab. 5.2 obsahuje vypočítané hodnoty pro frekvence jednotlivých rozlišení.

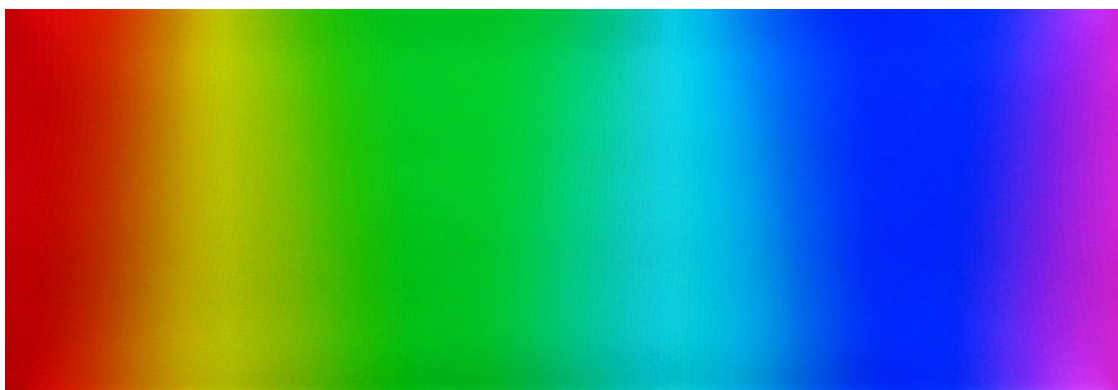
Tab. 5.2: Spočítané hodnoty M a D pro změnu frekvence

Frekvence (MHz)	Hodnota M	Hodnota D
25	1	4
40	2	5
65	13	20
75	3	4
108	27	25

Při přepínání rozlišení jsou do obvodu generujícího synchronizační signály načteny nové konstanty spočítané pro vybrané rozlišení obrazu, viz Příloha B.2.

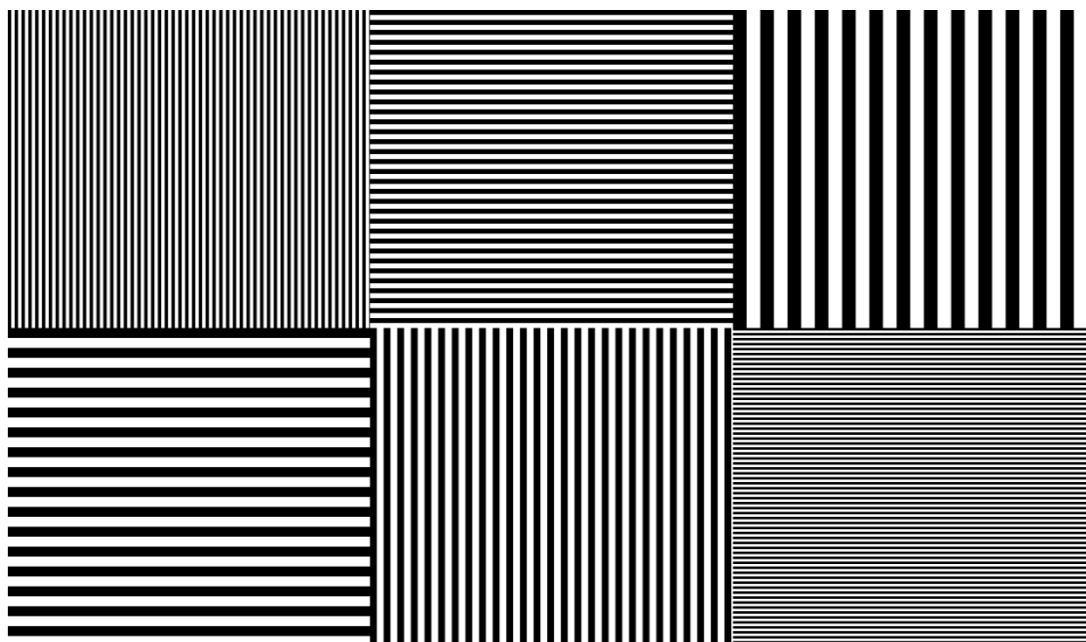
5.3 Obvod pro generování testovacího obrazce

Rozhraní DVI nabízí v jednokanálovém provedení paletu s více než 16 miliony barev. Základní barvy červená, zelená a modrá mají 256 odstínů. Navržené rozhraní je demonstrováno generováním dvou různých obrazů. První obraz demonstruje barevnou hloubku digitálního rozhraní. Obvod je řízen aktuální pozici pixelu a generuje postupný barevný přechod od červené barvy po fialovou. Obvod je sestaven z komparátorů, které určují hranice jednotlivých barev, a z čítačů, které vytváří jednotlivé odstíny. Každá barva má 256 pixelů, celý obraz je možno vidět při horizontálním rozlišení 1280 pixelů. Výsledný obraz je na Obr. 5.7.



Obr. 5.7: Ukázka hloubky barev digitálního rozhraní

Druhý obraz demonstruje ostrost digitálního rozhraní. Navržený obvod je sestaven z komparátorů, které určují 6 stejných oblastí a v nich podle aktuální pozice pixelu přiřazují informaci o barvě na výstup. V každé oblasti se střídají bílé a černé proužky, které se liší svojí tloušťkou. Obraz je navržen pro nejvyšší rozlišení. Ukázka obrazu je na Obr. 5.8.



Obr. 5.8: Testovací obrazec pro kontrolu ostroty digitálního rozhraní

6 ZÁVĚR

Cílem práce byl návrh rozhraní pro přenos digitálních video signálů a jeho implementace do obvodu FPGA. Teoretická část obsahuje popis a srovnání vlastností digitálních a analogových rozhraní a popis logiky TMDS přijímače i vysílače a možnost jeho implementace do FPGA. Obvody jsou popsány v jazyce VHDL. Návrh obsahuje TMDS vysílač, generátor synchronizačních signálů, generátor testovacích obrazů a blok pro dynamickou změnu rozlišení obrazu.

Pro praktickou část byla zvolena vývojová deska Atlys Spartan-6 Development Board obsahující FPGA obvod Spartan-6 LX45 a vstupní a výstupní HDMI porty. Vývojová deska je využita při testování softwarového jádra.

Vysílač byl vytvořen s využitím firemní literatury společnosti Xilinx. [2] Vysílač se skládá z bloku enkodéru a serializéru. Enkodér byl popsán podle DVI standardu [9], tudíž je kompatibilní pro všechny zařízení s rozhraním typu HDMI a DVI. Obvod serializéru je vytvořen s využitím speciálních logických bloků obvodu FPGA. Pracovní frekvence systému je omezena vlastnostmi FPGA do 108MHz a dovoluje přenášet obraz s rozlišením 1280x1024@60Hz. Toto rozlišení je hraniční pro zvolené FPGA, při jeho testování vysíláním složitěho obrazce dochází k občasnému probluknutí. Samotný vysílač (obvod enkodéru a serializéru) byl optimalizován pro dosažení co možná nejvyšší pracovní rychlosti, maximální pracovní frekvence je 207MHz, což dovoluje přenos obrazu s velkým množstvím rozlišení včetně dnes široce rozšířeného full HD 1920x1080@60Hz (potřebná frekvence je 193MHz). Pro obvod enkodéru byla provedena optimalizace. Enkodér byl vytvořen s využitím metody pipeline, která dosahovala nejvyšších frekvencí, při kterých je obvodem schopen správně fungovat.

Pro testování vysílače byly vytvořeny obvody pro generaci synchronizačních signálů a pro generování testovacího obrazce. Pro ukázkou byla zvolena rozlišení obrazu, která jsou široce používaná a mají různý poměr stran. Na ukázkou barevnosti digitálního je vytvořen obrazec, který obsahuje různé odstíny základních 8 kombinací barev. Na ukázkou ostrosti přenášeného obrazu je vytvořen obrazec obsahující černobílé proužky různých šířek. Nejmenší šířka je 1 pixel.

Vytvořené softwarové jádro bude sloužit pro demonstrační účely, popřípadě by mohlo být použito ve výuce digitálních obvodů a jazyka VHDL místo návrhu VGA rozhraní. Možnost rozšíření je v návrhu TMDS přijímače a jeho použití spolu s navrženým vysílačem, např. barevná úprava obrazu.

LITERATURA

- [1] Manual. In: *Atlys Board Reference Manual* [online]. 2011, 2011-2-28 [cit. 2013-05-25]. Dostupné z: http://www.digilentinc.com/Data/Products/ATLYS/Atlys_rm.pdf
- [2] FENG, Bob. Implementing a TMDS Video Interface in the Spartan-6 FPGA. In: *XAPP495* [online]. 2010, 2010-12-13 [cit. 2013-05-25]. Dostupné z: http://www.xilinx.com/support/documentation/application_notes/xapp495_S6TMDS_Video_Interface.pdf
- [3] FENG, Bob a Eric CRABILL. Video Connectivity Using TMDS I/O in Spartan-3A FPGAs. In: *XAPP460* [online]. 2008, 2011-11-24 [cit. 2012-12-05]. Dostupné z: http://www.xilinx.com/support/documentation/application_notes/xapp460.pdf
- [4] Spartan-6 FPGA SelectIO Resources: User Guide. In: *Ug381* [online]. 2009, 2010-12-16 [cit. 2013-05-25]. Dostupné z: http://www.xilinx.com/support/documentation/user_guides/ug381.pdf
- [5] HDMI LICENSING, LLC. *HDMI: Knowledge Base* [online]. © 2003-2012 [cit. 2013-05-25]. Dostupné z: <http://www.hdmi.org/learningcenter/kb.aspx>
- [6] DVI - Digital Visual Interface. In: *HIS Digital* [online]. 2008 [cit. 2013-05-25]. Dostupné z: http://www.hisdigital.com/un/news_show-74.rhtml
- [7] Component or S-Video?. In: *Lyberty.com: Eclectic content* [online]. 2004, 30. 5. 2005 [cit. 2013-06-03]. Dostupné z: <http://www.lyberty.com/encyc/articles/svideo.html>
- [8] KEMPAINEN, Stephen. NATIONAL SEMICONDUCTOR. *Low-Voltage Differential Signaling (LVDS): Application Note 1382-6*. [online]. 2002. [cit. 2013-05-25]. Dostupné z: <http://cp.literature.agilent.com/litweb/pdf/5988-4797EN.pdf>
- [9] DIGITAL DISPLAY WORKING GROUP. *Digital Visual Interface: Revision 1.0*. [online]. 1999,[cit. 2013-05-25]. Dostupné z: http://www.cs.unc.edu/Research/stc/FAQs/Video/dvi_spec-V1_0.pdf
- [10] VGA Signal Timing. In: *TinyVGA.com: VGA Microcontroller projects* [online]. 2008 [cit. 2013-06-03]. Dostupné z: <http://tinyvga.com/vga-timing>
- [11] VESA. *VESA and Industry Standards and Guidelines for Computer Display Monitor Timing (DMT): Version 1.0, Revision 11* [online]. 2007, [cit. 2013-05-25]. Dostupné z: ftp://ftp.cis.nctu.edu.tw/pub/csie/Software/X11/private/VeSaSpEcS/VESA_Document_Center_Monitor_Interface/DMTv1r11.pdf
- [12] VESA. *Coordinated Video Timing Standard: Version 1.1*. [online]. 2003,[cit. 2013-05-25]. Dostupné z: ftp://ftp.cis.nctu.edu.tw/pub/csie/Software/X11/private/VeSaSpEcS/VESA_Document_Center_Monitor_Interface/CVTv1_1.pdf
- [13] Delta4.elektronik. *Konstrukce*. [online]. 19. 12. 2004, [cit. 2013-05-25]. Dostupné z: <http://www.delta4.info/delta4/k1.html>

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

CLK	Clock, hodinový signál
CMOS	Complementary Metal-Oxid-Semiconductor, technologie výroby integrovaných obvodů
DE	Display Enable, povolovací signál
DCM	Digital Clock Manager, obvod pro manipulaci s hodinovým signálem
DVI	Digital Visual Interface, digitální video rozhraní
FPGA	Field-Programmable Gate Array, programovatelné hradlové pole
HDMI	High Definition Multimedia Interface, digitální video rozhraní
HSYNC	Horizontal Synchronization, signál horizontální synchronizace
LVDS	Low-Voltage Differential Signaling, standard elektrické charakteristiky přenosu
LSB	Least Significant Bit, nejnižší bit v signálu
MSB	Most Significant Bit, nejvyšší bit v signálu
PLL	Phase-Locked Loop, obvod odvozující hodinové signály
SPI	Seriál Peripheral Interface, rozhraní pro komunikaci mezi obvody
TMDS	Transition-Minimized Differential Signaling, standard pro vysokorychlostní přenos dat
VDHL	VHSIC Hardware Description Language, popisný programovací jazyk
VGA	Video Graphic Array, zobrazovací standard, analogové video rozhraní
VSYNC	Vertical Synchronization, signál vertikální synchronizace

SEZNAM PŘÍLOH

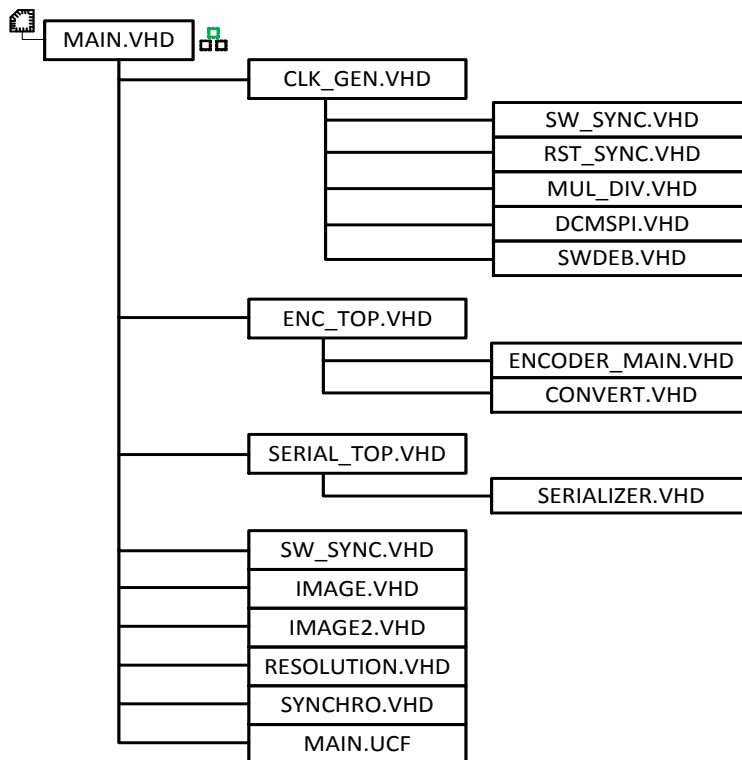
A	STRUKTURA PROJEKTU	30
A.1	Seznam VHDL souborů	30
A.2	Struktura jednotlivých souborů.....	30
B	STANDARDNÍ VIDEO ROZLIŠENÍ	31
B.1	Přehled dosažitelných rozlišení [10, 11, 12].....	31
B.2	Časové konstanty pro použitá rozlišení [10]	31

A STRUKTURA PROJEKTU

A.1 Seznam VHDL souborů

Název	Funkce
Main.vhd	Základní modul
Clk_gen.vhd	Základní modul obsahující DCM, PLL a SPI
SW_sync.vhd	Modul provádějící časovou synchronizaci vstupu
RST_sync.vhd	Modul pro časovou synchronizaci resetu
SWdeb.vhd	Modul generující puls pro SPI
Mul_div.vhd	Modul obsahující hodnoty M a D
DCMSPI.vhd	SPI obvod, řídí změnu frekvence
Enc_top.vhd	Základní modul enkodéru
Encoder_main.vhd	Modul enkodéru
Convert.vhd	Modul provádějící konverzi 2:1
Serial_top.vhd	Základní modul pro serializaci
Serializer.vhd	Modul provádějící konverzi 5:1
Image2.vhd	Generátor barevného obrazce
Image.vhd	Generátor černobílých proužků
Resolution.vhd	Modul obsahující konstanty pro rozlišení
Synchro.vhd	Modul generující HSYNC, VSYNC a DE

A.2 Struktura jednotlivých souborů



B STANDARDNÍ VIDEO ROZLIŠENÍ

B.1 Přehled dosažitelných rozlišení [10, 11, 12]

Formát	Frekvence obnovení [Hz]	Název	Řídící frekvence [MHz]	Poměr stran
640 x 350	70	EGA	25,175	-
640 x 480	60	VGA	25,175	4:3
768 x 576	60	-	34,96	4:3
800 x 600	60	SVGA	40	4:3
1024 x 768	60	XGA	65	4:3
1152 x 864	75	-	108	4:3
1280 x 960	60	-	108	4:3
1280 x 1024	60	SXGA	108	5:4
1280 x 720	60	HDTV	74,25	16:9
1366 x 768	60	-	85,86	16:9
1440 x 900	60	-	106,47	16:10

B.2 Časové konstanty pro použitá rozlišení [10]

	VGA	SVGA	XGA	HDTV	SXGA
HSBLNK	639	799	1023	1279	1279
HSSYNC	735	927	1159	1359	1391
HESYNC	751	967	1183	1431	1439
HEBLNK	799	1055	1343	1647	1687
VSBLNK	479	599	767	719	1023
VSSYNC	481	603	773	724	1026
VESYNC	492	604	776	727	1027
VEBLNK	523	627	805	749	1065
POLARITA	1	0	1	0	0