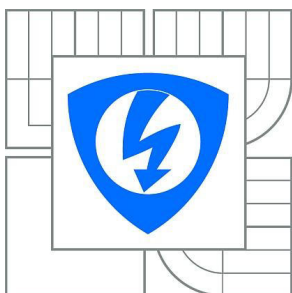


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

GRAFICKÉ ROZHRANÍ PRO PRŮMYSLOVÉ DISPLEJE V OBVODECH FPGA

GRAPHICAL INTERFACE FOR INDUSTRIAL DISPLAY IN GATE ARRAY

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

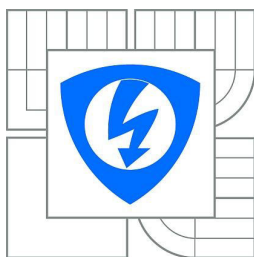
JAKUB DRBAL

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. MARIÁN PRISTACH

BRNO 2012



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Jakub Drbal

ID: 125405

Ročník: 3

Akademický rok: 2011/2012

NÁZEV TÉMATU:

Grafické rozhraní pro průmyslové displeje v obvodech FPGA

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s grafickými displeji pro průmyslové použití. Na základě dokumentace k displeji LQ043T1DG01 navrhnete pro obvod FPGA rozhraní umožňující vykreslování textu na základě příkazů posílaných z externího zařízení. Návrh rozhraní se bude skládat ze dvou částí. První částí bude řadič displeje, který bude zajišťovat generování video signálu z dat uložených v externí paměti. Druhá část návrhu bude obsahovat mikrokontrolér, který bude zajišťovat generování obsahu paměti. Navrhnete desku s obvodem FPGA Spartan 3 pro připojení displeje a realizujete aplikaci demonstrující funkci zařízení.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 6.2.2012

Termín odevzdání: 31.5.2012

Vedoucí práce: Ing. Marián Pristach

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato bakalářská práce se zabývá návrhem a realizací grafického rozhraní, které umožňuje vykreslování znaků a základní formátování textu na průmyslovém displeji. Toto rozhraní je navrženo pro hradlové pole Spartan 3. Komunikace s nadřazeným systémem probíhá pomocí sériového rozhraní. Návrh je rozdělen do pěti bloků, aby byl snáze modifikovatelný. Tato práce se také zabývá návrhem rozšiřující desky pro připojení displeje k vývojovému kitu a návrhem demonstrační desky pro realizované rozhraní.

ABSTRACT

This Bachelor's thesis deals with design and realization of graphic interface that allows rendering of characters and basic text formatting on the industrial display. This interface is designed for Spartan 3 gate array. Communication with superior system is through serial interface. Design is separated into five parts in order to achieve easier modification of the design. The thesis also deals with design of expansion board for display connection with the development kit and design of demonstration board for realized interfaces.

KLÍČOVÁ SLOVA

Grafické rozhraní, FPGA, VHDL, displej, Spartan 3, ASCII.

KEYWORDS

Graphic interface, FPGA, VHDL, display, Spartan 3, ASCII.

BIBLIOGRAFICKÁ CITACE DÍLA

DRBAL, J. *Grafické rozhraní pro průmyslové displeje v obvodech FPGA*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2012. 37 s (14 s přílohy). Vedoucí bakalářské práce Ing. Marián Pristach.

PROHLÁŠENÍ AUTORA O PŮVODNOSTI DÍLA

Prohlašuji, že svoji bakalářskou práci na téma Grafické rozhraní pro průmyslové displeje v obvodech FPGA jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedeného semestrálního projektu dále prohlašuji, že v souvislosti s vytvořením tohoto semestrálního projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne

.....

(podpis autora)

PODĚKOVÁNÍ

Děkuji vedoucímu semestrální práce Ing. Mariánu Pristachovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

Obsah

| | |
|---|-----------|
| ÚVOD | 9 |
| 1 DISPLEJE PRO PRŮMYSLOVÉ POUŽITÍ | 10 |
| 2 POUŽITÉ KOMPONENTY | 11 |
| 2.1 DISPLEJ SHARP LQ043T1DG01 | 11 |
| 2.2 PAMĚŤ SRAM | 12 |
| 2.3 SPARTAN XC3S200 | 13 |
| 2.4 SÉRIOVÝ PORT (RS-232C) | 13 |
| 3 DESKA PRO PŘIPOJENÍ DISPLEJE K VÝVOJOVÉMU KITU | 14 |
| 3.1 NAPÁJENÍ PODSVĚTLENÍ | 15 |
| 4 NÁVRH GRAFICKÉHO ROZHRAŇÍ | 16 |
| 4.1 KOMUNIKAČNÍ ROZHRAŇÍ | 16 |
| 4.2 GRAFICKÝ KONTROLÉR..... | 17 |
| 4.2.1 Zpracování dat | 18 |
| 4.2.2 Paměť znaků..... | 20 |
| 4.3 KONTROLÉR RAM..... | 21 |
| 4.3.1 Řízení přístupu do paměti RAM..... | 23 |
| 4.4 ŘADIČ DISPLEJE | 24 |
| 5 IMPLEMENTACE DO HRADLOVÉHO POLE | 26 |
| 6 DEMONSTRAČNÍ DESKA | 27 |
| 6.1 NAPÁJENÍ DESKY | 27 |
| 6.2 KONFIGURACE OBVODU SPARTAN 3 | 28 |
| 6.3 PERIFERIE NA DESCE | 28 |
| 6.3.1 Oscilátor..... | 29 |
| 6.3.2 Paměť RAM..... | 29 |
| 6.3.3 Displej..... | 29 |
| 6.3.4 Podsvětlení displeje..... | 30 |
| 6.3.5 Kontrolér dotykového panelu..... | 30 |
| 6.3.6 Převodník USB na UART | 30 |
| 6.3.7 Slot na SD kartu | 30 |
| 6.3.8 PS/2 konektor | 31 |
| 6.3.9 Rozšiřující konektor a LED diody | 31 |
| 6.4 DEMONSTRAČNÍ APLIKACE | 32 |
| 7 ZÁVĚR | 33 |
| 8 SEZNAM POUŽITÉ LITERATURY | 34 |
| 9 SEZNAM ZKRATEK | 36 |
| 10 SEZNAM PŘÍLOH | 37 |

Seznam obrázků

| | |
|--|----|
| Obr. 1: Časování displeje Sharp LQ043T1DG01 [2]..... | 11 |
| Obr. 2: Časování čtení z paměti RAM [3] | 12 |
| Obr. 3: Časování zápisu do paměti RAM [3]..... | 13 |
| Obr. 4: Průběh vysílaného signálu sériového portu | 13 |
| Obr. 5: Konektor pro připojení k vývojovému kitu | 14 |
| Obr. 6: Uspořádání konektorů na vývojové desce | 15 |
| Obr. 7: Napájení podsvětlení (schéma z programu Eagle 5.11)..... | 15 |
| Obr. 8: Blokové schéma rozhraní..... | 16 |
| Obr. 9: Blokové schéma komunikačního rozhraní UART | 17 |
| Obr. 10: Blok grafický kontrolér..... | 17 |
| Obr. 11: Blokové schéma grafického kontroléru | 18 |
| Obr. 12: Diagram pracování dat grafickým kontrolérem..... | 18 |
| Obr. 13: Blok paměť znaků..... | 20 |
| Obr. 14: BMP soubor převedený na bitový zápis | 20 |
| Obr. 15: Komponenta kontrolér RAM | 21 |
| Obr. 16: Uložení dat v paměti | 21 |
| Obr. 17: Výpočet adresy a pozice dat v paměti RAM | 22 |
| Obr. 18: Blokové schéma kontroléru RAM paměti | 23 |
| Obr. 19: Řízení přístupu do RAM – stavový diagram | 23 |
| Obr. 20: komponenta řadič displeje | 24 |
| Obr. 21: Blokové schéma řadiče displeje..... | 25 |
| Obr. 22: Displej připojený k rozšiřující desce..... | 26 |
| Obr. 23: Fyzické blokové schéma navržené desky | 27 |
| Obr. 24: Blokové schéma napájení desky | 27 |
| Obr. 25: Zapojení řetězce JTAG | 28 |
| Obr. 26: Horní a spodní pohled na demonstrační desku | 28 |
| Obr. 27: Umístění LED diod na desce | 31 |
| Obr. 28: Program pro výpis času..... | 32 |

Seznam tabulek

| | |
|---|----|
| Tab. 1: Základní vlastnosti displeje Sharp LQ043T1DG01 [2]..... | 11 |
| Tab. 2: Časování displeje Sharp LQ043T1DG01 [2]..... | 12 |
| Tab. 3: Názvy a funkce jednotlivých pinů konektoru | 14 |
| Tab. 4: Zpracování dat v příkazovém režimu | 19 |
| Tab. 5: Zpracování dat v textovém režimu | 19 |
| Tab. 6: Využití obvodu Spartan XC3S200..... | 26 |
| Tab. 7: Periferie na desce | 28 |
| Tab. 8: Připojení RAM paměti k pinům FPGA | 29 |
| Tab. 9: Připojení displeje k pinům FPGA | 29 |
| Tab. 10: Připojení kontroléru dotykového panelu k pinům FPGA | 30 |
| Tab. 11: Připojení převodníku USB na UART k pinům FPGA..... | 30 |
| Tab. 12: Připojení slotu na SD kartu k pinům FPGA..... | 30 |
| Tab. 13: Připojení PS/2 konektoru k pinům FPGA..... | 31 |
| Tab. 14: Funkce pinů rozšiřujícího konektoru a jejich připojení k pinům FPGA..... | 31 |
| Tab. 15: Funkce LED diod na desce a jejich připojení k pinům FPGA..... | 32 |
| Tab. 16: Popis ovládání programu | 32 |

Úvod

Nejčastějším rozhraním pro komunikaci mezi strojem a obsluhou jsou displeje. Umožňují zobrazení informací např. o nastavení stroje, v jakém stavu se stroj nachází a také informují o dalších věcech nutných k jeho obsluze. Tyto informace bývají zobrazeny ve formě textu, diagramů, grafů a různých jiných forem vyjádření.

Bakalářská práce se zabývá návrhem grafického rozhraní pro průmyslové displeje, který bude umožňovat vykreslování znaků. Návrh samotného rozhraní by se mělo skládat ze dvou částí a to řadiče displeje a kontroléru. Řadič displeje má zajišťovat generování video signálu z dat uložených v externí paměti. Kontrolér musí umožňovat vykreslování textu na základě příkazů posílaných z externího zařízení.

Pro připojení displeje k vývojovému kitu, který obsahuje hradlové pole, musela být navržena rozšiřující deska. Tato deska zajišťuje přenos signálů mezi hradlovým polem a displejem, napájení displeje a napájení podsvětlení displeje.

Nakonec byla navržena deska obsahující obvod hradlového pole Spartan XC3S200, která obsahuje vše potřebné pro připojení displeje a jeho napájení a ovládání. Součástí této desky jsou další periferie umožňující rozšíření funkcí pro budoucí použití.

1 Displeje pro průmyslové použití

Pro komunikaci mezi strojem a obsluhou se nejčastěji používají displeje. V průmyslu musí tyto displeje splňovat určité požadavky týkající se optických vlastností, odolnosti a s ní související životnosti. Požadavky na průmyslový displej jsou převzaty z [1].

Mezi optické vlastnosti se řadí rozsah kontrastu, tedy rozdíl mezi jasnými tmavými a světlými zobrazovacími body. U průmyslových displejů bývá rozsah kontrastu větší než např. u osobních počítačů (např. 200:1) z důvodů, že vzdálenost mezi displejem a pozorovatelem bývá větší než optimální a displej musí být čitelný i z větších úhlů. Doporučuje se použití displejů s rozsahem kontrastu okolo 450:1.

Další z optických vlastností lze jmenovat barevné podání. Teorie barevných modelů a profilů je poměrně komplikovaná, ale zjednodušeně lze říct, že barevné podání LCD je ovlivněno především podsvětlením. V současné době se do popředí dostává podsvětlení s využitím LED. U průmyslových zařízení nebyvají požadavky na barevné podání tak velké jako např. u LCD televizorů nebo monitorů pro grafické účely.

Podsvětlení ovlivňuje také jas displeje, parametr, který je u průmyslových zobrazovačů důležitější než barevné podání. Displeje pro průmyslové stroje a zařízení se musejí vypořádat s vlivem okolního světla, které může zhoršovat čitelnost údajů na displeji. Proto je vhodné, aby tyto zobrazovače měly jas větší než např. monitory určené pro kancelářské prostory. Hodnota jasu se u průmyslových displejů doporučuje alespoň 450 cd/m².

Velmi důležitou charakteristikou je také pozorovací úhel. Výrobci používají speciální konstrukční uspořádání, aby ho co nejvíce rozšířili. Běžně se lze setkat s displeji o pozorovacím úhlu 160° a větší. Jedno možné řešení rozšíření pozorovacího úhlu nabízí firma Sharp. Jedná se o AVS (Mobile Advanced Super View). U klasického displeje jsou kapalné krystaly v displeji uspořádány paralelně, ale u Mobile AVS mají uspořádání koncentrické.

Životnost displeje je především ovlivněna životností jeho podsvětlení. Obvykle se udává v tisících hodin provozu. Dobré displeje pro průmyslová zařízení mají životnost podsvětlení okolo 50 tisíc hodin, zatímco běžné displeje asi pětkrát méně.

U displejů použitých v mobilních zařízeních a dopravní technice je důležitá odolnost proti vibracím a nárazům. Displeje prochází náročnými testy a tyto jsou poté uvedeny v dokumentaci k danému displeji.

Provozní teplota displeje pro průmyslové použití je obvykle 0 až 50°C. V náročnějších aplikacích může být rozšířena až na -30 až 80 °C.

2 Použité komponenty

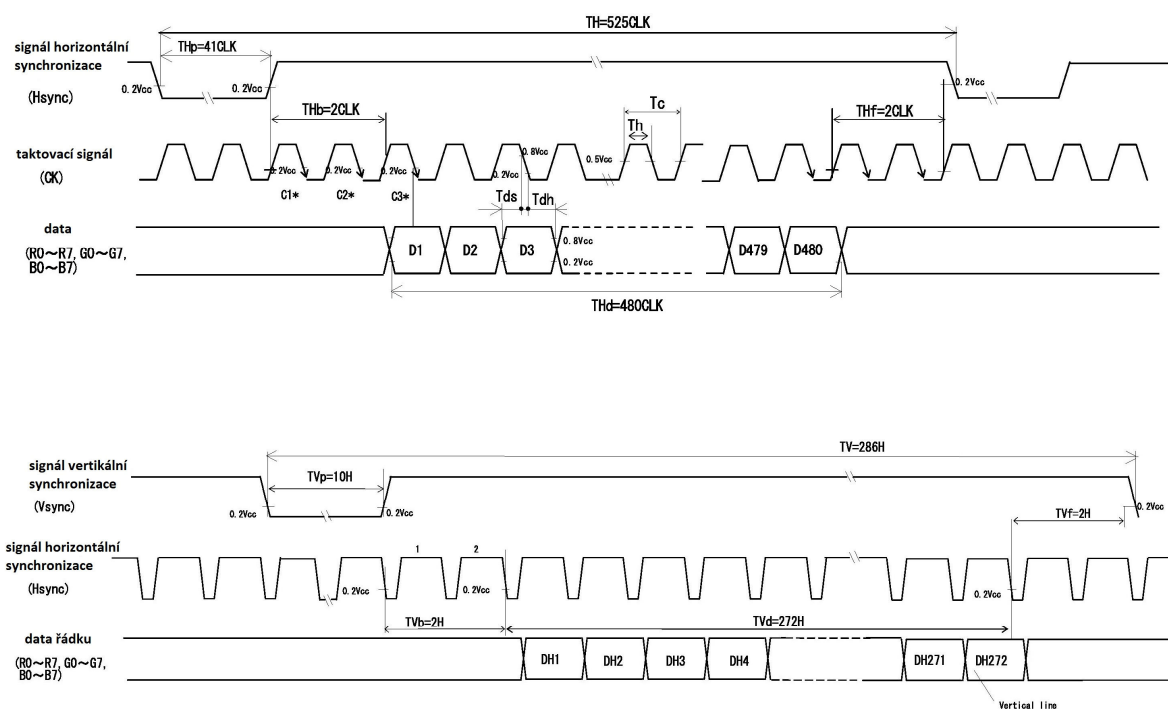
2.1 Displej SHARP LQ043T1DG01

Displej použitý v bakalářské práci je typu TFT-LCD. Jedná se o produkt firmy Sharp, konkrétně typ LQ043T1DG01 [2]. Displej je určen pro provoz v průmyslových aplikacích. Skládá se z TFT-LCD panelu, řadiče, vstupního FPC kabelu, podsvětlení a dotykového panelu. Rozlišení displeje je 480x272 bodů a může zobrazovat až 16 milionů barev. Displej využívá dvě hodnoty napájecího napětí a to 3,3 V pro logiku a 5 V pro analogovou část. Napájení podsvětlení je připojeno vlastním FPC kabelem a mění se v závislosti na jeho intenzitě. Základní parametry displeje jsou uvedeny v tab. 1.

Tab. 1: Základní vlastnosti displeje Sharp LQ043T1DG01 [2]

| Vlastnost | Specifikace | Jednotka |
|---------------------|--------------------------|----------|
| Úhlopříčka displeje | 10,9(4,3“) | cm |
| Aktivní oblast | 95,04(H)x53,856(V) | mm |
| Formát pixelů | 480(H)x272(V) | pixelů |
| | RGB | - |
| Velikost pixelu | 0,198(H)x0,192(V) | mm |
| Konfigurace pixelu | R,G,B vertikální proužky | - |
| Mód displeje | Normálně bílý | - |
| Velikost modulu | 105.5(W)×67.2(H)×5.05(D) | mm |
| Váha | cca. 62 | g |
| Povrchová úprava | Anti-glare, 2H | - |

Data jsou do displeje odesílány synchronně pomocí hodinového signálu o frekvenci 9 MHz. Časování displeje je uvedeno v tab. 2 a jeho průběhy na obr. 1.



Obr. 1: Časování displeje Sharp LQ043T1DG01 [2]

Tab. 2: Časování displeje Sharp LQ043T1DG01 [2]

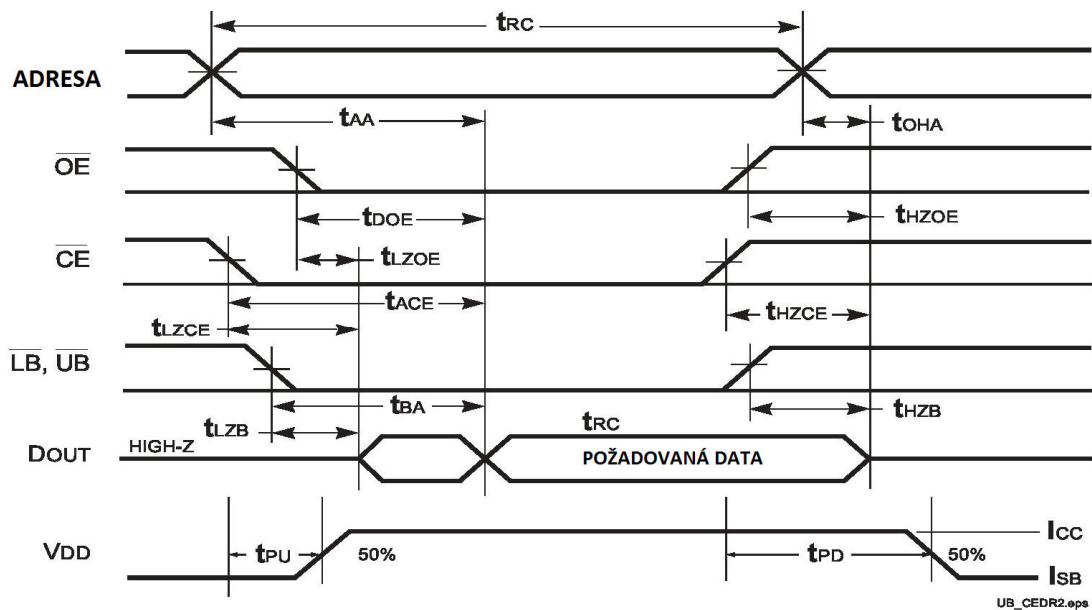
| | horizontální | vertikální |
|-----------------------------|--------------|------------|
| přední zatemnění (THb, TVb) | 2 takty | 2 řádky |
| šířka impulsu (THp, THp) | 41 taktů | 10 řádků |
| zadní zatemnění (THf, TVf) | 2 takty | 2 řádky |
| viditelný obraz (THd, TVd) | 480 taktů | 272 řádků |
| celkem (TH, TV) | 525 taktů | 286 řádků |

2.2 Paměť SRAM

Při realizaci semestrálního projektu byla použita paměť RAM od firmy ISSI, která se nachází na vývojovém kitu S3 Board. Typ paměti je SRAM ISSI IS61LV25616AL-10T. Katalogový list je dostupný z [3]. Jedná se o vysokorychlostní, asynchronní RAM paměť v technologii CMOS. Velikost paměti je 4 Mb organizovaných jako 256 K x 16 bitů.

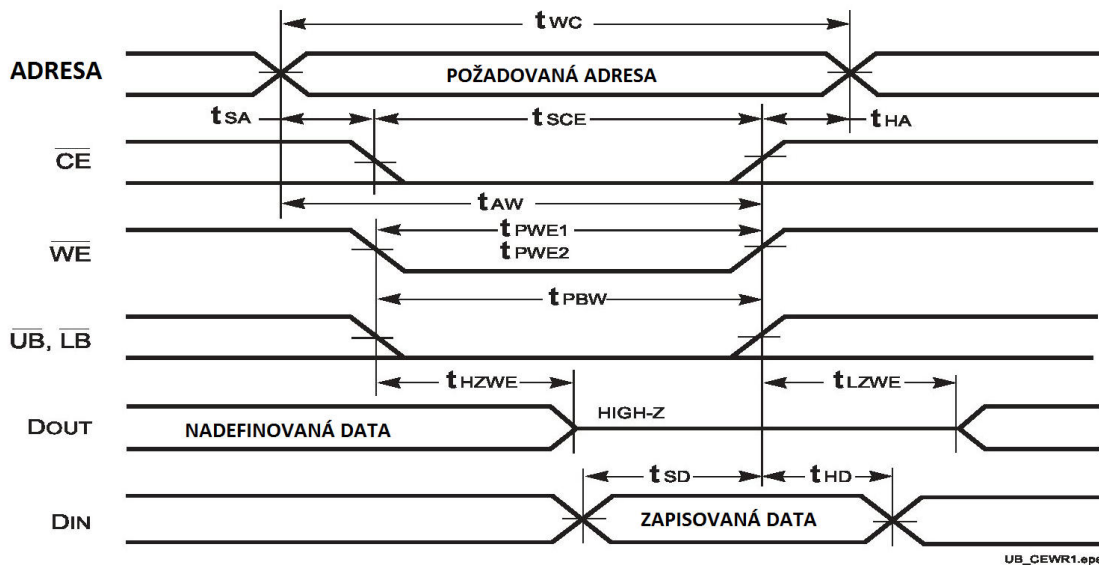
Přístupová doba do paměti je 10 ns pro čtení i zápis. Paměť obsahuje pět řídicích signálů. Pomocí signálu CE (Chip Enable input) se paměť uvede do provozu, signálem OE (Output Enable) se povolí výstup dat z paměti, signály LB (Lower Byte) a UB (Upper Byte) se povoluje dolní a horní byt dat. Pro řízení zápisu do paměti slouží signál WE (Write Enable).

Při čtení z paměti je nejprve nastavena požadovaná adresa. Poté je paměť pomocí signálu CE uvedena do provozu. Signálem OE se povolí výstup dat z paměti a signály LB a UB jejich dolní a horní byt. Nejpozději 10 ns od uvedení paměti do provozu jsou výstupní data připravena ke čtení. Průběh čtení z paměti je na obr. 2.



Obr. 2: Časování čtení z paměti RAM [3]

Při zápisu do paměti je nejprve nastavena požadovaná adresa. Poté je paměť pomocí signálu CE uvedena do provozu. Signálem WE se povolí zápis dat a signály LB a UB jejich dolní a horní byt. Nejdříve 8 ns od uvedení paměti do provozu a 6 ns po přivedení dat je možné zapsat data náběžnou hranou signálu WE. Průběh zápisu do paměti je na obr. 3.



Obr. 3: Časování zápisu do paměti RAM [3]

2.3 Spartan XC3S200

Návrh kontroléru a řadiče displeje je realizován v hradlovém poli Spartan XC3S200 od firmy Xilinx. Hradlové pole na vývojové desce obsahuje 480 konfigurovatelných logických bloků, 216 Kb blokové RAM paměti, 12 násobiček a 4 bloky DCM.

Každý konfigurovatelný logický blok obsahuje LUT tabulky, které mohou být použity ke generování logických funkcí nebo jako paměť. Dále každý blok obsahuje klopné obvody, multiplexery a další logické obvody.

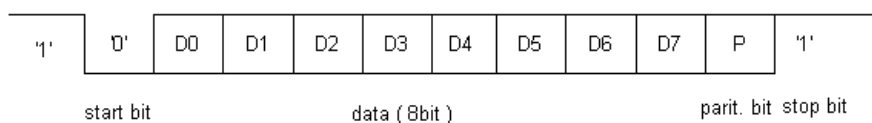
Bloková paměť RAM je rozdělena do dvanácti bloků o velikost 18 Kb. Každý blok má dva porty, které umožňují přistupovat nezávisle do paměti. Oba porty mají vlastní datovou, kontrolní a taktovací část pro synchronní zápis a čtení. Více v [4].

Bloky DCM slouží ke správě digitálního hodinového signálu, kdy pomocí těchto bloků je možné měnit frekvenci a fázový posuv těchto signálů. Upravují také střihu signálu, tak aby byla 0,5, a také strmost náběžné a sestupné hrany. Více v [4].

2.4 Sériový port (RS-232C)

Sériový port (RS-232C) je jedno z nejčastěji používaných komunikačních rozhraní. Umožňuje obousměrný přenos dat pomocí tří vodičů. Často se používá v průmyslu díky své spolehlivosti. Více informací v [5].

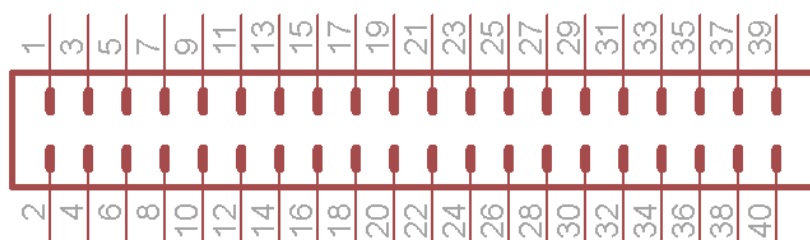
Přenos dat je asynchronní, kdy rychlost komunikace musí být předem nastavena jak u vysílače tak přijímače. V klidovém stavu je vysílaný signál na úrovni log. 1. Přenos je synchronizován pomocí prvního bitu přenosu tzv. start bitu, který je vždy nulový. Poté následují datové bity (4-9), které mohou být doplněny ochranným paritním bitem. Data se vysílají od nejméně významného bitu. Přenos je ukončen jedním až dvěma stop bity (log. 1). Průběh vysílaného signálu je na obr. 4.



Obr. 4: Průběh vysílaného signálu sériového portu

3 Deska pro připojení displeje k vývojovému kitu

Pro připojení displeje k vývojovému kitu S3 Board [7] byla navržena rozšiřující deska. Deska zajišťuje přenos signálů z hradlového pole, napájení displeje a podsvětlení. Navržená deska obsahuje konektor pro připojení k vývojovému kitu, konektor pro připojení displeje, konektor pro připojení podsvětlení displeje a zdroj pro napájení podsvětlení.



Obr. 5: Konektor pro připojení k vývojovému kitu

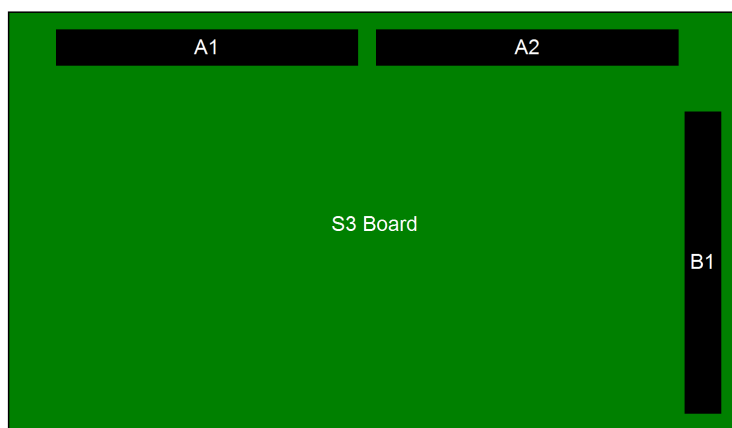
Deska je k vývojovému kitu připojena pomocí kolikové lišty, která obsahuje 40 pinů ve dvou řadách. Uspořádání pinů je na obr. 5 a jejich názvy a funkce v tab. 3.

Tab. 3: Názvy a funkce jednotlivých pinů konektoru

| Pin konektoru | Označení | Funkce |
|---------------|----------|---|
| 1 | GND | GND (0V) |
| 2 | +5V | napájení +5V |
| 3 | +3,3V | napájení +3,3V |
| 4 - 11 | R0 - R7 | signál pro červenou barvu od LSB po MSB |
| 12 - 19 | G0 - G7 | signál pro zelenou barvu od LSB po MSB |
| 20 - 27 | B0 - B7 | signál pro modrou barvu od LSB po MSB |
| 28 | CK | taktovací signál displeje |
| 29 | DISP | signál pro zapnutí displeje |
| 30 | HS | signál horizontální synchronizace |
| 31 | VS | signál vertikální synchronizace |
| 32 - 40 | NC | nepřipojeno |

Napájení displeje je zajištěno přímo z vývojového kitu, ze kterého jsou všechna potřebná napětí již vyvedena.

Použitý vývojový kit S3 Board [7] obsahuje tři expanzní konektory. Všechny mají stejné uspořádání pinů co se týče napájení a signálů. Teoreticky je tedy možné připojit navrženou desku k jakémukoliv z nich. Bohužel konektor A1 obsahuje signály, které jsou sdílené s pamětí RAM, která je použita jako video paměť, a konektor B1 nemá dostatek použitelných signálů z důvodu, že jsou na něj vyvedeny jednoúčelové konfigurační piny obvodu Spartan 3. Rozšiřující deska je tedy určena pouze pro připojení ke konektoru A2. Uspořádání konektorů na vývojovém kitu je na obr. 6.

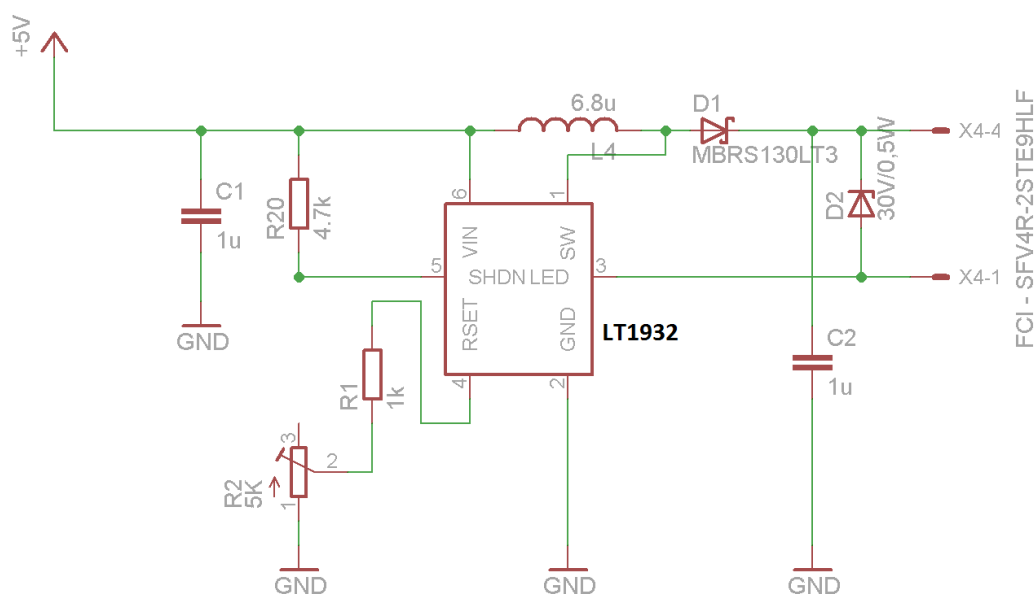


Obr. 6: Uspořádání konektorů na vývojové desce

3.1 Napájení podsvětlení

Podsvětlení použitého displeje je tvořeno devíti LED diodami zapojených do série. Výrobce udává, že při proudu 20 mA je úbytek na diodách 28,8 V. Napětí přivedené z vývojového kitu je, ale jenom 5 V. Proto musel být použit zvyšující měnič napětí. Byl vybrán obvod LT1932 [6] od firmy Linear Technology, který je určen přímo do aplikací využívajících LED diod jako zdroje světla, nejčastěji podsvětlení displejů.

Obvod umožňuje nastavit výstupní proud od 5 mA do 40 mA. Tento proud může být regulován jednoduše pomocí odporu připojeného k pinu Rset nebo pomocí PWM signálu. Rozsah vstupního napětí je od 1 V do 10 V a maximální výstupní napětí je 36 V. Zapojení měniče a výběr součástek je podle doporučení z katalogového listu [6] na obr. 7.



Obr. 7: Napájení podsvětlení (schéma z programu Eagle 5.11)

4 Návrh grafického rozhraní

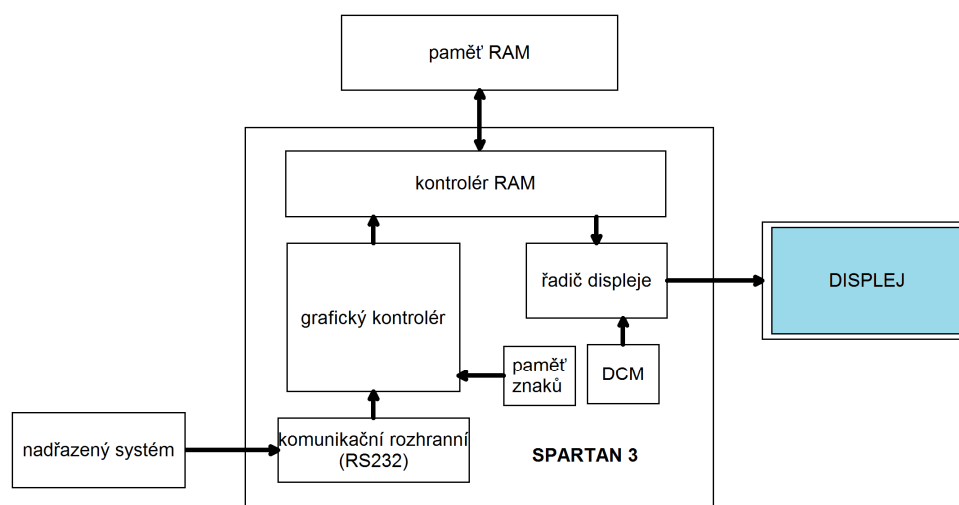
Při návrhu grafického rozhraní musela být vyřešena komunikace s nadřazeným systémem, řízení displeje, generování znaků a jejich formátování a ukládání a čtení obrazových dat z vnější paměti RAM. Proto byl návrh rozdělen do pěti částí a to komunikačního rozhraní, grafického kontroléru, rozhraní pro komunikaci s RAM pamětí a řadiče displeje. Dále byla připojena paměť ROM obsahující bitmapy vykreslovaných znaků. Tato paměť je vytvořena přímo v obvodu hradlového pole.

Celý návrh je napsán v jazyce VHDL s možností jeho implementace do různých obvodů FPGA. Na obr. 8 je možné vidět blokové schéma návrhu. Návrh je realizován pro řízení zvoleného displeje [2] s možností jeho uzpůsobení i pro jiné displeje.

Komunikace grafického rozhraní s nadřazeným systémem je realizováno pomocí sériového rozhraní typu UART. Rychlost komunikace a její parametry jsou napevno nastaveny.

Rozhraní umožňuje vykreslování a základní formátování textu, tedy vymazání displeje, posun ukazatele na začátek dalšího řádku a vymazání posledního zapsaného znaku. Dále umožňuje měnit barvu pozadí a znaků a nastavení pozice ukazatele. Rozlišení bitmap ASCII znaků je 8x16 pixelů. Pro zvolený displej je tedy možný počet znaků zobrazených na jednom řádku 53 (při mezeře mezi znaky o velikosti 1 pixel) a počet řádků je 17.

Obraz zobrazený na displeji je uložen ve vnější paměti RAM [3]. Protože pro vybraný displej je potřeba pro jeden pixel uložit 24 bitové slovo a vnější paměť má šířku dat pouze 16 bitů, bylo nutné tato data rozdělit do dvou buněk paměti.



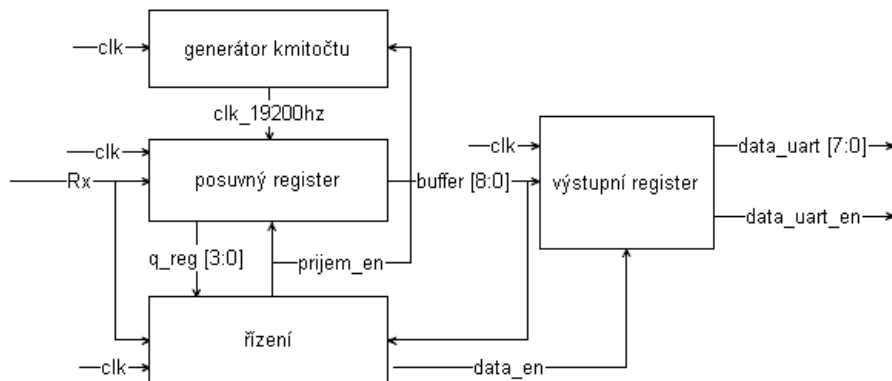
Obr. 8: Blokové schéma rozhraní

4.1 Komunikační rozhraní

Komunikační rozhraní je sériové, typu UART. Rychlost je nastavena na 19200 Baudů. Také je pevně nastaven paritní bit na sudou paritu. Blokové schéma tohoto rozhraní je na obr. 9.

Vysílaná data vstupují do posuvného registru, který má velikost 9 bitů, tedy 8 bitů pro data a 1 bit pro paritu. Synchronizaci zajišťuje blok řízení, který při přijetí startovacího bitu povolí načítání dat do posuvného registru a spustí generátor kmitočtu, kterým se určuje

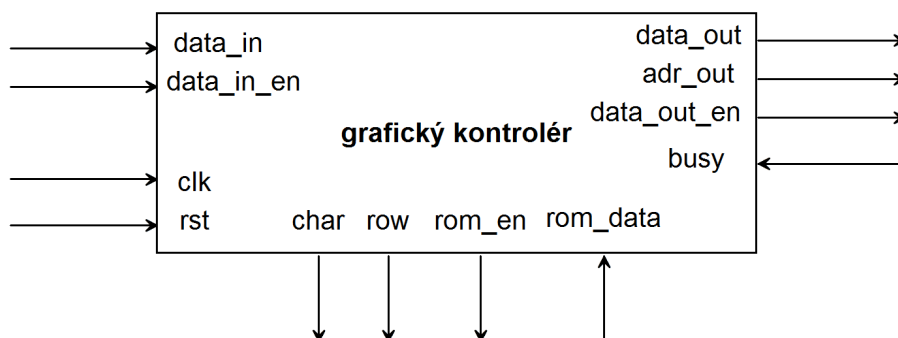
rychlost načítání. Při načtení všech devíti bitů je zkontrolována parita a pokud souhlasí jsou data zkopírována na výstupní registr a potvrzena signálem *data_uart_en*.



Obr. 9: Blokové schéma komunikačního rozhraní UART

4.2 Grafický kontrolér

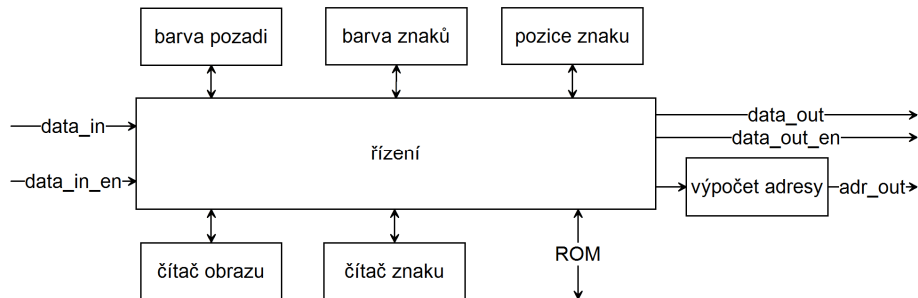
Hlavním blokem grafického rozhraní je grafický kontrolér. Zajišťuje nastavení parametrů obrazu a jeho generování. Jednotlivé příkazy a znaky jsou přijímány z bloku komunikačního rozhraní. Bitmapy ASCII znaků jsou načítány z bloku paměti ROM, která je připojena ke grafickému kontroléru. Blok grafického kontroléru je na obr. 10.



Obr. 10: Blok grafický kontrolér

| | |
|--------------------|---|
| <i>data_in</i> | vstup 8b dat |
| <i>data_in_en</i> | potvrzení vstupních dat |
| <i>data_out</i> | výstup 24b dat určených k zápisu do RAM |
| <i>adr_out</i> | 18b adresa zápisu do RAM |
| <i>data_out_en</i> | potvrzení výstupních dat do RAM |
| <i>busy</i> | vstup povolení zápisu do RAM |
| <i>char</i> | výběr znaku z paměti ROM (7b) |
| <i>row</i> | výběr řádku znaku z paměti ROM (4b) |
| <i>rom_en</i> | povolení výstupu dat z ROM |
| <i>rom_data</i> | vstup 8b dat z ROM |
| <i>rst</i> | resetovací signál |
| <i>clk</i> | taktovací signál |

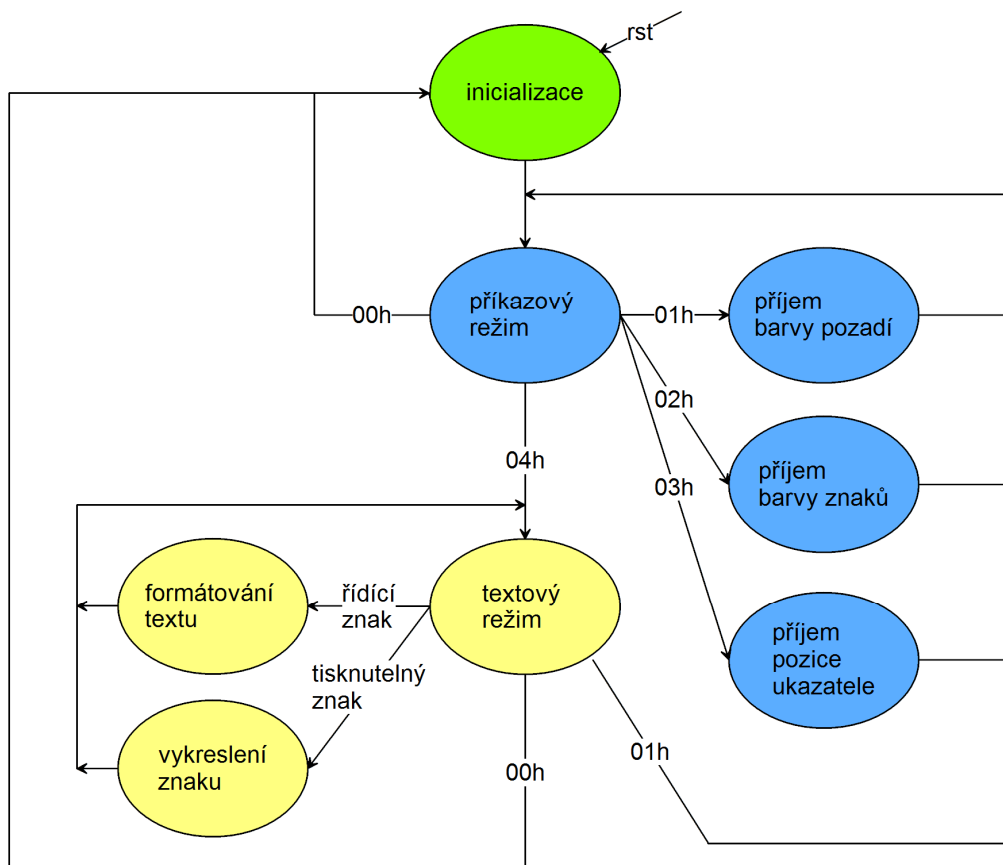
Kontrolér obsahuje tři registry. Dva 24 b, které obsahují hodnotu barvy pozadí a znaku a jeden 11 b obsahující pozici znaku. Tento registr je rozdělený na 6 b a 5 b část, která obsahuje horizontální a vertikální pozici. Při mazání displeje je potřeba čítač obrazu, který určuje pozici pixelů na obrazovce. Při generování znaku se používá čítač znaku. Zajišťuje zápis pixelů znaku na požadované pozice. Blokové schéma je na obr. 11.



Obr. 11: Blokové schéma grafického kontroléru

4.2.1 Zpracování dat

Grafický kontrolér je řízen stavovým automatem. Pracuje ve dvou režimech příkazovém a textovém. V příkazovém režimu jsou nastavovány parametry zobrazení, tedy barva znaků a pozadí a dále pozice ukazatele začátku vykreslování znaku. V textovém režimu zajišťuje vykreslování znaků a základní formátování textu. Tyto režimy se liší tím, že v příkazovém režimu je nejdříve přijet příkaz a poté data. V textovém režimu jsou přijímány pouze data, kromě příkazu vymazání displeje nebo přechodu do příkazového režimu. Diagram zpracování dat grafickým kontrolérem je na obr. 12.



Obr. 12: Diagram pracování dat grafickým kontrolérem

Tab. 4: Zpracování dat v příkazovém režimu

| Funkce | Přijátá data | Popis |
|------------------------------|--|---|
| vymazání displeje | Byte 1 : 00h | vymaže displej a nastaví pozici ukazatele na začátek |
| nastavení barvy pozadí | Byte 1 : 01h Byte 2 : R7 - R0 Byte 3 : G7 - G0 Byte 4 : B7 - B0 | nastavení barvy pozadí ve formátu RGB, 8 b pro každou barvu |
| nastavení barvy znaku | Byte 1 : 02h Byte 2 : R7 - R0 Byte 3 : G7 - G0 Byte 4 : B7 - B0 | nastavení barvy znaku ve formátu RGB, 8 b pro každou barvu |
| nastavení pozice ukazatele | Byte 1 : 03h Byte 2 : HP (0-51) Byte 3 : VP (0-16) | nastavení pozice ukazatele, 8 b pro horizontální pozici v rozsahu 0 -51, 8b pro vertikální pozici v rozsahu 0 -16 |
| přepnutí do textového režimu | Byte 1 : 04h | přepne se do textového režimu |

Tab. 5: Zpracování dat v textovém režimu

| Funkce | Přijátá data | Popis |
|------------------------------|-------------------------|--|
| vymazání displeje | Byte 1 : 00h | vymaže displej a nastaví pozici ukazatele na začátek, poté se přepne do příkazového režimu |
| formátování textu | Byte 1 : 0Dh | posun ukazatele na začátek dalšího řádku |
| formátování textu | Byte 1 : 08h | dekrementace ukazatele pozice a vymazání znaku na ní |
| vykreslení znaku | Byte 1 : znak (20h-7Fh) | vypíše požadovaný znak na pozici danou ukazatelem a inkrementuje ji |
| přepnutí do textového režimu | Byte 1 : 00h | přepne se do příkazového režimu |

Po resetu a nebo po přijetí příkazu k vymazání displeje, je potřeba vymazat vnější paměť. K tomuto slouží stav inicializace, kdy je na každou adresu, kde je uložen obraz, zapsána hodnota barvy pozadí (po resetu nastaveno na černou).

Po inicializaci se kontrolér automaticky přepne do příkazového režimu. Zpracování přijatých dat v tomto režimu je v tab. 4. V tomto stavu čeká na přijetí příkazu z nadřazeného systému. Tímto příkazem může být nastavení parametrů zobrazení nebo se může přepnout do textového režimu (04h).

Při přijetí příkazu nastavení barvy znaku nebo pozadí (02h nebo 01h) se následujících 24b přijatých bitů zapíše do příslušného registru. Data jsou přijímána jako 8b pro červenou, 8b pro zelenou a 8b pro modrou barvu.

Při přijetí příkazu nastavení pozice (03h) se následující přijatá data zapíšou jako horizontální pozice a další přijatá data jako vertikální pozice. Před zápisem do registru je zkontrolováno, jestli požadovaná pozice nepřesáhla maximální rozsah.

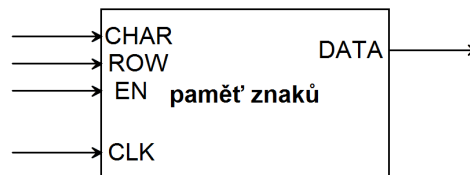
V textovém režimu kontrolér čeká na přijetí znaku nebo formátovacího příkazu. Také se může přepnout zpět do příkazového režimu (01h). Zpracování přijatých dat v tomto režimu je v tab. 5. Při přijetí znaku je na adresu danou pozicí kurzoru zapsán přijatý znak. Tato

pozice je po vykreslení znaku automaticky inkrementována. Na zvolený displej je možné zapsat 17 řádků a 53 znaku na řádek. Znak zapisované na displej mají velikost 16 x 8 pixelů.

Formátovací příkaz je posun ukazatele na začátek dalšího řádku příkazem cr (enter, v ascii 0Dh) a vymazání znaku na předchozí pozici příkazem bs (backspace, v ascii 08h).

4.2.2 Paměť znaků

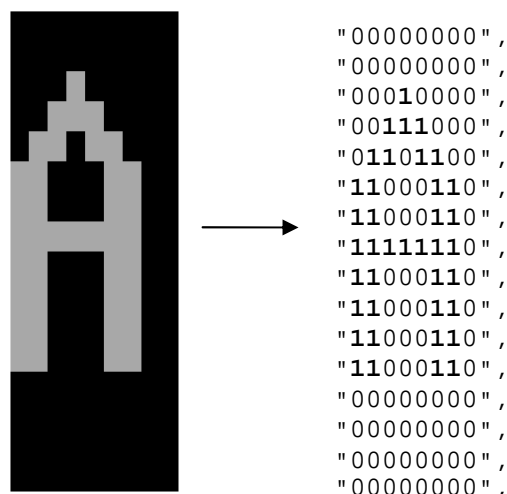
Jednotlivé znaky ASCII tabulky jsou uloženy v paměti typu ROM vytvořené přímo v hradlovém poli. Tato paměť je synchronní, tzn., že po přijetí adresy jsou data přivedena na výstup až s náběžnou hranou hodinového signálu. Paměť je organizována jako pole o velikosti 128 znaků a každý znak má 16 řádků po 8 bitech. Je vytvořena tak, že bitmapy jsou uloženy v blokové paměti RAM obvodu Spartan 3 a nejsou zbytečně zabrány LUT tabulky. Momentálně jsou použity pouze základní znaky ASCII tabulky, které zabírají jednu blokovou paměť RAM. V použitém obvodu FPGA Spartan XC3S200 se nachází dvanáct těchto bloků, proto je možné uložení dalších sad znaků.



Obr. 13: Blok paměť znaků

| | |
|-------------|--------------------|
| <i>CHAR</i> | výběr znaku (7b) |
| <i>ROW</i> | řádek znaku (4b) |
| <i>EN</i> | povolení paměti |
| <i>DATA</i> | data z paměti (8b) |
| <i>CLK</i> | taktovací signál |

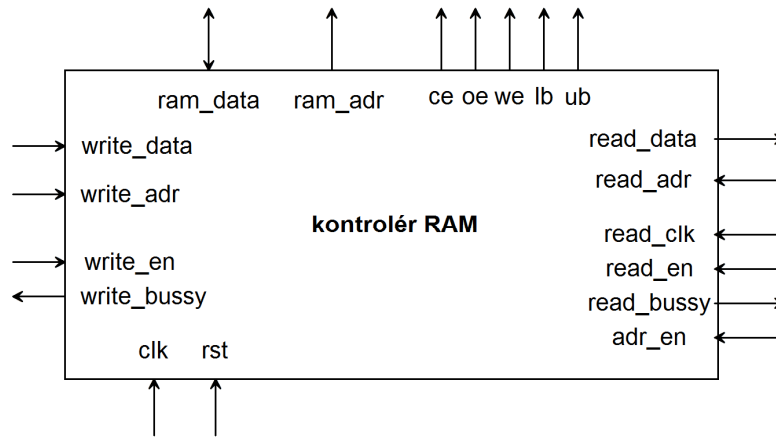
Obsah paměti byl vygenerován pomocí programu MATLAB z BMP souboru získaného ze [8]. Tento soubor obsahuje jednotlivé znaky ASCII tabulky. MATLAB negeneroval přímo bitmapy jednotlivých znaků, ale jejich bitový zápis v jazyce VHDL (viz. obr. 14).



Obr. 14: BMP soubor převedený na bitový zápis

4.3 Kontrolér RAM

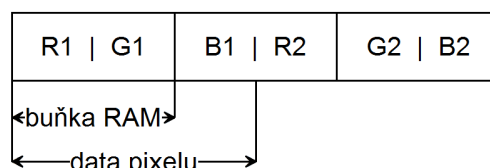
Kontrolér RAM zajišťuje zápis a čtení z vnější paměti RAM. Obsahuje tři porty. Jeden je určen k připojení paměti RAM. Druhý slouží k zápisu do paměti RAM a třetí ke čtení z paměti RAM. Komponenta kontroléru je na obr. 15.



Obr. 15: Komponenta kontrolér RAM

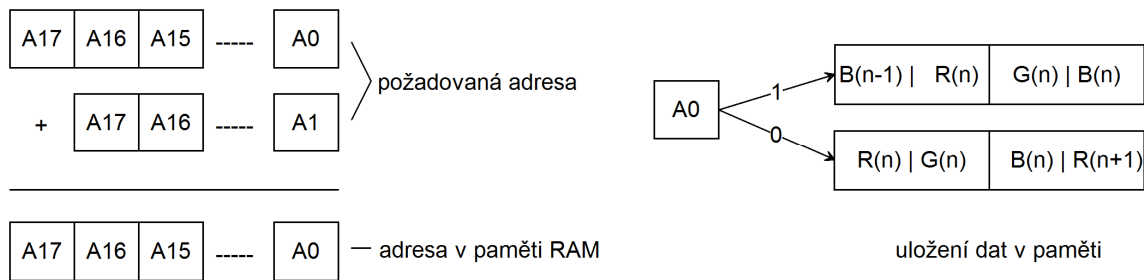
| | | | |
|-------------------|---|--------------------|--|
| <i>ram_data</i> | vstup/výstup 16b dat z paměti RAM | <i>write_bussy</i> | zaneprázdnění kontroléru pro zápis dat |
| <i>ram_adr</i> | adresa do paměti RAM | <i>read_data</i> | výstup přečtených dat |
| <i>ce</i> | signál chip enable paměti RAM | <i>read_adr</i> | adresa čtení dat |
| <i>oe</i> | signál output enable paměti RAM | <i>read_clk</i> | taktovací signál čtení |
| <i>we</i> | signál write enable paměti RAM | <i>read_en</i> | povolení čtení |
| <i>lb</i> | signál lower byte paměti RAM | <i>read_bussy</i> | zaneprázdnění kontroléru pro čtení dat |
| <i>ub</i> | signál upper byte paměti RAM | <i>adr_en</i> | povolení načtení adresy čtení |
| <i>write_data</i> | vstup 24b dat určených pro zápis do RAM | <i>clk</i> | hodinový signál |
| <i>write_adr</i> | vstup 18b adresy pro zápis dat | <i>rst</i> | resetovaní signál |
| <i>write_en</i> | povolení zápisu dat | | |

Data jsou ukládána za sebou v pořadí jak budou zobrazena na displeji. Protože, pro vybraný displej je potřeba pro jeden pixel uložit 24 bitové slovo a vnější paměť má šířku dat pouze 16 bitů, bylo nutné tato data rozdělit do dvou buněk paměti (viz. obr. 16).



Obr. 16: Uložení dat v paměti

Protože, data jsou uložena do dvou buněk paměti, adresa zápisu a čtení neodpovídá adrese v paměti RAM. K výpočtu adresy v paměti slouží dekodér adresy. Určuje také pozici uložení dat v buňkách paměti, tedy jestli začínají ve spodní nebo horní polovině první buňky. Adresa je vypočtena tak, že k požadované adrese je připočtena tatáž adresa celočíselně vydělena dvěma (viz. obr. 17). Vydělení se provede jednoduše bitovým posuvem adresy doprava. Pozice dat v buňkách je určena nejnižším bitem požadované adresy (viz. obr. 17).



Obr. 17: Výpočet adresy a pozice dat v paměti RAM

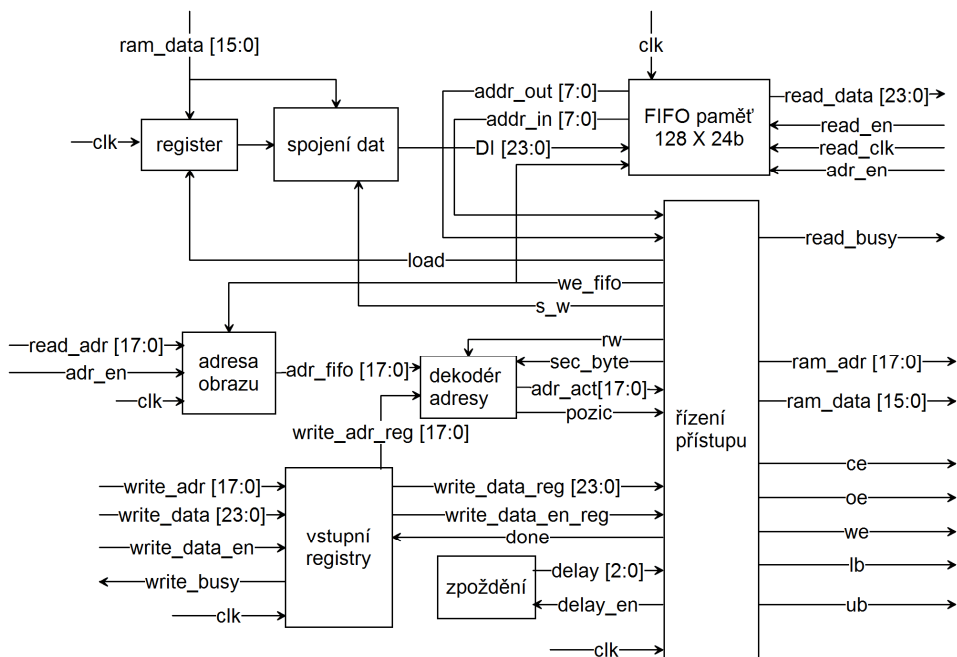
Data, která mají být zapsána se ukládají spolu s adresou do vstupního registru. Signálem *write_data_en* jsou data načtena. Po načtení je nastaven příznak *write_busy* signalizující naplnění registru. Jakmile jsou data zapsána je tento příznak smazán.

Při čtení dat se požadovaná adresa ukládá do registru adresy obrazu. Tento registr při přečtení dat se automaticky inkrementuje, takže není potřeba vždy zadávat novou adresu pokud jsou požadovaná data uložena za sebou. Načtení nové adresy se provádí pomocí signálu *adr_en*.

Jak již bylo řečeno data jsou uložena ve dvou buňkách paměti RAM. Proto první část čtených dat je nejprve uložena do registru a poté spojena s jejich druhou částí na následující adrese. O tom jak budou data spojena rozhoduje signál *s_w*. Jsou dvě možnosti spojení dat. Buď se spojí data uložena v registru spolu s prvním bytem následujících dat nebo se spojí druhý byt v registru s daty uloženými na další adrese.

Spojená data jsou ukládána do výstupní FIFO paměti. Tato paměť umožňuje uložit 128 slov o požadované velikosti 24 b. Zápis do této paměti se povoluje signálem *we_fifo* a čtení se povoluje signálem *read_en*. Rychlost čtení určuje signál *read_clk*. Pro správné řízení je vyvedena vstupní a výstupní adresa FIFO paměti. Díky těmto adresám je hlídán počet zapsaných dat a tím také kolik místa ve FIFO paměti zbývá. Tato hodnota se získá jednoduše rozdílem mezi adresou výstupní a adresou vstupní.

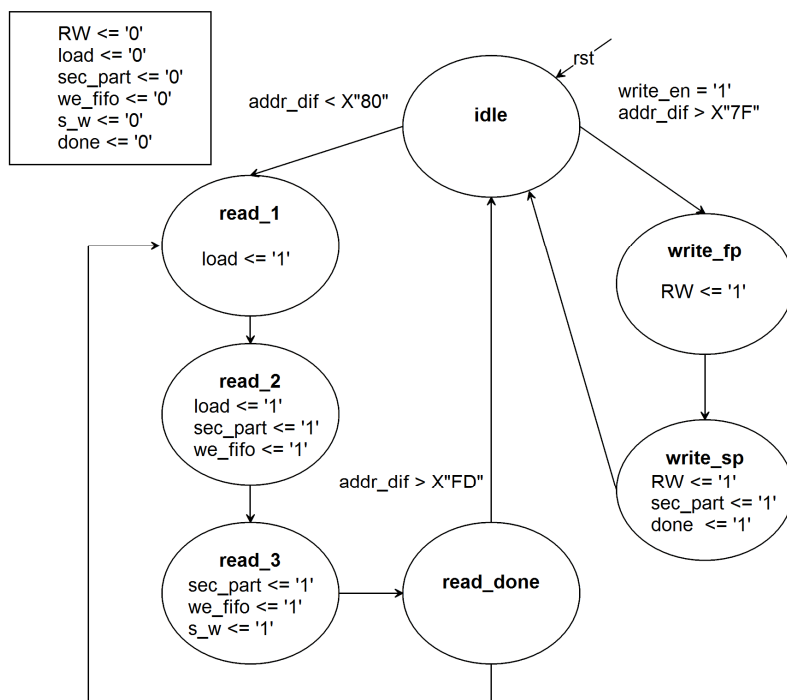
Řízení přístupu je řešeno pomocí stavového automatu. Tento automat se stará o zápis a čtení z vnější paměti a také hlídá množství dat uložených ve výstupní FIFO paměti. Kompletní blokové schéma kontroléru je na obr. 18.



Obr. 18: Blokové schéma kontroléru RAM paměti

4.3.1 Řízení přístupu do paměti RAM

Stavový automat pracuje ve dvou větvích a to čtení a zápis (viz. obr. 19.). Čtení má vyšší prioritu a je vyvoláno nedostatkem dat ve výstupní FIFO paměti. Pokud je FIFO paměť naplněna více jak z poloviny je povolen zápis.



Obr. 19: Řízení přístupu do RAM – stavový diagram

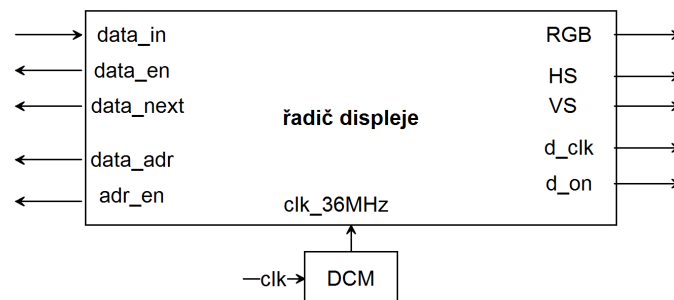
Čtena jsou vždy dvě 24 b data uložena ve třech 16 b buňkách paměti RAM. Čtena jsou tedy sudá a lichá data uložena od začátku první do konce třetí buňky. Díky tomu je rychlost čtení vyšší než kdyby byly ze dvou buněk paměti získána pouze jedna data.

V klidovém stavu *idle* je hlídán stav naplnění FIFO paměti. Pokud je naplněna méně jak z poloviny dojde k načítání dalších dat. Ve stavu *read_1* jsou načtena data z první buňky paměti RAM. Tato data jsou uložena do registru pomocí signálu *load*. V dalším stavu *read_2* je pomocí signálu *sec_part* vybrána další buňka v paměti RAM. Při načtení dat z druhé buňky paměti jsou tato spojena s daty uloženými v registru a uložena do FIFO paměti pomocí signálu *we_fifo*. Po uložení je adresa obrazu automaticky inkrementována. Současně jsou data z RAM paměti uložena do registru. Ve stavu *read_3* jsou načtena data z třetí buňky paměti. Signál *sec_part* je aktivní, protože data první části jsou již uložena v registru. Po načtení dat z RAM jsou spojena s daty v registru a uložena do FIFO paměti. Signálem *s_w* je určeno spojení lichých dat. V poslední stavu *read_done* je zkontrolováno, jestli jsou ve FIFO paměti minimálně dvě volná místa. Jestli ano, tak se čte další dvojice dat a jestli ne přechází automat do stavu *idle*.

Pokud je výstupní FIFO paměť více jak z poloviny naplněna je povolen zápis do paměti. Požadavek zápisu je signalizován pomocí signálu *write_data_en_reg*. Při tomto signálu přechází automat do stavu *write_fp*. V tomto stavu je zapsána část dat do první buňky paměti. Signálem *RW* se vybere adresa zápisu. Na základě adresy je rozhodnuto jak budou data uložena v první buňce (viz. obr. 17). Po zápisu první části přechází automat do stavu *write_sp*. Je zapsána druhá část dat a pomocí signálu *done* uvolněn vstupní registr pro zápis dalších dat.

4.4 Řadič displeje

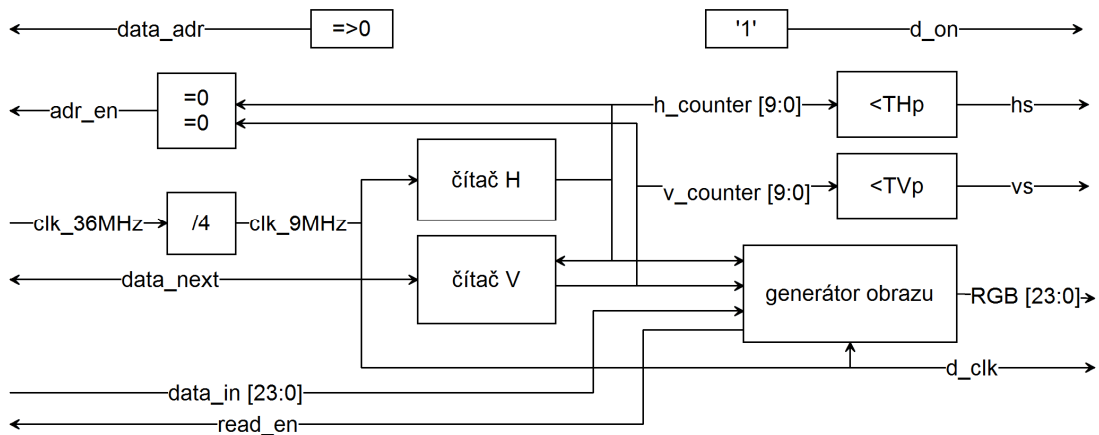
Řadič displeje zajišťuje generování horizontální a vertikální synchronizace a také zajišťuje odesílání obrazového signálu do displeje. Pro zvolený displej je frekvence odesílání obrazových dat 9 MHz. Blok řadiče displeje je na obr. 20.



Obr. 20: komponenta řadič displeje

| | |
|------------------|-------------------------------|
| <i>data_in</i> | vstup 24b obrazových dat |
| <i>data_en</i> | povolení vstupu dat |
| <i>data_next</i> | požadavek na následující data |
| <i>data_adr</i> | adresa požadovaných dat |
| <i>adr_en</i> | povolení načtení adresy |
| <i>RGB</i> | výstup 24b obrazových dat |
| <i>HS</i> | horizontální synchronizace |
| <i>VS</i> | vertikální synchronizace |
| <i>d_clk</i> | taktovací signál displeje |
| <i>d_on</i> | zapnutí displeje |
| <i>clk_36MHz</i> | vstup pro hodinový signál |

Protože na vývojové desce se nachází oscilátor o frekvenci 50 MHz je potřeba tento signál upravit pomocí bloku DCM, který se nachází přímo v obvodu hradlového pole Spartan 3. Tento blok pomocí dělení a násobení frekvence vstupního signálu vytvoří nový signál o požadované frekvenci. Pro tento případ byla výstupní frekvence zvolena tak, aby se z ní dala jednoduše udělat požadovaná frekvence 9 MHz a také tak, aby byla dodržena minimální doporučená výstupní frekvence z bloku DCM 24 MHz. Hodnota výstupní frekvence byla nastavena na 36 MHz (D:25, M:18). Tento signál je dále upraven pomocí jednoduché děličky čtyřmi na frekvenci 9 MHz.



Obr. 21: Blokové schéma řadiče displeje

Řadič displeje obsahuje dva čítače a to čítač řádků a čítač sloupců, které jsou potřeba ke generování synchronizačních impulzů a také ke správnému časování odesílaných obrazových dat. Synchronizační signály jsou generovány pomocí dvou komparátorů porovnávající hodnotu čítačů s nastavenou délkou synchronizace. Pokud je jejich hodnota nižší generuje se synchronizační signál (log. 0) jinak jsou v klidovém stavu (log. 1).

Pro odesílání obrazových dat se v řadiči nachází generátor dat, který zajišťuje načítání obrazových dat a jejich odesílání. Data se načítají z bloku kontroléru RAM, který obsahuje výstupní FIFO paměť. Pomocí signálu *read_en* se povolí čtení pamětí, kdy rychlost vyčítání dat určuje signál *data_next*.

Předtím, než se začnou načítat data z výstupní FIFO paměti kontroléru RAM, je potřeba nastavit počáteční adresu v paměti RAM od které jsou uložena. Nastavení adresy proběhne vždy při nulové hodnotě horizontálního a vertikálního čítače pomocí signálu *adr_en*. Adresa začátku obrazových dat je pevně nastavena na nulu. Blokové schéma řadiče displeje je na obr. 21.

5 Implementace do hradlového pole

Celý návrh grafického rozhraní byl napsán v jazyce VHDL [9] a implementován do hradlového pole Spartan XC3S200, který se nachází na vývojovém kitu. Zápis kódu, syntéza, implementace designu a generování programovacího souboru probíhal v programu ISE WebPACK (ver. 12.4) od firmy Xilinx. Využití zvoleného obvodu je v tab. 6.

Výsledný programovací soubor by nahrán do hradlového pole pomocí programu Adept (ver. 2.6) od firmy Digilent. Navržené grafické rozhraní bylo otestováno na zvoleném displeji, který byl připojen pomocí rozšiřující desky k vývojovému kitu S3 Board [7]. Ukázka testování je na obr. 22.

Tab. 6: Využití obvodu Spartan XC3S200

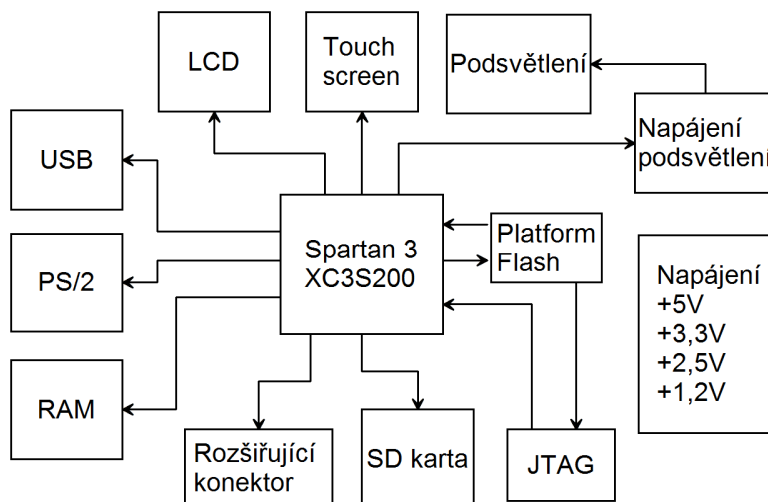
| | |
|---------------------------|-----------|
| Využito LUT | 441 (11%) |
| Počet řezů (Slices) | 332 (17%) |
| Počet klopných obvodů | 281 (7%) |
| Počet násobiček MULT18x18 | 1 (8%) |
| Počet Blokových RAM | 2 (17%) |
| Hodinové signály BUFGMUX | 3 (37%) |



Obr. 22: Displej připojený k rozšiřující desce

6 Demonstrační deska

K demonstraci navrženého rozhraní byla navržena a zrealizována deska, která obsahuje obvod FPGA Spartan XC3S200 [4]. Tato deska obsahuje vše potřebné pro napájení, připojení a řízení zvoleného displeje. Dále obsahuje další periferie pro budoucí rozšíření funkcí aplikace. Fyzické blokové schéma navržené desky je na obr. 23.

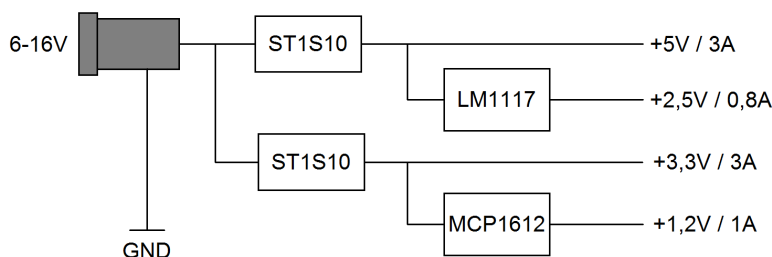


Obr. 23: Fyzické blokové schéma navržené desky

Obvod Spartan XC3S200 [4] použitý na desce je v pouzdře TQ144. Maximální počet uživatelských vstupně/výstupních pinů je 97. Všechny jsou na desce využity.

6.1 Napájení desky

Napájení desky je možné v rozmezí 6 až 16 V. Navržená deska obsahuje čtyři napěťové zdroje (viz. obr. 24). Na vstupu jsou dva snižující měniče napětí ST1S10 [10] od firmy ST Microelectronics s maximálním výstupním proudem 3 A. První snižuje vstupní napětí na 5 V a druhý na 3,3 V. Obvod je zapojen podle doporučení z katalogového listu. Pro změnu 5 V napětí na 2,5 V je použit LDO regulátor LM1117 [11] od firmy National Semiconductor s maximálním výstupním proudem 800 mA. Pro změnu 3,3 V na 1,2V je použit snižující měnič napětí MCP1612 [12] od firmy Microchip Technology s maximálním výstupním proudem 1 A.

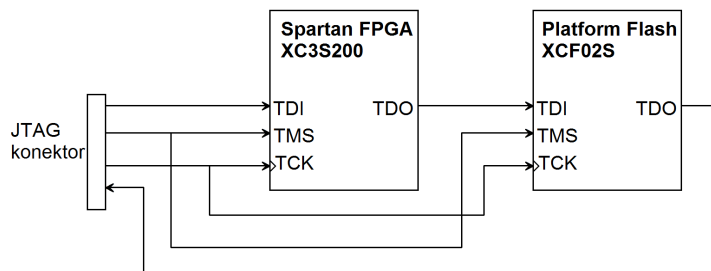


Obr. 24: Blokové schéma napájení desky

6.2 Konfigurace obvodu Spartan 3

Pro uložení konfiguračního souboru je použita sériová paměť Platform Flash XCF02S [13] od firmy Xilinx. Tato paměť je spolu s obvodem Spartan 3 zapojena do řetězce JTAG přes který probíhá její programování. Konfigurační program je také možné nahrát přímo do obvodu Spartan 3.

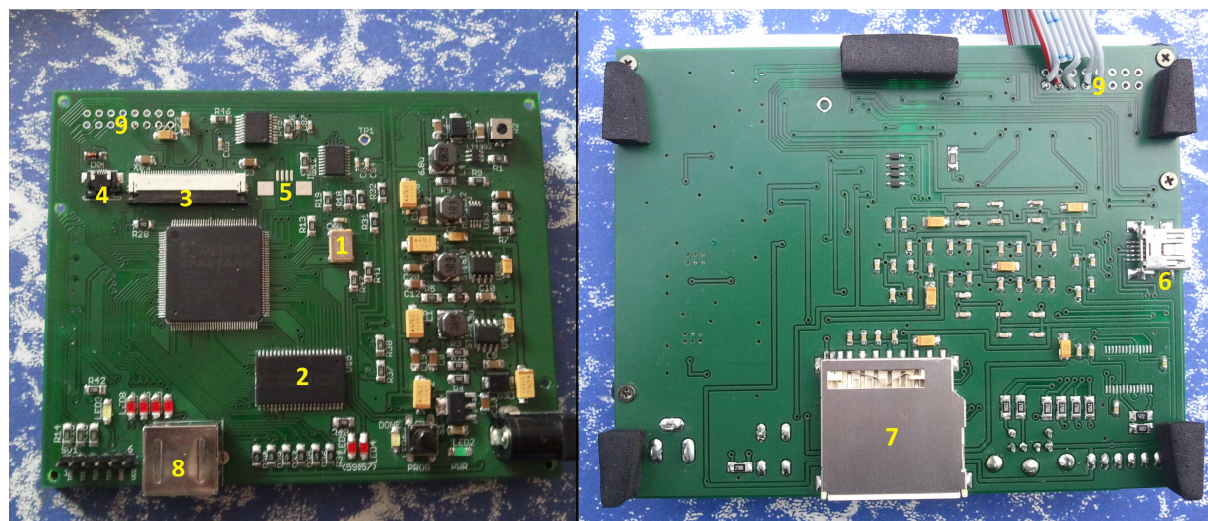
Zapojení JTAG řetězce je stejné jako u vývojového kitu S3 Boar [7], aby mohl být použit stejný JTAG adapter (viz. obr. 25).



Obr. 25: Zapojení řetězce JTAG

6.3 Periferie na desce

K obvodu FPGA Spartan 3 jsou připojeny periferie potřebné pro realizaci grafického rozhraní a také další pro budoucí využití. Pro grafické rozhraní je nezbytný displej, podsvětlení displeje, paměť RAM a také oscilátor. Dále je potřeba přijímat data do rozhraní. Pro příjem je možné použít třeba převodník USB na UART nebo rozšiřující konektor. Pro budoucí rozšíření je zde kontrolér dotykové vrstvy, která se nachází na použitém displeji, převodník USB na UART, slot na SD kartu, PS/2 konektor pro připojení klávesnice nebo myši a rozšiřující konektor pro připojení dalších periférií. Osazená deska je na obr. 26 a její periferie v tab. 7.



Obr. 26: Horní a spodní pohled na demonstrační desku

Tab. 7: Periferie na desce

| Č. | Funkce | Č. | Funkce | Č. | Funkce |
|----|-------------------|----|----------------------------|----|----------------------|
| 1 | oscilátor | 4 | konektor podsvětlení | 7 | slot SD karty |
| 2 | RAM paměť | 5 | konektor dotykového panelu | 8 | PS/2 konektor |
| 3 | konektor displeje | 6 | USB konektor | 9 | rozšiřující konektor |

6.3.1 Oscilátor

Deska obsahuje 50 MHz oscilátor. Hodinový signál je připojený k pinu FPGA sloužícímu pro příjem globálního hodinového signálu, takže může být zpracován blokem DCM. Signál je přiveden na pin **P56**.

6.3.2 Paměť RAM

Na demonstrační desce se nachází paměť RAM. Paměť je IS61LV25616AL [3] od firmy ISSI o velikosti 4 Mb organizovaných jako 256 K x 16 b. Paměť je statická s přístupovou dobou 10 ns. Jedná se o stejnou paměť, která se nachází na vývojovém kitu S3 Board (viz. kap. 2.2).

Připojení paměti RAM k pinům obvodu FPAG je v tab. 8.

Tab. 8: Připojení RAM paměti k pinům FPGA

| RAM | FPGA | RAM | FPGA | RAM | FPGA |
|-----|------|-----|------|------|------|
| A0 | P55 | A13 | P5 | IO8 | P7 |
| A1 | P53 | A14 | P6 | IO9 | P8 |
| A2 | P52 | A15 | P21 | IO10 | P10 |
| A3 | P51 | A16 | P23 | IO11 | P11 |
| A4 | P50 | A17 | P24 | IO12 | P12 |
| A5 | P30 | IO0 | P46 | IO13 | P13 |
| A6 | P28 | IO1 | P44 | IO14 | P14 |
| A7 | P27 | IO2 | P41 | IO15 | P15 |
| A8 | P26 | IO3 | P40 | CE | P47 |
| A9 | P25 | IO4 | P36 | OE | P20 |
| A10 | P2 | IO5 | P35 | WE | P31 |
| A11 | P1 | IO6 | P33 | LB | P17 |
| A12 | P4 | IO7 | P32 | UB | P18 |

6.3.3 Displej

Displej je připojený pomocí 40-ti pinového FPC konektoru přímo k obvodu FPGA. Jsou vyvedeny data barvy (RGB), taktovací signál displeje (CK), signál zapnutí displeje (DISP), horizontální (HS) a vertikální (VS) synchronizační signály.

Tab. 9: Připojení displeje k pinům FPGA

| Displej | FPGA | Displej | FPGA | Displej | FPGA | Displej | FPGA |
|---------|------|---------|------|---------|------|---------|------|
| R0 | P107 | G0 | P97 | B0 | P86 | CK | P77 |
| R1 | P105 | G1 | P96 | B1 | P85 | DISP | P76 |
| R2 | P104 | G2 | P95 | B2 | P84 | HS | P74 |
| R3 | P103 | G3 | P93 | B3 | P83 | VS | P73 |
| R4 | P102 | G4 | P92 | B4 | P82 | | |
| R5 | P100 | G5 | P90 | B5 | P80 | | |
| R6 | P99 | G6 | P89 | B6 | P79 | | |
| R7 | P98 | G7 | P87 | B7 | P78 | | |

6.3.4 Podsvětlení displeje

Displej je podsvětlen, stejně jako u rozšiřující desky, pomocí zvyšujícího měniče LT1932 [6] (viz. kap. 3.1). Byla přidána možnost jeho zapnutí a vypnutí pomocí připojení pinu SDHN měniče k obvodu FPGA. Je také možné měnit intenzitu podsvětlení pomocí PWM signálu. SDHN pin je připojen k pinu **P108** obvodu FPGA.

6.3.5 Kontrolér dotykového panelu

Použitý displej obsahuje dotykový panel. Tento panel je odporový, čtyřvodičový. Aby mohl být využit, je na desce kontrolér dotykového panelu AR1010 [14] od firmy Microchip Technologi. Tento kontrolér umožňuje získávat souřadnice dotyku ze čtyř, pěti a osmi vodičových odporových dotykových panelů. Komunikace kontroléru probíhá pomocí sériové komunikace typu UART. Rychlost je pevná 9600 Baudů, 8 b data bez zabezpečení. Rozlišení souřadnic dotyku je 10 b. Rychlost snímání až 140 souřadnic za sekundu.

Tab. 10: Připojení kontroléru dotykového panelu k pinům FPGA

| AR1010 | FPGA |
|--------|------|
| RX_TS | P70 |
| TX_TS | P69 |

6.3.6 Převodník USB na UART

Pro převod USB komunikace na UART byl použit obvod FT232RL [15] od firmy Future Technologi Devices International (FTDI). Obvod umožňuje nastavit parametry přenosu dat (počet bitů, parita, řízení toku) a také jeho rychlost (až 1 MBaud). Na demonstrační desce jsou využity pouze vývody pro přenos dat RX a TX.

Tab. 11: Připojení převodníku USB na UART k pinům FPGA

| FT232RL | FPGA |
|---------|------|
| RX | P70 |
| TX | P69 |

6.3.7 Slot na SD kartu

Na demonstrační desce se nachází slot na SD kartu. Do slotu je možné vložit SD nebo MMC kartu standardní velikosti. Kromě standardních výstupů SD karty jsou připojeny ještě signály CD (Card Detect, detekce karty) a WP (Write Protection, ochrana proti přepsání) zajištěné použitým slotem. Tyto signály jsou aktivní v log. 0.

Tab. 12: Připojení slotu na SD kartu k pinům FPGA

| SD slot | FPGA | SD slot | FPGA |
|---------|------|---------|------|
| CD/DAT3 | P132 | DAT1 | P141 |
| CMD | P135 | DAT2 | P131 |
| CLK | P137 | CD | P59 |
| DAT0 | P140 | WP | P60 |

6.3.8 PS/2 konektor

Pro připojení klávesnice nebo počítačové myši se na demonstrační desce nachází PS/2 konektor. Napájení konektoru je 3,3 V, takže nelze použít některá starší zařízení.

Tab. 13: Připojení PS/2 konektoru k pinům FPGA

| PS/2 | FPGA |
|-------|------|
| DATA | P128 |
| CLOCK | P127 |

6.3.9 Rozšiřující konektor a LED diody

Zbylé vývody obvodu FPGA byly vyvedeny na rozšiřující konektor. Na konektor je vyvedeno 11 uživatelsky přístupných vývodů a napájecí napětí 3,3 V a 5 V. Některé vývody jsou sdílené s LED diodami na desce, které mohou sloužit na testování nebo různou signalizaci.

Tab. 14: Funkce pinů rozšiřujícího konektoru a jejich připojení k pinům FPGA

| Konektor | Funkce | FPGA |
|----------|-------------|------|
| 1 | 5V | - |
| 2 | 3V3 | - |
| 3 | GND | - |
| 4 | GND | - |
| 5 | I/O1 | P63 |
| 6 | GND | - |
| 7 | I/O2 | P68 |
| 8 | I/O3 (LED5) | P125 |
| 9 | I/O4 | P116 |
| 10 | I/O5 (LED6) | P124 |
| 11 | I/O6 | P112 |
| 12 | I/O7 (LED7) | P123 |
| 13 | I/O8 | P113 |
| 14 | I/O9 (LED8) | P122 |
| 15 | I/O10 | P118 |
| 16 | I/O11 | P119 |

Některé LED diody umístěné na desce mají informační charakter a další je možné ovládat uživatelsky. Umístění LED diod je na obr. 27 a jejich funkce a připojení k obvodu FPGA v tab. 12.



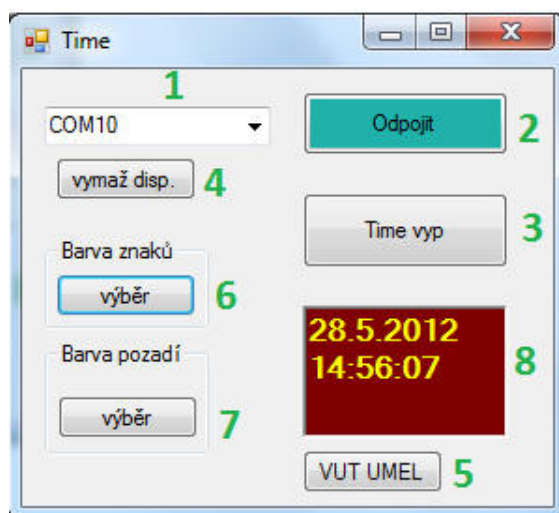
Obr. 27: Umístění LED diod na desce

Tab. 15: Funkce LED diod na desce a jejich připojení k pinům FPGA

| LED | Funkce | FPGA |
|-----|-------------------------|------|
| 1 | FPGA nakonfigurováno | DONE |
| 2 | signalizace napájení | - |
| 3 | signalizace přenosu USB | - |
| 4 | uživatelská | P57 |
| 5 | uživatelská (I/O3) | P125 |
| 6 | uživatelská (I/O5) | P124 |
| 7 | uživatelská (I/O7) | P123 |
| 8 | uživatelská (I/O6) | P122 |
| 9 | uživatelská (CD) | P59 |

6.4 Demonstrační aplikace

Pro demonstraci možné funkce navrženého grafického rozhraní byla napsána aplikace pro operační systém Windows. Tato aplikace byla napsána v jazyce C#. Slouží ke zobrazování aktuální času na displeji. Čas je zobrazen pomocí fontu vytvořeného z ASCII znaků. Dále umožňuje zvolit si libovolnou barvu pozadí a znaků a vykreslení loga VUT UMEL. Rozhraní programu je na obr. 28 a popis jeho ovládání v tab. 16. Ukázka času zobrazeného na displeji je v příloze C.



Obr. 28: Program pro výpis času

Tab. 16: Popis ovládání programu

| Č. | Funkce | Č. | Funkce |
|----|--------------------------------|----|---|
| 1 | volba sériového portu | 5 | vykreslení loga VUT UMEL |
| 2 | připojení/odpojení portu | 6 | výběr barvy znaků |
| 3 | zapnutí/vypnutí zobrazení času | 7 | výběr barvy pozadí |
| 4 | vymazání displeje | 8 | zobrazení aktuálního času v barvách použitých na displeji |

7 Závěr

Cílem práce bylo navrhnout grafické rozhraní v obvodech FPGA, které bude umožňovat vykreslování znaků na grafickém displeji. Rozhraní bylo testováno pomocí vývojového kitu S3 Board. Pro připojení displeje k vývojovému kitu byla navržena a zrealizována rozšiřující deska.

Navržené rozhraní umožňuje vykreslování základních znaků ASCII tabulky a základní formátování textu. Dále umožňuje nastavení barvy vykreslovaných znaků a pozadí a nastavení pozice ukazatele. Komunikace rozhraní s nadřazeným systémem je řešena pomocí sériové komunikace typu UART. Komunikace byla vyzkoušena a je funkční. Rychlost je napevno nastavena na 19200 Baudů a přenos dat je zabezpečen pomocí sudé parity.

Velikost zobrazovaných znaků je 8x16 pixelů. Při mezeře 1 pixel mezi znaky tedy kontrolér umožňuje zobrazit až 53 znaků na řádek a až 17 řádků textu. Vymazání obrazovky je umožněno pomocí příkazu null (v ASCII 00h), posun ukazatele na začátek dalšího řádku příkazem cr (enter, v ASCII 0Dh) a vymazání posledního znaku příkazem bs (backspace, v ASCII 08h).

Dále byla navržena a zrealizována demonstrační deska s obvodem FPGA Spartan XC3S200. Tato deska slouží k aplikaci navrženého rozhraní. Obsahuje vše potřebné pro připojení zvoleného displeje, jeho ovládání a napájení. Na desce se také nachází další periferie, které mohou sloužit v budoucnu pro rozšíření funkcí navrženého rozhraní. Konfigurace obvodu FPGA probíhá přes rozhraní JTAG.

Při testování rozhraní na vývojovém kitu S3 Board se vyskytla chyba, kdy při vykreslování znaků s nejvyšší světlostí bílé barvy (RGB : FFh FFh FFh) na černém pozadí (RGB : 00h 00h 00h) docházelo nejspíš ke generování samovolné horizontální synchronizace. Toto se projevovalo tak, že byly vykresleny první bílé pixely na daném řádku a za nimi již nic. Při snižování intenzity bílé barvy znaků se nejprve začaly vykreslovat i další pixely na řádku a nakonec se obraz stabilizoval (při RGB : F8h F8h F8h). Jako stabilní se také ukázalo zesvětlení černé barvy pozadí (při RGB : 08h 08h 08h) nebo zvolení jiných barevných kombinací. Tato chyba je asi způsobena příliš dlouhým vedením signálů od obvodu FPGA, protože u demonstrační desky, kdy je toto vedení velmi krátké, se již nevyskytuje.

Zadání bakalářské práce bylo splněno. Navržené rozhraní je funkční a také rozšiřující a demonstrační deska nevykazuje, kromě zmíněné, žádné chyby.

8 Seznam použité literatury

- [1] BARTOŠÍK, Petr. *Výběr LCD pro průmyslové stroje*. Automa. 2007, 11, s. 66-67.
Dostupný také z WWW: http://www.odbornecasopisy.cz/index.php?id_document=36273.
- [2] SHARP. *LQ043T1DG01 TFT-LCD Module*[online]., 2006-7-21 [cit. 2011-12-06].
Dostupné z WWW: http://www.sharpsme.com/webfm_send/1685.
- [3] ISSI. *IS61LV25616AL 256K x 16 HIGH SPEED ASYNCHRONOUS CMOS STATIC RAM WITH 3.3V SUPPLY* [online]. Rev. F, 2011-12-15 [cit. 2012-03-16]. Dostupné z WWW:
<http://www.issi.com/pdf/61lv25616al.pdf>.
- [4] XILINX. *Spartan-3 FPGA Family: Data Shee* [online]. V2.5, 2009-12-4 [cit. 2011-12-6].
Dostupné z WWW:
http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf.
- [5] TIŠNOVSKÝ, Pavel. *Komunikace pomocí sériového portu RS-232C*. ROOT.CZ [online].
2008 12-04 [cit. 2011-12-07]. Dostupný z WWW:
<http://www.root.cz/clanky/komunikace-pomoci-serioveho-portu-rs-232c/>>.
- [6] LINEAR TECHNOLOGY. *LT1932 Constant-Current DC/DC LED drive in Thin SOT*
[online]., [cit. 2011-12-06]. Dostupné z WWW:
<http://cds.linear.com/docs/Datasheet/1932f.pdf>.
- [7] XILINX. *Spartan-3 Starter Kit Board User Guide* [online]. V1.1, 2005-05-13 [cit. 2012-03-06]. Dostupné z WWW:
http://www.digilentinc.com/Data/Products/S3BOARD/S3BOARD_RM.pdf
- [8] OSDev.org [online]. *Free ASCII Bitmap Font*. 2008-12-27 [cit. 2011-12-06]. Dostupné z WWW:
<http://forum.osdev.org/viewtopic.php?f=2&t=20833>.
- [9] SKAHILL, Kevin. *VHDL for programmable logic*. Boston: Addison-Wesley, 1996. ISBN 0-201-89573-0.
- [10] ST MICROELECTRONICS. *ST1S10 3 A, 900 kHz, monolithic synchronous step-down regulator IC* [online]. Rev 4, 2011-3 [cit. 2012-03-10]. Dostupné z WWW:
http://www.st.com/internet/com/TECHNICAL_RESOURCES/TECHNICAL_LITERATURE/DATASHEET/CD00169322.pdf.
- [11] NATIONAL SEMICONDUCTOR. *LM1117/LM1117I 800mA Low-Dropout Linear Regulator* [online]., 2006-4 [cit. 2012-03-10]. Dostupné z WWW:
<https://www.national.com/ds/LM/LM1117.pdf>.
- [12] MICROCHIP TECHNOLOGY. *MCP1612 800mA Single 1A, 1.4 MHz Synchronous Buck Regulator* [online]., 2005 [cit. 2012-03-10]. Dostupné z WWW:
<http://ww1.microchip.com/downloads/en/DeviceDoc/21921b.pdf>.

- [13] XILINX. *Platform Flash In-System Programmable Configuration PROMs* [online]. V2.18, 2010-05-19 [cit. 2012-03-06]. Dostupné z WWW:
http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf.
- [14] MICROCHIP TECHNOLOGY. *AR1000 Series Resistive Touch Screen Controller Data Sheet* [online]., 2009-2012 [cit. 2012-03-10]. Dostupné z WWW:
<http://ww1.microchip.com/downloads/en/DeviceDoc/41393B.pdf>.
- [15] FUTURE TECHNOLOGY DEVICES INTERNATIONAL. *FT232R USB UART IC* [online]., 2012-03 [cit. 2012-03-15]. Dostupné z WWW:
http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232R.pdf.

9 Seznam zkratek

| | |
|-------|--|
| ASCII | American Standart Code for Inforation Interchange (Americký standardní kód pro výměnu informací) |
| BMP | Windows Bitmap (bitmapa Windows) |
| BS | BackSpace (zpětná mezera, vymazání posledního znaku) |
| CD | Card Detect (detekce karty) |
| CE | Chip Enable (uvedení obvodu do provozu) |
| CR | Carriage Return (návrat na začátek řádku) |
| DCM | Digital Clock Manager (správce digitálních hodin) |
| FIFO | First In First Out (první dovnitř první ven) |
| FPC | Flexible Printed Circuits (ohybný plošný spoj) |
| FPGA | Field Programmable Gate Array (programovatelné hradlové pole) |
| HP | Horizontální pozice |
| HS | Horizontální Synchronizace |
| LB | Lower Byte (spodní byte) |
| LCD | Liquid Crystal Display (displej z tekutých krystalů) |
| LED | Light Emitting Diode (dioda emitující světlo) |
| LUT | Look Up Table (náhledová tabulka) |
| OE | Output Enable (povolení výstupu) |
| PWM | Pulse Width Modulation (pulsně šířková modulace) |
| TFT | Thin Film Tranzistors (tenkovrstvé tranzistory) |
| RAM | Random Access Memory (paměť s náhodným přístupem) |
| RGB | Red Green Blue (červená zelená modrá) |
| SRAM | Static Random Access Memory (statická paměť s náhodným přístupem) |
| UB | Upper Byte (horní byte) |
| UART | Universa Asynchronous Receiver/Transmitter (univerzální asynchroní přijímač/vysílač) |
| VGA | Video Graphic Array (matice pro zobrazení grafiky) |
| VP | Vertikální Pozice |
| VS | Vertikální Synchronizace |
| WE | Write Enable (povolení zápisu) |
| WP | Write Protection (ochrana proti přepsání) |

10 Seznam příloh

A NÁVRH ROZŠÍŘUJÍCÍ DESKY

- A.1 SCHÉMA ZAPOJENÍ
- A.2 DESKA PLOŠNÉHO SPOJE – TOP (STRANA SOUČÁSTEK)
- A.3 SEZNAM SOUČÁSTEK

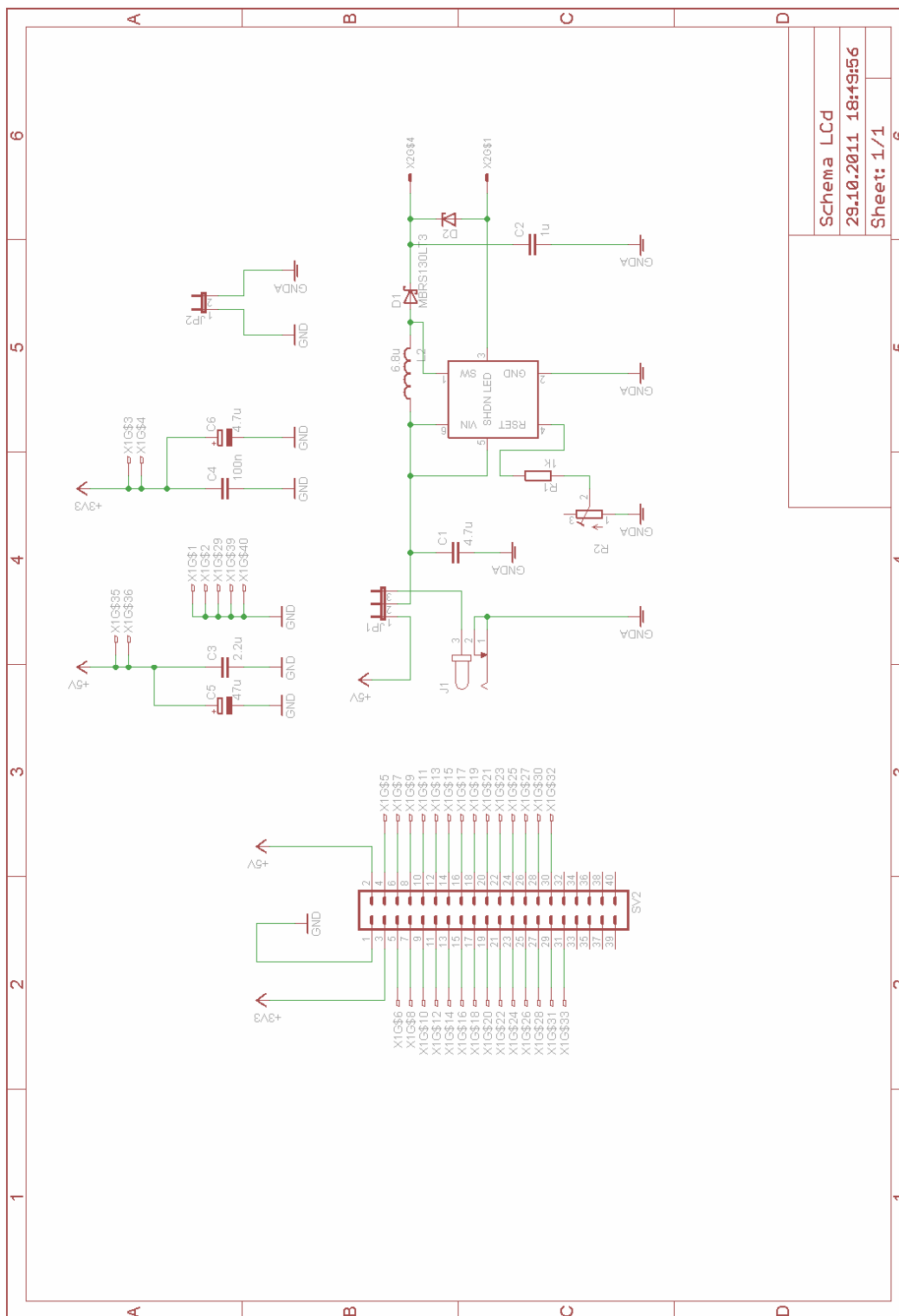
B NÁVRH DEMONSTRAČNÍ DESKY

- B.1 SCHÉMA ZAPOJENÍ
- B.2 DESKA PLOŠNÉHO SPOJE – TOP (STRANA SOUČÁSTEK)
- B.3 DESKA PLOŠNÉHO SPOJE – BOTTOM (STRANA SOUČÁSTEK)
- B.4 SEZNAM SOUČÁSTEK

C UKÁZKA FUNKCE DEMONSTRAČNÍ DESKY

A NÁVRH ROZŠIŘUJÍCÍ DESKY

A.1 Schéma zapojení

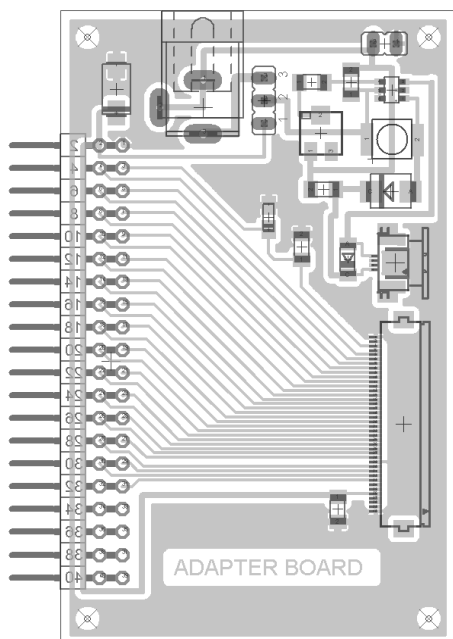


Schema LCd

29.10.2011 18:49:56

Sheet: 1/1

A.2 Deska plošného spoje – top (strana součástek)

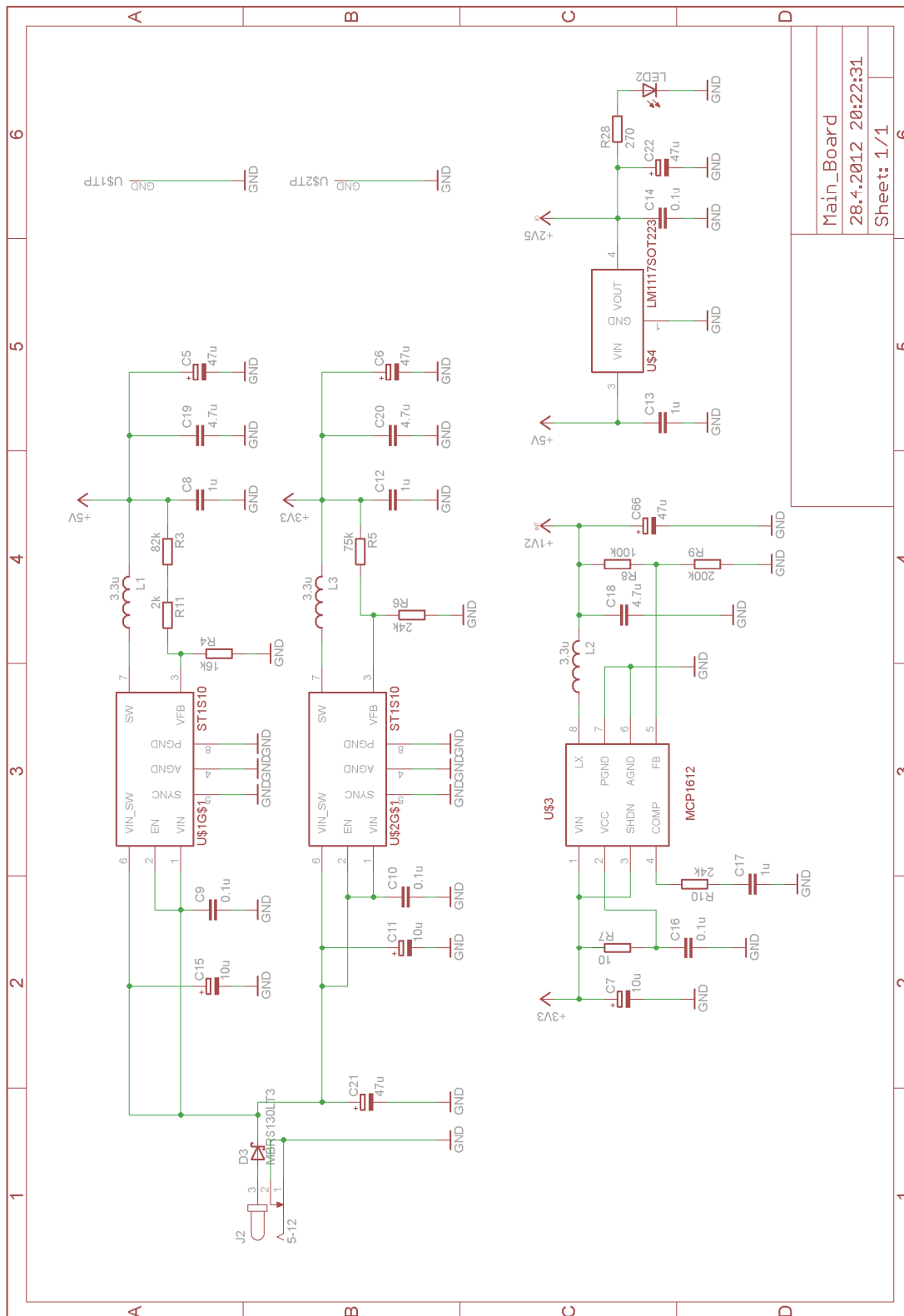


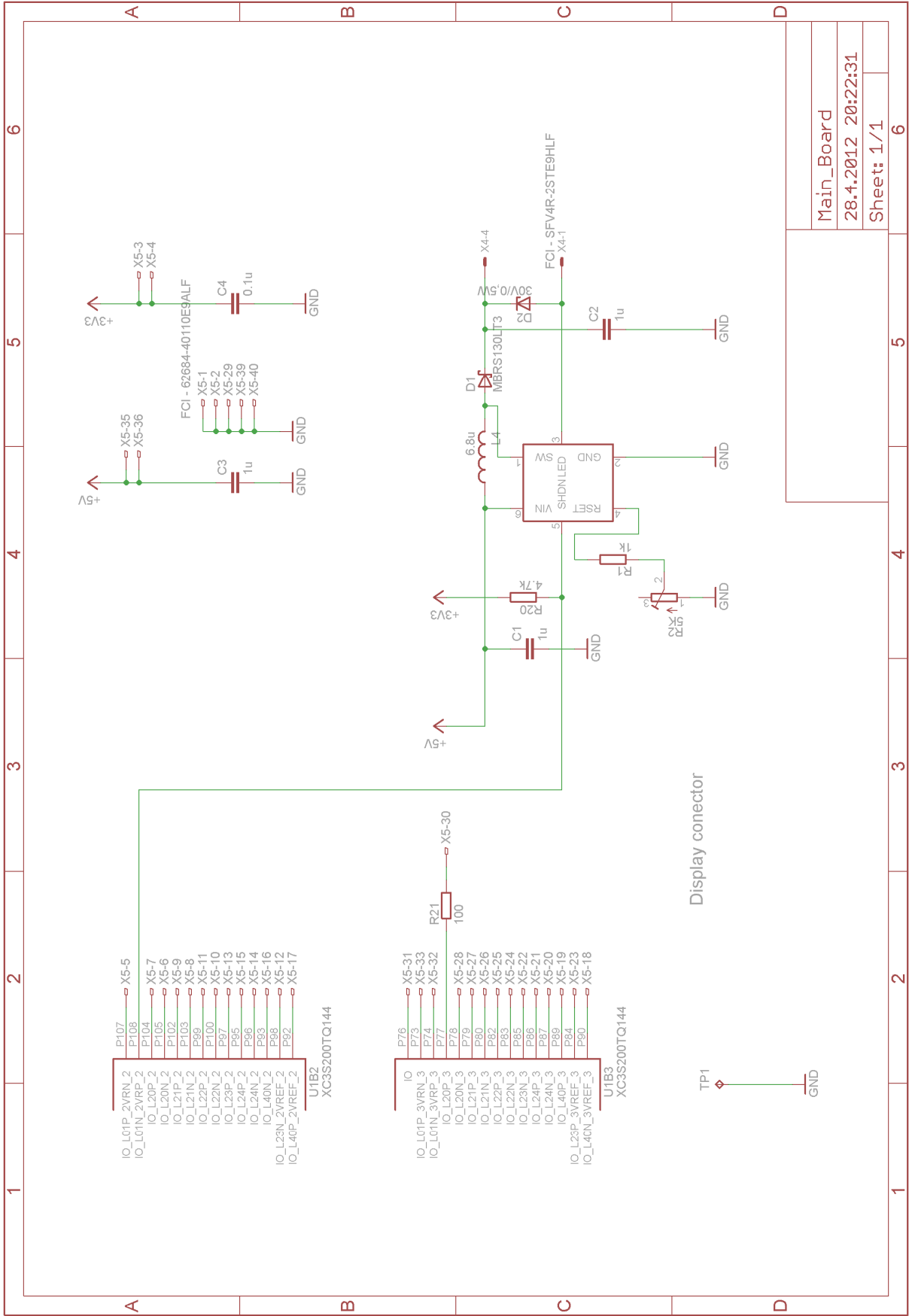
A.3 Seznam součástek

| Součástka | Označení | Hodnota | Dielek. | Pouzdro |
|-------------------|----------|--------------------|--------------|--------------------------------|
| Konektory pro LCD | X1 | Top | | FFC/FPC, ZIF, 0.5MM, 40WAY |
| | X2 | Bottom | | FFC/FPC, ZIF, 0.5MM, 4WAY |
| Konektory ostatní | SV2 | | | Kolík 2,54mm, 2x20, ohnutý 90° |
| | J1 | | | Napájecí konektor K375A |
| | JP1 | | | Kolík 2,54mm, 4 |
| | JP2 | | | Kolík 2,54mm, 4 |
| IO | LT1932 | | | TSOT23-6 |
| Diody | D1 | Schottky 40V/1A | | SMB |
| | D2 | Zener 30V/0.5W | | SOD80 |
| Rezistory | R1 | 1K Ω | | 1206 |
| | R2 | trimr 5K Ω | | - |
| Cívka | L1 | 6.8uH | | - |
| Kondenzátory | C1 | 4.7uF/16V | Keram. | 1206 |
| | C2 | 1uf/50V | X7R (X5R) | 1206 |
| | C3 | 2.2uF/16V | Keram. | 1206 |
| | C4 | 100nF/16V | Keram. | 1206 |
| | C5 | 47uF/16V | Tantal | C |
| | C6 | 4.7uF/10V | Tantal | A |

B NÁVRH DEMONSTRAČNÍ DESKY

B.1 Schéma zapojení



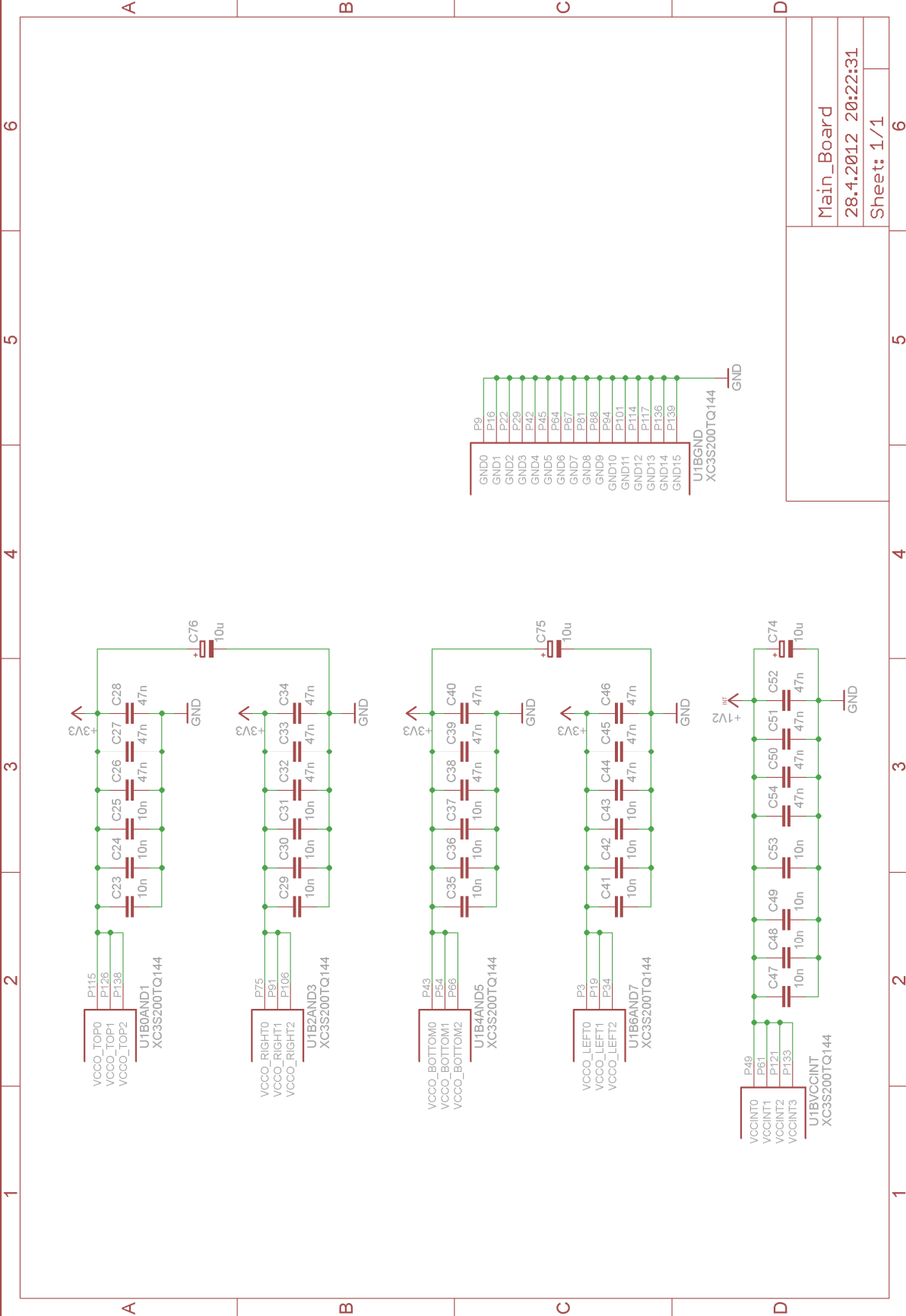


| | |
|--------------------|--|
| Main_Board | |
| 28.4.2012 20:22:31 | |
| Sheet: 1/1 | |

| | |
|---|--|
| 6 | |
| 5 | |
| 4 | |
| 3 | |
| 2 | |
| 1 | |

A B C D

A B C D

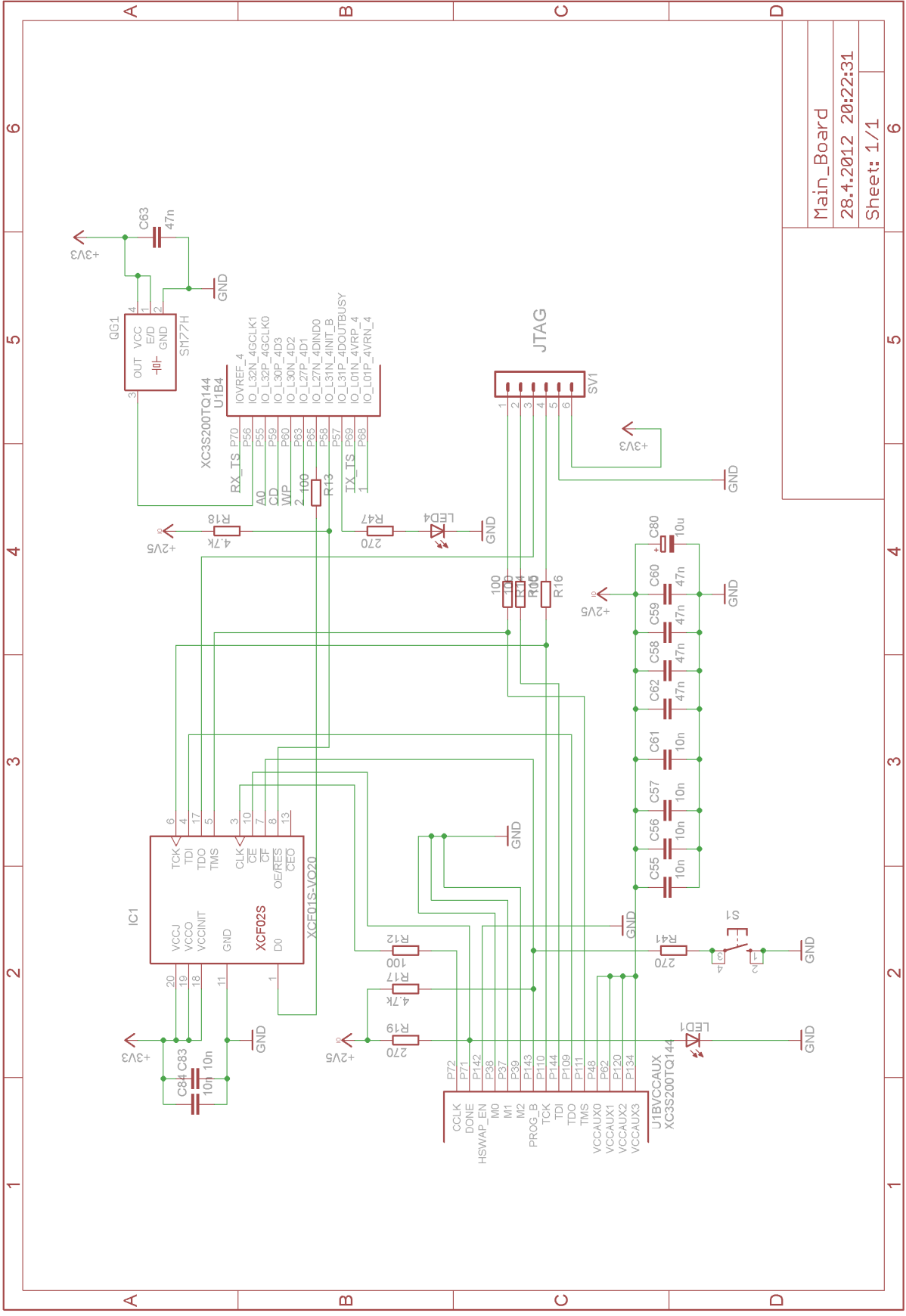


6 5 4 3 2 1

6 5 4 3 2 1

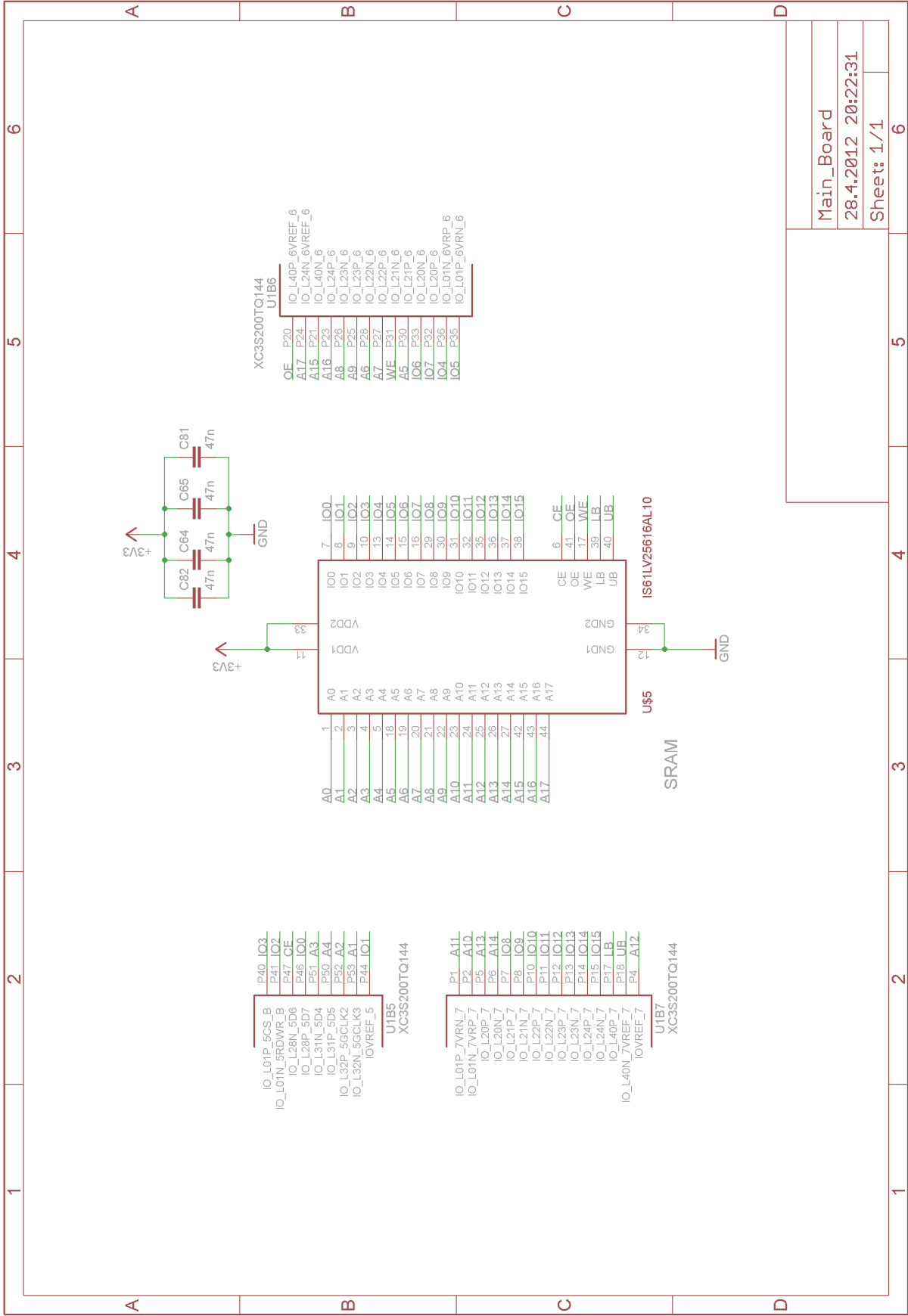
A B C D

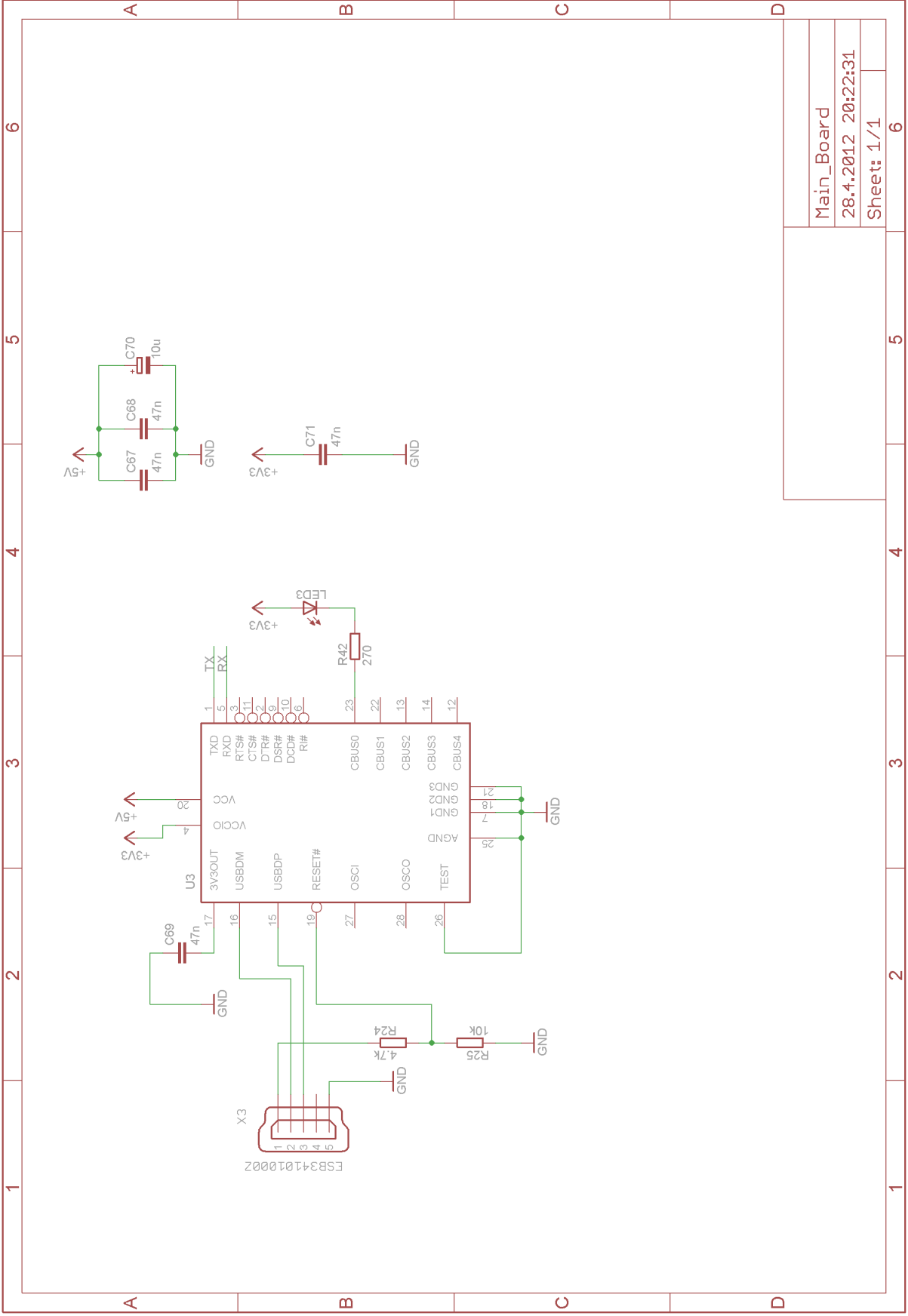
A B C D



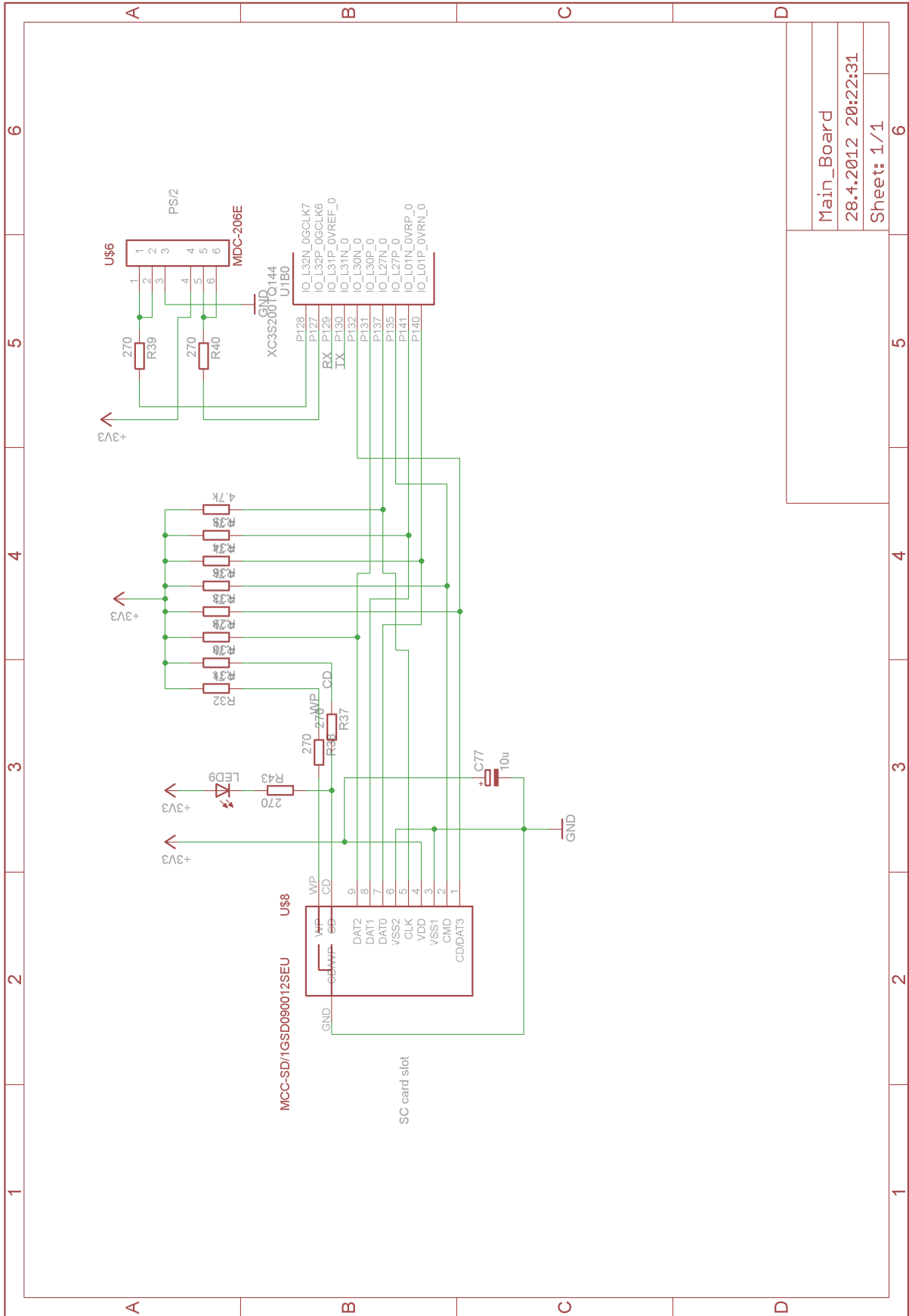
| | | | | | |
|--------------------|--|--|--|--|--|
| Main_Board | | | | | |
| 28.4.2012 20:22:31 | | | | | |
| Sheet: 1/1 | | | | | |

| | | | | | |
|---|---|---|---|---|---|
| 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|



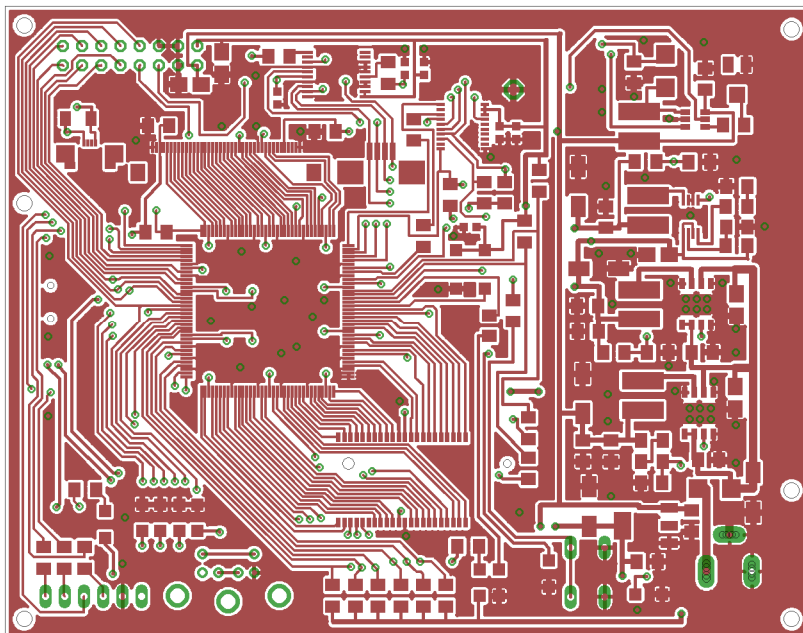


| | | | | | |
|--------------------|--|--|--|--|--|
| Main_Board | | | | | |
| 28.4.2012 20:22:31 | | | | | |
| Sheet: 1/1 | | | | | |

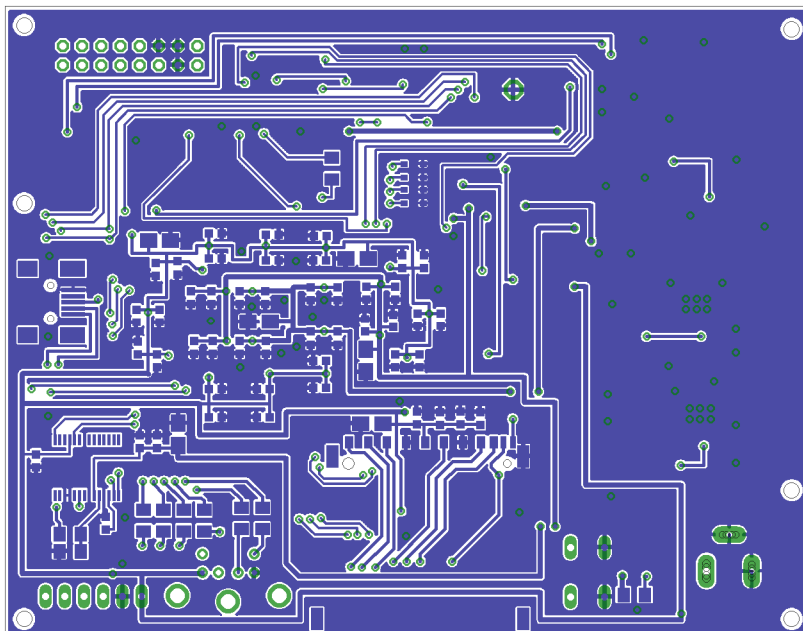


| | |
|--------------------|---|
| Main_Board | 6 |
| 28.4.2012 20:22:31 | |
| Sheet: 1/1 | |

B.2 Deska plošného spoje – top (strana součástek)



B.3 Deska plošného spoje – bottom (strana součástek)



B.4 Seznam součástek

| | hodnota | pouzdro | počet |
|--------------|------------------|---------------------|-------|
| Kondenzátory | 0.1uF/16V | 1206 | 5 |
| | 1uF/50V | 1206 | 7 |
| | 4.7uF/16V | 1206 | 3 |
| | 10nF/16V | 0603 | 24 |
| | 10uF/16V(tantal) | A | 11 |
| | 47nF/16V | 0603 | 28 |
| | 47uF/16V(tantal) | D | 5 |
| Odpor | 24k Ω | 1206 | 2 |
| | 75k Ω | 1206 | 1 |
| | 100 Ω | 1206 | 7 |
| | 100k Ω | 1206 | 1 |
| | 10 Ω | 1206 | 1 |
| | 4.7k Ω | 1206 | 12 |
| | 200k Ω | 1206 | 1 |
| | 270 Ω | 1206 | 14 |
| | 1k Ω | 1206 | 2 |
| | 2k Ω | 1206 | 1 |
| | 10k Ω | 1206 | 2 |
| trimr | 5K Ω | | 1 |
| Cívky | 3.3uH | | 2 |
| | 3.3uH | | 1 |
| | 6.8uH | | 1 |
| Diody | Zener 30V/0.5W | SOD80 (minimelf) | 1 |
| | Schottky 40V/1A | SMB | 1 |
| | Transil | SOD323 | 4 |
| | LED | 1206 | 4 |
| IC | AR1010 | SSOP20 | 1 |
| | XC3S200 | TQ144 | 1 |
| | FT232RL | LQFP32 | 1 |
| | IS61LV25616AL | TSOP44 | 1 |
| | LM1117MP | SOT223 | 1 |
| | LT1932 | SOT23-6 | 1 |
| | MCP1612 | MSOP8 | 1 |
| | ST1S10 | PSO8 | 2 |
| Oscilátor | 50MHz | 5x7 | 1 |

| | hodnota | pouzdro | počet |
|-----------|-------------------|---------|-------|
| Konektory | mini DIN6 | | 1 |
| | SD Card slot | | 1 |
| | FPC, 0.5MM, 40WAY | | 1 |
| | FPC, 0.5MM, 4WAY | | 1 |
| | FPC , 1MM, 4WAY | | 1 |

C UKÁZKA FUNKCE DEMONSTRAČNÍ DESKY

