



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV TELEKOMUNIKACÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF TELECOMMUNICATIONS

HDMI/LVDS PŘEVODNÍK

HDMI/LVDS CONVERTER

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

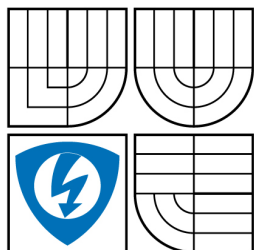
MARTIN JANOVSÝ

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. LUKÁŠ RŮČKA

BRNO 2009



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav telekomunikací

Bakalářská práce

bakalářský studijní obor
Teleinformatika

Student: Martin Janovský

ID: 78270

Ročník: 3

Akademický rok: 2008/2009

NÁZEV TÉMATU:

HDMI/LVDS převodník

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se se standardy HDMI, DVI a EDID. Seznamte se s technologiemi přenosu LVDS a TMDS. Finalizujte HDMI/LVDS převodník, jehož hardware je navržen a DPS připravena k osazení. Popište blokové schéma převodníku a zdokumentujte všechny subsystémy v zapojení. Osadte a oživte DPS po jednotlivých subsystémech a otestujte říditelnost jednotlivých bloků pomocí mikrokontroléru. Vytvořte finální program, který se bude starat o inicializaci TMDS přijímače a jeho barevné matice a který umožní programování EDID paměti. Volitelně do programu implementujte reportování Hsync/Vsync kmitočtu, signalizaci stavu a synchronizace, možnost zapnutí a vypnutí displeje a ovládání jasu displeje pomocí tlačítek. Vytvořte skript na převod mezi XML a binárním EDID. Otestujte finální produkt v kombinaci s operačními systémy Linux a Windows.

DOPORUČENÁ LITERATURA:

[1] MANN, B. C pro mikrokontroléry. Praha : BEN, 2003. 280 s. ISBN 80-7300-077-6.

[2] MATOUŠEK, David. Práce s mikrokontroléry Atmel AVR. 2. vyd. Praha: BEN, 2006. 376 s. ISBN 80-7300-209-4.

Termín zadání: 9.2.2009

Termín odevzdání: 2.6.2009

Vedoucí práce: Ing. Lukáš Růčka

prof. Ing. Kamil Vrba, CSc.
předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

Obsah

Seznam obrázků.....	3
Seznam tabulek.....	4
Úvod.....	5
Vlastní řešení.....	6
1 Elektrické standardy.....	6
1.1 DVI.....	6
1.2 HDMI.....	7
1.3 TMDS.....	8
1.4 LVDS.....	8
2 EDID.....	9
2.1 Základní informace a historie.....	9
2.2 Rozbor základního bloku EDIDu.....	11
2.3 Teorie barev.....	17
2.4 Časování obrazového signálu.....	19
3 Popis hardwaru.....	23
3.1 Blokované schéma.....	23
3.2 HDMI přijímač.....	24
3.3 LVDS vysílač.....	25
4 Stavba hardwaru.....	27
4.1 Testování zdrojů.....	28
4.2 Mikrokontrolér.....	29
4.3 USB převodník.....	30
4.4 Ovládání jasu.....	30
4.5 Zápis a čtení EDID.....	30
4.6 Test obrazovým signálem.....	32
Závěr.....	37
Seznam použité literatury.....	39
Seznam základních pojmů.....	40
Seznam příloh.....	42

Seznam obrázků

Obrázek 1.1: Typy DVI konektorů.....	7
Obrázek 1.2: Konektor HDMI typu A.....	7
Obrázek 1.3: Princip rozdílové signalizace.....	8
Obrázek 2.1: sRGB gamut (vpravo) v barevném prostoru CIE 1931 (vlevo).....	18
Obrázek 2.2: Synchronizační signály na vstupu displeje (převzato z [5]).....	22
Obrázek 2.3: Dvourozměrné zobrazení časovacích intervalů.....	22
Obrázek 3.1: Blokové schéma převodníku.....	23
Obrázek 3.2: Blokové schéma LVDS vysílače.....	26
Obrázek 4.1: Reakce VCC33 na HSOUT.....	31
Obrázek 4.2: Fotografie hotového HDMI-LVDS převodníku.....	31
Obrázek 4.3: Způsoby zobrazení SVGA na WXGA displeji.....	33
Obrázek 4.4: Bootovací obrazovka automaticky zvětšená na nativní rozlišení LCD.....	35
Obrázek 4.5: Detail rušení.....	35
Obrázek 4.6: Ruchy na LVTTTL barevných linkách (žlutá=napájení 3,3 V; červená=datový vodič).....	36
Obrázek 4.7: Rozlišení 800x600 v prostředí Windows (plná obrazovka).....	36

Seznam tabulek

Tabulka 2.1: DTD blok pro detailní časování.....	16
Tabulka 3.1: Základní parametry HDMI přijímače.....	24
Tabulka 3.2: Základní parametry LVDS vysílače.....	25
Tabulka 3.3: Přiřazení linek LVTTL -> LVDS.....	26

Úvod

V dnešním světě je velice často skloňováno slovo *digitální*. Většina přístrojů, které nás obklopují, pracuje uvnitř digitálně. Například v počítači lze jistě najít minimum analogových obvodů a díky digitalizaci pozemního vysílání se i do našich obývacích pokojů dostávají kompletně digitální přijímače.

Ke změně dochází, pokud se musí zdroj signálu připojit k obrazovce. Svět počítačů už od roku 1987 provází rozhraní grafického adaptéru VGA¹, které zpočátku umožnilo *analogový* přenos obrazu s rozlišením 640 x 480 pixelů mezi počítačem a monitorem. Postupem času se tímto rozhraním přenášel obraz o stále vyšším rozlišení, které kladlo vyšší nároky na kvalitu kabelů a konektorů. Proto profesionální CRT monitory používaly oddělení signálů do jednotlivých koaxiálních kabelů zakončených BNC konektorem.

Nejlevnější LCD monitory na trhu jsou stále vybaveny pouze VGA konektorem s absencí digitálního rozhraní. Většinou se jedná o marketingový tah výrobce, který si digitální vstup schovává do dražší modelové řady. To je škoda, protože všechny dnes dostupné grafické karty jsou vybaveny některou verzí DVI konektoru, který je určen k přenosu obrazu rozdílovou digitální signalizací. Digitální přenos obrazu netrpí jevy, které lze pozorovat u přenosu analogového:

- odrazy ("duchové"),
- neostrost hran (kapacitní vliv kabelu),
- nepřesná reprezentace obrazu - posun napětí (špatná černá / bílá),
- nelinearita (různá gamma),
- citlivost na vnější signály / ruchy.

HDMI-LVDS převodník, který je předmětem mé práce, umožňuje propojit zdroj digitálního signálu, vybavený HDMI nebo DVI konektorem, s digitálním displejem jako součástí. K tomuto účelu se dají použít displeje vytažené z nefunkčních notebooků nebo stolních LCD obrazovek, jejichž řídicí jednotka přestala pracovat.

Aby zdroj signálu věděl, jaké zobrazovací režimy může použít, přečte si z obrazovky standardním způsobem informaci o jejích schopnostech. Tato informace se nazývá EDID (Extended Display Information Data) a je uložena v displeji v EEPROM paměti. Taková paměť je osazena i na naší desce a je třeba ji naplnit informacemi, které lze vyčíst z dokumentace použitého displeje.

Tyto informace jsou uloženy binárně a mají základní velikost 128 bajtů. Popis způsobu ukládání těchto dat je součástí mé práce.

¹ VGA ještě předcházely jiné standardy jako CGA/EGA, ale moc dlouho se neudržely. VGA a jeho rozšíření lze považovat za dlouhodobý standard.

Vlastní řešení

1 Elektrické standardy

HDMI-LVDS převodník v podstatě plní dvě funkce. Ta první je příjem obrazových dat přenášených po HDMI rozhraní z grafické karty a převod na signalizaci srozumitelnou LCD panelu (LVDS). Ta druhá je možnost ovlivňovat do jisté míry chování obrazovky vedlejším komunikačním kanálem (sériová linka, nebo USB). Náš převodník lze nazývat základní deskou nebo řídicí jednotkou monitoru.

Se vstupy a výstupy na desce je spojeno několik standardů z oborů počítačové grafiky a digitální signalizace. Tato kapitola se jimi zabývá.

1.1 DVI

DVI je zkratkou anglického označení Digital Visual Interface pro rozhraní propojující zobrazovací zařízení s počítačem. Standard byl vytvořen za účelem plně digitální komunikace. Primárně je určen k přenosu nekomprimovaných digitálních video dat mezi počítačem a monitorem. Je částečně kompatibilní s rozhraním HDMI. Byl navržen a realizován skupinou firem seskupených pod názvem Digital Display Working Group (DDWG).

Typy DVI konektorů jsou závislé na přenášených signálech (viz obrázek 1.1):

- DVI-D (digital only) – pouze digitální signál,
- DVI-A (analog only) – pouze analogový signál – kompatibilní s analogovými monitory,
- DVI-I (digital & analog) – digitální i analogový signál.

K propojení grafického adaptéru a HDMI-LVDS převodníku je vhodný kabel se Single Link DVI-D konektorem na jedné straně a konektorem HDMI typu A na straně druhé.

Jeden spoj (Single Link DVI) je schopen maximálně realizovat rozlišení WUXGA 1920×1200 při 60 Hz (odpovídající 165 MHz, resp. 3,7 Gb/s). Dva spoje potom WQXGA 2560×1600 při 60 Hz (resp. i více – jedná se o omezení pouze kvalitou kabelu, tedy i více než 7,4 Gb/s).

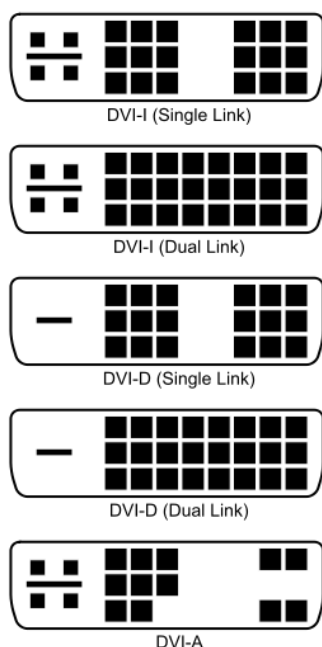
DVI rozhraní používá pro přenos informací po kabelu TMDS a řeší tak problémy s rušením signálu na poměrně velkou vzdálenost (15 metrů s redukováným rozlišením).

1.2 HDMI

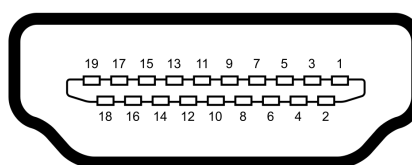
HDMI rozhraní bylo vytvořeno v roce 2002 skupinou firem působících na trhu spotřební elektroniky. Od roku 2003 je ve světě vyráběna elektronika vybavená HDMI konektory. HDMI vzniklo díky zaostalosti propojovacích systémů v A-V technice.

HDMI je zkratka anglického označení High-Definition Multi-media Interface. Jedná se o rozhraní pro přenos nekomprimovaného obrazového a zvukového signálu v digitálním formátu. HDMI podporuje přenos videa ve standardní, rozšířené nebo high-definition kvalitě, dále potom až 8-kanálový digitální zvuk. Rozhraní není závislé na různých televizních a satelitních standardech, protože přenáší nekomprimovaná video data.

Konektor HDMI typu A má 19 pinů, novější, málo rozšířená verze s označením B, má 29 pinů pro přenos videa s větším rozlišením. Konektor typu A je zpětně kompatibilní s rozhraním Single-link DVI, používaném v osobních počítačích. Zařízení s DVI výstupem tak může poskytovat video signál pro HDMI zobrazovací zařízení, zvuk se ale musí přenášet jinou cestou. Konektor typu B je pak zpětně kompatibilní s Dual-link DVI.



Obrázek 1.1: Typy DVI konektorů



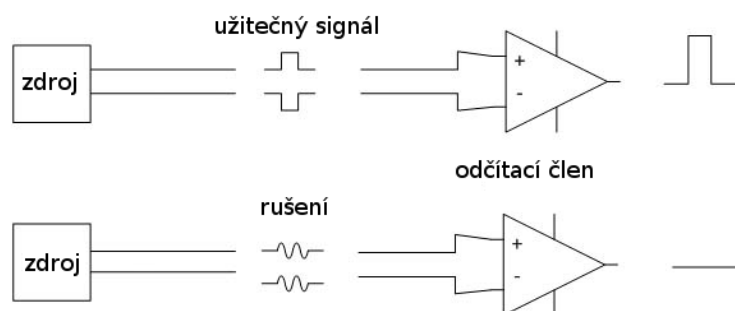
Obrázek 1.2: Konektor HDMI typu A

1.3 TMDS

Technologii TMDS (Transition Minimized Differential Signaling) přinesla do specifikace DVI 1.0 firma Silicon Image (člen DDWG). TMDS má společnou vlastnost s dalšími digitálními přenosovými systémy, jde o rozdílovou signalizaci, díky které je efektivně snižován vliv elektromagnetických interferencí na kvalitu signálu přenášeného přes měděné kabely.

Základní princip signalizace (viz obrázek 1.3) sdílejí systémy:

- TMDS,
- LVDS,
- USB,
- Serial ATA,
- většina fyzických vrstev pro Ethernet ...



Obrázek 1.3: Princip rozdílové signalizace

Specifikem TMDS je vyrovnávání signálů na stejnosměrnou hladinu, to se realizuje enkódováním datových slov (8 bitů barevná informace nebo 2 bity kontrolní signál) na 10bitová slova fyzické vrstvy.

1.4 LVDS

Signalizace LVDS (Low Voltage Differential Signaling) pracuje mnohem jednodušeji než TMDS, neboť pouze převádí paralelní data na sériová bez kompenzace na přenosové médium. Další vysvětlení je uvedeno v oddílu 3.3 a na obrázku 3.2.

2 EDID

Této problematice bych se chtěl věnovat co nejpodrobněji, jejím studiem jsem strávil nejvíce času. Bez EDID dat by HDMI-LVDS byl jen jednoduchým hardwarem, který převádí videosignál do formátu srozumitelného displeji, ale bez záruky, že na monitoru něco uvidíme.

2.1 Základní informace a historie

Za většinou standardů kolem počítačového obrazu stojí organizace **VESA** (Video Electronics Standards Association) se sídlem v Milpitas (Kalifornie). Stěžejní standardy z dílny VESA jsou k dispozici na webu organizace <www.vesa.org> většinou za poplatek řádu stovek amerických dolarů. Pro potřeby své práce jsem mimo jiné využil materiály, které lze stáhnout z webu VESA přímo, nebo po bezplatné registraci.

Jak již bylo řečeno v úvodu, standard **EDID** definuje způsob, jakým jsou formátovány informace popisující zobrazovací jednotky. Tato data jsou nezbytná pro automatickou konfiguraci zdroje signálu² (ve světě operačních systémů Windows známou pod pojmem **Plug & Play**).

Automatickou konfigurací rozumíme zcela autonomní nastavení monitorem podporovaného zobrazovacího režimu včetně správného rozlišení obrazu, časování datových a synchronizačních signálů a obnovovací frekvence.

Základní blok EDID nese zejména tato data:

- identifikace výrobce a modelu displeje³, týden a rok výroby,
- typ vstupního signálu,
 - digitální nebo
 - analogový (+ úroveň černé, nastavení synchronizace),
- fyzický rozměr obrazu,
- parametry úspory energie – DPMS (VESA),
- zda časování vstupních signálů podléhá standardu GTF (VESA),
- informaci o gamma, který je displej schopen zobrazit,
- podporu standardních zobrazovacích módů,
- detailní časování preferovaného (nebo nativního) módu.

2 V užším kontextu lze za zdroj signálu považovat grafický adaptér v počítači.

3 HDMI-LVDS převodník popisovaný v mé práci je určen k použití s digitálními LCD panely, EDID však najdeme i v CRT obrazovkách, projektorech a dalších.

Data jsou uložena s vysokou hustotou v binární podobě. Základní blok má velikost 128 bajtů. EDID vznikl v roce 1996 vyčleněním ze standardu DDC (Display Data Channel)[1]. DDC je obousměrný komunikační kanál, který umožňuje grafickému adaptéru:

- číst z displeje EDID data,
- měnit nastavení monitoru pomocí sady příkazů dle standardu MCCS (Monitor Control Command Set).

EDID se dále vyvíjel jako samostatný standard ve verzích 1.1 (1996), 1.2 (1997), 1.3 (1999) a 1.4 (2006)[2]. V roce 1997 byl navržen EDID verze 2.0, ale téměř se nedostal do praxe z důvodu neexistující zpětné kompatibility.

Význam verzí je následující:

- Pokud se změní číslo před tečkou (verze), jedná se o velkou úpravu standardu, která nezaručuje zpětnou kompatibilitu.
- Změna čísla za tečkou (revize) znamená malou úpravu funkčnosti a zaručenou zpětnou kompatibilitu. Nové revize neodebírají existující datová pole.

Od verze 1.3 lze základní EDID blok (128 bajtů) rozšířit dalšími bloky stejné délky až do celkové velikosti 32 kilobajtů. Toto rozšíření dovoluje standard E-EDID (Enhanced EDID) release A, vydaný v roce 1999. Rozšiřující bloky mohou obsahovat další užitečné informace o displeji. Jedním z impulzů pro vznik E-EDID byla spolupráce VESA s průmyslovou organizací CEA (Consumer Electronics Association) a snaha vybavit EDIDem i televizní přijímače s HDMI vstupem.

Například CEA EDID Timing Extension nese mimo jiné informace:

- o konfiguraci reproduktorů umístěných v televizoru,
- o podporovaných zvukových kodecích⁴;
- dovoluje uvést další deskriptory detailního časování⁵.

4 kodek – algoritmus, pomocí kterého je kódován a dekodován (zvukový) signál

5 Standard EDID 1.3 povoluje v základním bloku maximálně dvě detailní časování.

2.2 Rozbor základního bloku EDIDu

V následující podkapitole vysvětlím význam jednotlivých podbloků základního bloku EDID 1.3. Od roku 2004 doporučuje VESA použití EDID 1.4, verze 1.3 je však rozšířenější a lépe zdokumentovaná ve smyslu informací, které jsou k dispozici zdarma. Na rozdíl od starších verzí ji VESA stále podporuje.

Monitory, ze kterých jsem měl možnost získat soubor EDID dat:

1. AUO 7419, 15,4 palců WXGA
 - o zabudovaný v mém notebooku
 - o pouze základní blok EDID 1.3
2. DELL 2007FP, 20,1 palců UXGA
 - o kvalitní LCD monitor, nasazený ve velkém počtu v učebnách a kabinetech VUT
 - o pouze základní blok EDID 1.3
3. Yusmart 178QP, 17 palců SXGA
 - o vyroben v roce 2006, používám jej na svém stolním PC, vybaven pouze analogovým VGA
 - o pouze základní blok EDID 1.3
4. dataprojektor Acer PH530, nativní pixelový formát HD 720
 - o základní blok + CEA EDID Timing Extension revize 3 (celkem 256 B)

Základní blok EDID lze zobrazit jako seznam bajtů vyjádřených hexadecimálně, následuje EDID monitoru číslo 1 (AUO 7419), přičemž číslo v prvním sloupci odpovídá adrese prvního bajtu na řádku:

```
adr || 00 01 02 03 04 05 06 07 08 09 0a 0b 0c 0d 0e 0f
====|=====
00h || 00 ff ff ff ff ff ff 00 06 af 74 19 00 00 00 00
10h || 01 0f 01 03 80 21 15 78 0a 85 a5 99 57 4f 8f 26
20h || 1d 50 54 00 00 00 01 01 01 01 01 01 01 01 01 01
30h || 01 01 01 01 01 01 ea 1a 00 80 50 20 10 30 15 20
40h || 44 00 4b cf 10 00 00 18 00 00 00 0f 00 00 00 00
50h || 00 00 00 00 00 00 00 00 00 02 00 00 00 fe 00 41
60h || 55 4f 0a 20 20 20 20 20 20 20 20 20 00 00 00 fe
70h || 00 42 31 35 34 45 57 30 31 20 56 39 20 0a 00 cc
```

2.2.1 Hlavička – adresa 00h až 07h

Prvních 8 bajtů je věnováno povinné startovací sekvenci „00 ff ff ff ff ff ff 00“.

2.2.2 Identifikace výrobce a produktu – 08h až 11h

Deset bajtů je vyhrazeno k identifikaci výrobce a produktu, k určení sériového čísla monitoru a k uložení týdne a roku, kdy byl konkrétní monitor vyroben. Údaje jsou popisovány v pořadí, v jakém jsou ukládány.

Dva bajty nesou třípísmenný identifikátor výrobce. K vytvoření validního EDID je třeba název uložit předepsaným způsobem (komprimovaná ASCII tabulka, jeden znak = 5 bitů, viz strana 14 [3]).

Do dalších **dvou bajtů** musí být uložen identifikátor výrobku, ten může přidělovat výrobce dle libosti. Pro nás stačí uložit nenulová čísla, aby se vyhovělo standardu, textový název monitoru pak lze uložit v jednom ze čtyř tzv. DTD podbloků (viz dále na adrese 36h).

Sériové číslo zde má vyhrazeny **4 bajty**, ale standard neříká, jakým způsobem jej máme ukládat. Jedná se o pozůstatek ze starších verzí EDID. Všechny bajty je možné vynulovat nebo nastavit na libovolnou hodnotu (pokud v DTD následuje textový řetězec se sériovým číslem).

Pořadí týdne v roce, kdy byl monitor vyroben, zabírá **1 bajt** a může nabývat hodnot **1 až 54**.

Od roku výroby odečteme číslo 1990 a uložíme jej do **jednoho bajtu**. Povolený rozsah je 1993 (rok vzniku standardu EDID) až po aktuální rok.

2.2.3 Verze / revize EDID struktury – 12h až 13h

Verze je uložena jako první a musí mít hodnotu 1 (01h). Revize může nabývat hodnoty 0 až 4. Výraz „0103“ je možné snadno spatřit v hexa výpisu, odpovídá EDIDu 1.3. Pokud některý výrobce potřebuje použít EDID verze 2.0, musí jej podle specifikace E-EDID uložit v rozšířených blocích (nad adresou 7Fh) a zde označit revizí 1.3 nebo 1.4.

2.2.4 Základní parametry a vlastnosti monitoru – 14h až 18h

Definice vstupního rozhraní (1 bajt) – zde se parametry nastavují bit po bitu a pro digitální vstup (DVI) postačí nastavit **nejvyšší bit na jedničku**. EDIDy načítané přes VGA port mají nejvyšší bit vynulovaný a v rámci tohoto bajtu nastavují další parametry, které pro DVI nejsou relevantní.

Horizontální a vertikální rozměry obrazu (celkem 2 bajty) musí být nenulové pro všechny typy monitorů s výjimkou projektorů, které zde mají nuly (rozměr obrazu je variabilní). Šířka a výška se zapisují v centimetrech a zaokrouhlují na celá čísla. V podbloku DTD lze rozměry uvést přesněji v milimetrech. WXGA displej s 15,4palcovou úhlopříčkou má zpravidla šířku 331 mm, výšku 207 mm a je zapsán takto:

```
adr || 00 01 02 03 04 05 06 07 08 09 0a 0b 0c 0d 0e 0f
====||=====
10h || 01 0f 01 03 80 21 15 78 0a 85 a5 99 57 4f 8f 26
```

Přenosová charakteristika monitoru – Gamma (1 bajt) – udává míru gamma korekce, ke které dochází v monitoru při standardním nastavení. Gamma může být v rozsahu 1,0 až 3,55 a do EDID se zapisuje po odečtení hodnoty 1,0 a vynásobení 100 (rozsah 0 až 255, viz strana 22 v [3]).

Podle doporučení VESA mají mít LCD monitory gammu o hodnotě 2,2 (jako CRT obrazovky), aby byl obraz optimální bez dodatečné gamma korekce. Při gamma korekci diskrétního vyjádření barevné škály totiž dochází ke zmenšení počtu odstínů barev a tím i degradaci obrazových dat.

Power management a podporované vlastnosti monitoru (1 bajt) – tento bajt nese bitové vyjádření různých vlastností monitoru. Je-li bit v jedničce, znamená to podporu dané vlastnosti.

- Podporované režimy úspory energie (ano = 1 / ne = 0):
 - bit 7 (MSB) : **standby**
 - bit 6 : **suspend**
 - bit 5 : **active-off**
- bity 4 a 3: Analogový monitor zde nastavuje schopnost barevného zobrazení (monochrome, RGB, non RGB), ale digitální volí očekávané **kódování barev a režim chromatičnosti**.
 - 00 : RGB 4:4:4
 - 01 : RGB 4:4:4 & YCrCb 4:4:4
 - 10 : RGB 4:4:4 & YCrCb 4:2:2
 - 11 : RGB 4:4:4 & YCrCb 4:4:4 & YCrCb 4:2:2
- bit 2 : Používá monitor standardní výřez barevného prostoru sRGB? (ano = 1)

- bit 1 : **Preferovaný režim časování?** (ano = 1 / ne = 0) Standard EDID 1.3 říká, že tento bit musí být nastaven na jedničku, a to zároveň znamená, že v bloku DTD musí být uveden preferovaný režim zobrazení (jiným názvem nativní rozlišení a časování displeje).
- bit 0 : Dokáže monitor pracovat s **časováním vypočítaným podle GTF?** Pro účely HDMI-LVDS převodníku tento bit nulují, protože v bloku DTD poskytují preferované časování získané z datasheetu.

2.2.5 Hranice gamutu – 19h až 22h

Byl-li na adrese 18h nastaven bit 2 na jedničku, musí tato oblast popisovat **gamut** podle definice sRGB, v opačném případě zde musí být koordináty odlišného gamutu podle vlastností konkrétního displeje.

Koordináty gamutového trojúhelníku (Rx, Ry, Gx, Gy, Bx, By, D65x, D65y) jsou uloženy speciálním způsobem na celkem 10 bajtech, kdy každé číslo zabírá 10 bitů. Ukládáme hodnoty 0,000 až 0,999 jako 000h až 3FFh.

2.2.6 Established Timings – 23h až 25h

Dva bajty jsou věnovány výčtu podporovaných standardizovaných časování. Jednotlivé bity pouze určují, zda jsou konkrétní rozlišení a obnovovací frekvence na monitoru zobrazitelné. Pro monitor s jediným (nativním) časováním, které není v tomto seznamu obsaženo, je nutné oblast vyplnit nulami a definovat preferované časování v bloku DTD.

Třetí bajt se také vyplňuje nulami, neboť určuje podporu nestandardního časování (1152x870 @ 60 Hz) používaného některými počítači Apple.

2.2.7 Standard Timing Identification – 26h až 35h

Zde je možnost uložit 8 časování, která lze přesně vyjádřit pomocí čísla získaného z horizontálního rozlišení a poměrů stran.

Na každé časování jsou určeny dva bajty. Do prvního je uloženo horizontální rozlišení po odečtení čísla 248 a vydělení 8. Dva bity druhého bajtu nesou označení poměru stran (00=16:10, 01=4:3, 10=5:4, 11=16:9), a konečně zbylé bity nesou vertikální obnovovací frekvenci sniženou o 60.

Způsob ukládání dat v bloku Standard Timing omezuje vyjádřitelná rozlišení obrazu. Horizontální počet pixelů musí být dělitelný osmi a vertikální rozlišení musí jít odvodit pomocí poměru stran (na celá čísla). Toto neplatí například pro rozlišení 1366x768 pixelů použité v některých LCD televizích, a proto taková obrazovka může uvádět jen nejbližší hodnoty (např. 1360x765) a v bloku DTD je nutno vše uvést na pravou míru.

Podle dostupných informací však může být problém s hardwarem či ovladačem grafické karty, která prostě atypické rozlišení odmítne nastavit a zobrazit.

Nemají-li Standard Timings obsahovat žádné údaje, naplní se jednotlivé bajty hodnotami 01h.

2.2.8 Detailed Timing Descriptors (DTD) – 36h až 7Dh

Popisovače detailního časování jsou čtyři oblasti po 18 bajtech, z nichž každá může být obsazena jedním z následujících bloků:

- **popis detailního časování** – Blok lze identifikovat podle prvních dvou bajtů, které obsahují nenulovou hodnotu parametru pixel clock.
- Ostatní typy bloků vždy začínají třemi nulovými bajty a jedním bajtem identifikačním, který může nabývat následujících hodnot:
 - FFh = řetězec nesoucí **sériové číslo monitoru**,
 - FCh = **název monitoru**,
 - FEh = **ASCII string** nesoucí libovolný řetězec,
 - FAh = údaje standardního časování, podobně jako na adrese 26h.

Všechny textové řetězce jsou typu ASCII a mohou mít délku maximálně 12 písmen (bajtů). Je-li řetězec kratší, musí být zbylé bajty vyplněny mezerou (20h). Třináctý bajt musí vždy nabývat hodnoty 0Ah (řídicí ASCII znak – new line feed, viz strana 13, [4]).

Popis detailního časování

Podle standardů EDID 1.3, 1.4 a současné revize E-EDID musí být v prvním DTD bloku uloženo preferované časování monitoru a v případě monitorů s jediným pevným rozlišením zde musí být specifikováno nativní časování.

Tabulka 2.1 definuje obecný způsob ukládání detailních časování v bloku DTD. Adresy jsou vztaženy k DTD bloku 1. Některé parametry mají horní bity uloženy v dodatečných sdílených bajtech. Parametry Vertical Sync Offset a Width zabírají každý polovinu jediného bajtu. Pro další vysvětlení časování obrazového signálu viz kapitola 2.4.

Tabulka 2.1: DTD blok pro detailní časování

adresa (hexa)	jednotka	popis
36-37	desítky kHz	pixel clock – počet pixelů za vteřinu včetně zatemňování
38	px	Horizontal Active – délka aktivní části řádku
39	px	Horizontal Blanking – celková délka zatemňovacího intervalu
3A	-	Horizontal Active : Blanking – horní bity výše zmíněných
3B	řádků	Vertical Active – počet aktivních řádků snímku
3C	řádků	Vertical Blanking – počet zatemňovacích řádků snímku
3D	-	Vertical Active : Blanking – horní bity výše zmíněných
3E	px	Horizontal Sync Offset = Horizontal Front Porch (viz kapitola 2.4.1)
3F	px	Horizontal Sync Pulse Width – délka synchronizačního pulzu
40	řádků	Vertical Sync Offset = Vertical Front Porch : Sync Width – délka pulzu
41	-	Horizontal / Vertical Sync Offset / Pulse Width – horní bity 4
42	mm	Horizontal Image Size – skutečná šířka obrazu na monitoru
43	mm	Vertical Image Size – skutečná výška obrazu na monitoru
44	-	horní bity dvou výše zmíněných
45		Horizontal Border – horizontální okraj monitoru (zpravidla nevyplněno)
46		Vertical Border – vertikální okraj monitoru
47	jednotlivé bity	bit 7: Interlaced - používá se přeskokování řádku? (ano=1) bit 5,6: Stereo – jedná se o stereo displej? (ne=00) bit 4,3: Separate Sync – používá oddělené signály pro H / V synchronizaci? (ano=11) bit 2: Vertical Sync positive – vertikální synchronizaci symbolizuje <ul style="list-style-type: none"> ● kladný pulz = 1 ● záporný pulz = 0 bit 1: Horizontal Sync positive – stejná symbolika pro horizontální synchronizaci

2.3 Teorie barev

2.3.1 Gamma korekce

Koeficient γ je součástí funkce určené ke kódování (kompresi) jasové složky obrazového signálu. Proces se souhrnně nazývá Gamma korekcí a je předpokladem pro správné podání jasu v monitorech, výpočet podle vzorce:

$$V_{VYSTUP} = (V_{VSTUP})^\gamma \quad (2.1)$$

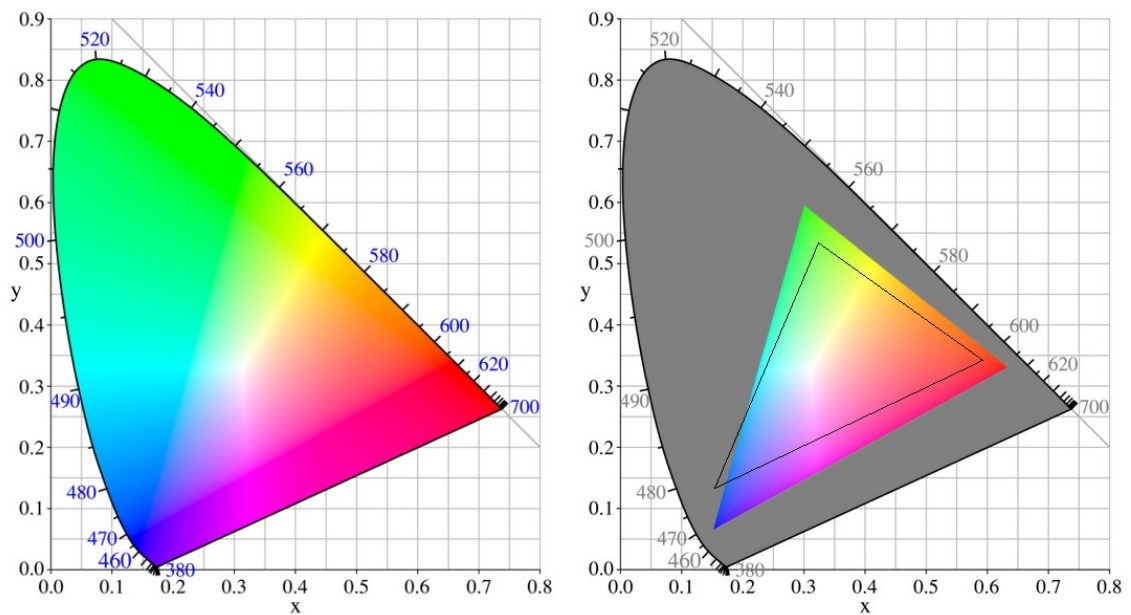
Vstupní a výstupní veličiny (V_{VYSTUP} , V_{VSTUP}) jsou v rozsahu 0 až 1,0, ale u digitálních systémů mohou nabývat pouze diskrétních hodnot v rámci použité barevné hloubky (zpravidla 8 bitů na kanál). Gamma korekci lze provádět na každém barevném kanálu zvlášť a na různých místech zobrazovacího řetězce:

- softwarově před zápisem dat do snímkového bufferu grafického adaptéru,
- hardwarově v grafickém adaptéru před odesláním snímku do monitoru,
- nebo v monitoru nezávisle na vstupním zařízení.

Je důležité mít přehled o tom, kde všude dochází ke gamma korekci, aby na monitoru vznikl obraz s požadovaným podáním jasu.

2.3.2 Gamut monitoru

Na obrázku 2.1 je demonstrován rozdíl mezi škálou barevného prostoru CIE 1931, kterou je schopen vnímat standardizovaný lidský pozorovatel (určitou omezenou oblastí sítnice), a škálou, kterou umí zobrazit běžný sRGB monitor. Šedá oblast tedy představuje barvy, které žádný vyrobený monitor nemůže zobrazit, i když je budeme schopni zachytit a uložit v počítači. V pravé polovině obrázku je tenkou linkou navíc naznačen gamut konkrétního LCD (viz datasheet [5], strana 25), ten samozřejmě zaujímá menší oblast než standardní sRGB gamut.



Obrázek 2.1: sRGB gamut (vpravo) v barevném prostoru CIE 1931 (vlevo)

2.4 Časování obrazového signálu

Pod tímto pojmem si lze představit způsob, jakým je definován charakter a sled signálů, které se podílejí na přenosu obrazových dat a na synchronizaci zdroje a konzumenta.

Na obrázku 2.2 jsou přehledně vidět všechny signály, které zabezpečují synchronizaci obrazových dat mezi grafickým adaptérem a displejem. Dolní indexy časových intervalů odpovídají zkratkám v obrázku 2.3, který ilustruje vztah synchronizace a skutečného užitečného signálu.

Signály nesoucí synchronizaci a barevnou informaci mají podobu podle rozhraní, kterým zrovna procházejí. V případě HDMI-LVDS převodníku přichází signál nejprve po čtyřech TMDS párech, kde horizontální a vertikální synchronizace je zakódována do podoby speciálních rámců, které prokládají rámce barevné informace. Za HDMI přijímačem je vše vedeno po diskrétních digitálních linkách (22 vodičů nebo více pro větší barevnou hloubku) do LVDS vysílače, který opět kombinuje datové a synchronizační signály do tří rozdílových párů používajících rámce. DCLK je veden zvlášť.

2.4.1 Vysvětlení názvů a zkratek

- signály
 - **DCLK** – Digitální hodinový signál je stěžejní pro rozeznání datových impulzů na linkách jednotlivých barevných kanálů.
 - **Hsync** – Horizontální synchronizace označuje vždy kladným nebo záporným pulzem začátek vysílání nového řádku.
 - **Vsync** – Vertikální synchronizace označuje vždy kladným nebo záporným pulzem začátek vysílání nového snímku.
 - **Data Enable** – Z historických důvodů jsou na začátku a konci řádku přítomny HBP a HFP intervaly. LCD panel potřebuje vědět, kdy jsou vysílány barevné informace a kdy je na linkách pouze případný šum. V době vysílání skutečných dat je signál Data Enable aktivní (viz obrázek 2.2)
- časové intervaly
 - **horizontální zatemňování** – Lze aplikovat analogii klasických CRT obrazovek. Elektronový svazek je vypnut, jakmile dojde na konec vykreslovaného řádku, a je opět zapnut na začátku nového řádku. Času, kdy byl svazek vypnutý, se říká **Horizontal Blanking** a skládá se z několika úseků:
 - **HFP** – Horizontální Front Porch je úsek, kdy zhasnutý svazek ještě pokračuje po řádkové dráze.
 - **WH** – Šířka horizontálního synchronizačního impulzu – na obrázku odpovídá úseku, kdy se zatemněný svazek vrací velkou rychlostí na začátek nového řádku.
 - **HBP** – Horizontální Back Porch, znamená přípravu svazku na vykreslení nového řádku.
 - **vertikální zatemňování (vertical blanking)** – Význam zkratek je podobný jako u horizontálního zatemňování. **VFP** přidává několik temných řádků na konec snímku, **WH** je využito k návratu svazku a **VBP** přidává několik prázdných řádků na začátek nového snímku.
 - **WHA** a **WVA** označují aktivní část řádku a aktivní řádky ve snímku.
 - **HP** je řádková a **VP** snímková perioda.

2.4.2 Výpočty

Ve specifikaci EDID se některé výše popsané parametry objevují pod jinými názvy. Setkáme se s nimi v bloku DTD, kde jsou intervaly vyjádřeny v pixelech. Front porch se v obou rovinách uvádí jako **Sync Offset**, tedy jako vzdálenost aktivní oblasti od dalšího synchronizačního pulzu. **Sync Width** samozřejmě značí délku synchronizačního pulzu. Délku Back Porch v DTD nezískáme, ale můžeme ji spočítat podle vzorce:

$$t_{BACK\ PORCH} = t_{BLANKING} - t_{SYNC\ OFFSET} - t_{PULSE\ WIDTH} \quad [\text{vše v } s \text{ nebo } px]. \quad (2.2)$$

Délka jednotlivých komponent zatemňovacího intervalu může být důležitá pro elektroniku, která řídí zobrazovací matici LCD. Dodáme-li digitálnímu monitoru, který neumí zvětšovat obraz na nativní rozlišení (viz. Scaling Unit), signál s jinou délkou aktivní části řádku, může nastat několik případů:

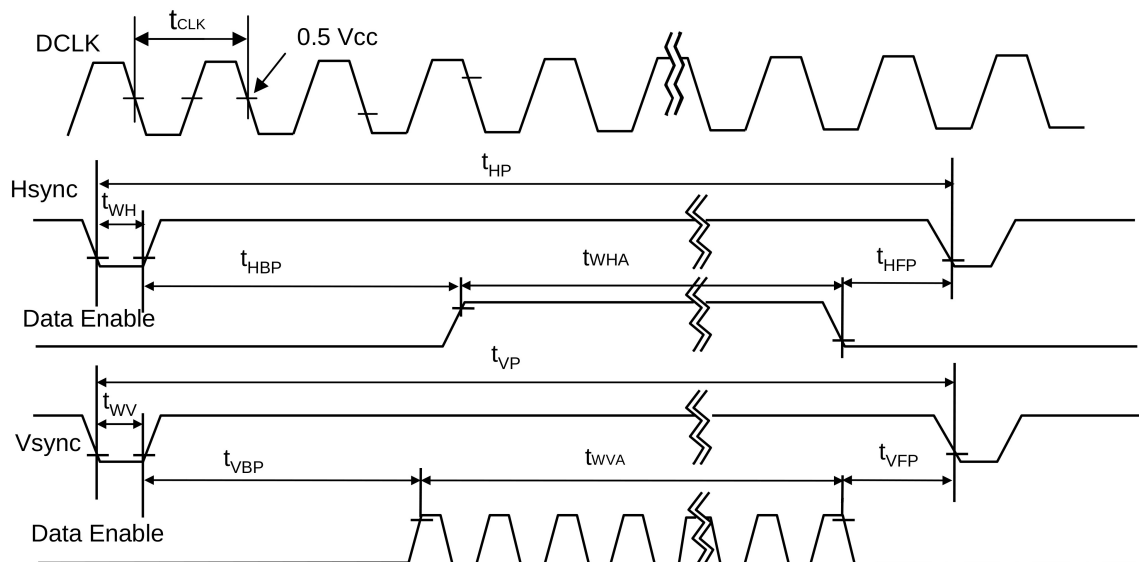
- Na monitoru se objeví neporušený obraz, který bude orámován černými pixely vyplňujícími prostor zbývající do nativního rozlišení. Tento stav je možný díky resetování řádkové adresy po obdržení pulzu horizontální synchronizace.
- Na monitoru se neobjeví nic (černá plocha), protože dodané časování je již příliš odlišné od nativního. Jako příklad poslouží případ, kdy grafická karta nedokáže přechít z monitoru EDID data, a proto generuje během POSTu časování 640x480 px @ 60 Hz. Toto jsem ověřil experimentálně na WXGA LCD.
- Obraz na monitoru bude rozpadlý, nebo se bude několikrát opakovat, což poukazuje na správné rozlišení s chybnými zatemňovacími intervaly (neodpovídají datasheetu). Tuto situaci lze nasimulovat změnou detailního časování v programu Power Strip.

Pro výpočet horizontální a pixelové frekvence, případně celkového datového toku, potřebujeme znát pouze celkovou délku řádku, celkový počet řádků, a také počet snímků za vteřinu (vertikální obnovovací frekvenci).

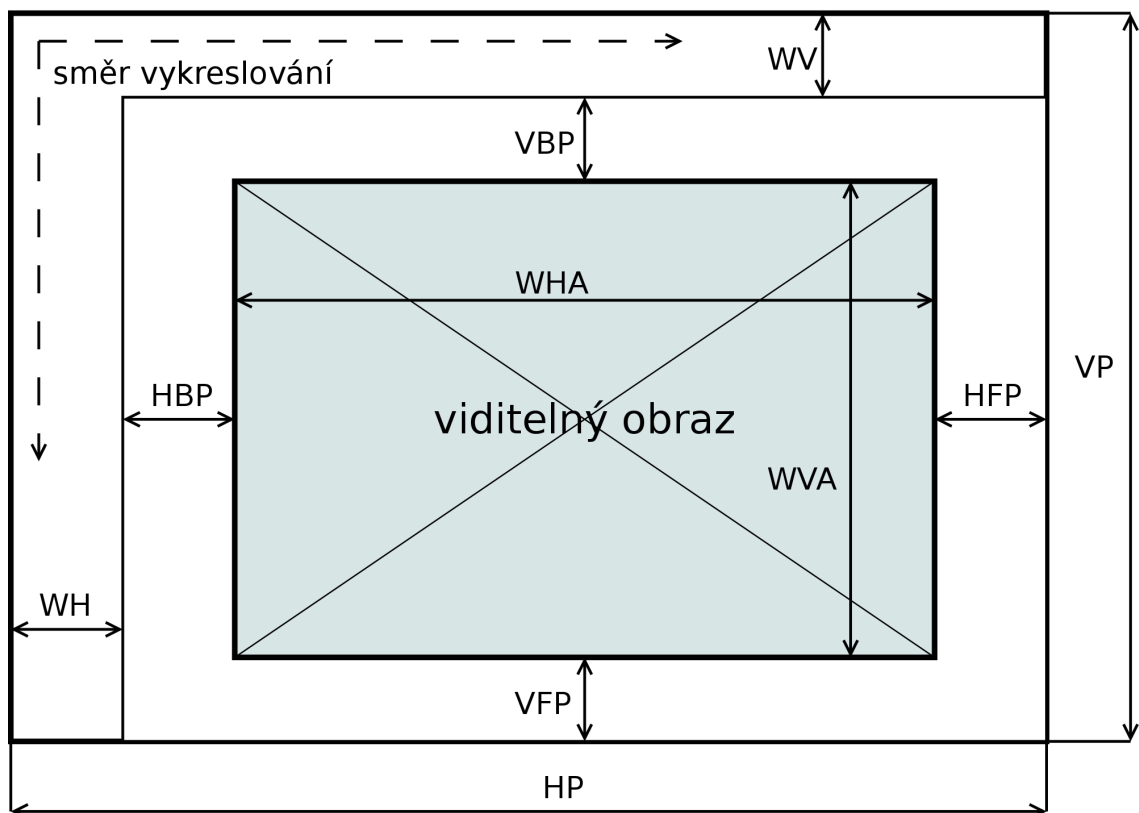
Chceme-li vyjádřit četnost, s jakou ze zdroje do zobrazovací jednotky putují jednotlivé pixely (obrazové body), použijeme tzv. **pixel clock**.

$$\text{celkem pixelů} = (t_{H-ACTIVE} + t_{H-BLANKING}) \cdot (t_{V-ACTIVE} + t_{V-BLANKING}) \quad [px; px, px] \quad (2.3)$$

$$\text{pixel clock} = (\text{celkem pixelů}) \cdot (\text{vertikální obnovovací frekvence}) \quad [px/s; px, Hz] \quad (2.4)$$



Obrázek 2.2: Synchronizační signály na vstupu displeje (převzato z [5])



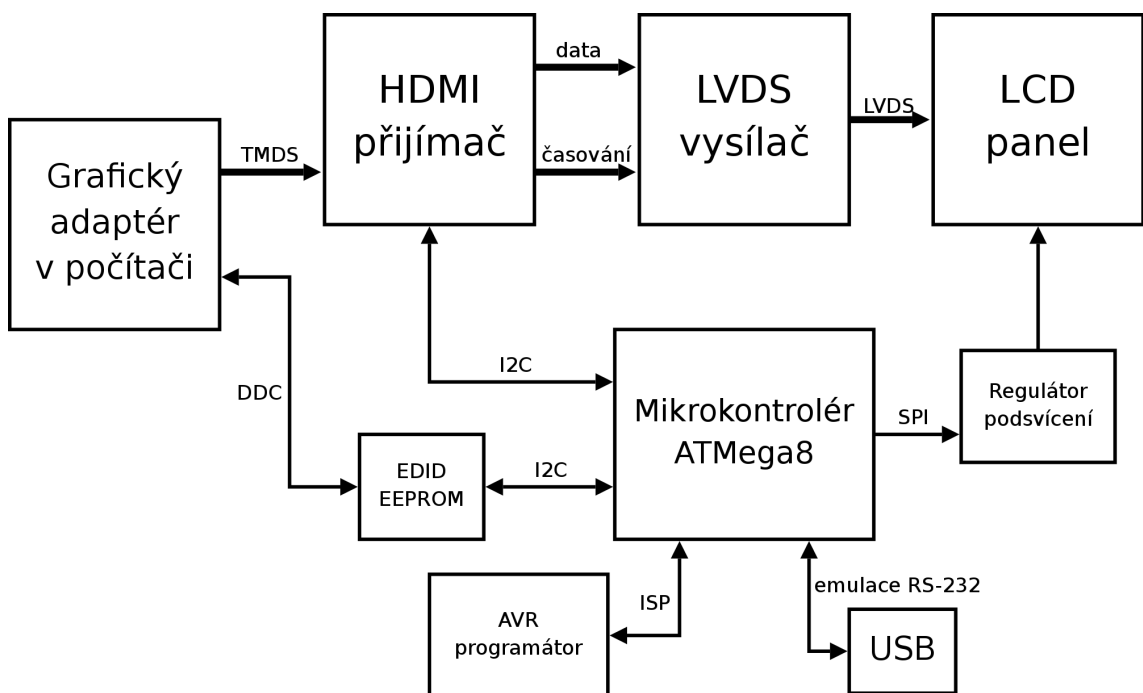
Obrázek 2.3: Dvourozměrné zobrazení časovacích intervalů

3 Popis hardwaru

HDMI-LVDS převodník, kterým se zabývám, navrhl ve svém volném čase Ing. Daniel Rozsnyo, absolvent FIT VUT Brno. DPS revize 1.1 má rozměry 100 x 100 mm a je možné ji bez problému umístit do vnitřních prostor LCD monitoru, na kterém desku testuji.

Převodník je koncipován jako základní deska digitálního LCD monitoru. Základní parametry vycházejí ze součástek použitých ve funkci HDMI přijímače a LVDS vysílače (viz obrázek 3.1). Na vstup lze připojit zdroj signálu odpovídající specifikaci single-link DVI. Na výstup můžeme připojit displej vybavený LVDS rozhraním, který očekává celkovou barevnou hloubku do 18 bitů. Displej musí používat barevný prostor, který je podporován na výstupu HDMI přijímače. LVDS vysílač už provádí pouze změnu na úrovni signalizace.

3.1 Blokové schéma



Obrázek 3.1: Blokové schéma převodníku

3.2 HDMI přijímač

Tabulka 3.1: Základní parametry HDMI přijímače

výrobce	ANALOG DEVICES
označení	AD9381
typ pouzdra	LQFP (Low Profile Quad Flat Package)
počet vývodů	100
napájecí napětí	3,3 V; 1,8 V
výrobní proces	CMOS
označení součástky na desce	U100

Pro podrobné parametry doporučuji nahlédnout do technické specifikace[6].

Stručná charakteristika:

AD9381 je plnohodnotným přijímačem video, audio dat a ovládacích instrukcí, které lze vysílat přes HDMI rozhraní. Zaručuje kompatibilitu se standardy **HDMI 1.0, 1.1** a tedy i **DVI 1.0**. Výstupem jsou obecné digitální signály (LVTTTL) s až osmibitovým vyjádřením barevných komponent.

Vnitřní převodník barevných prostorů umožňuje obousměrný převod mezi **RGB** a **YcbCr**. Po zapnutí HDMI přijímače je převodník barevných prostorů vypnut (registr 34h: bit 1, strana 30 v [6]) a LVTTTL výstup kóduje barvy v režimu 4:4:4 RGB (registr 25h: bity 3,2, strana 27 v [6]). Toto nastavení je vyhovující pro vysílání RGB dat z DVI výstupu v počítači.

3.3 LVDS vysílač

Tabulka 3.2: Základní parametry LVDS vysílače

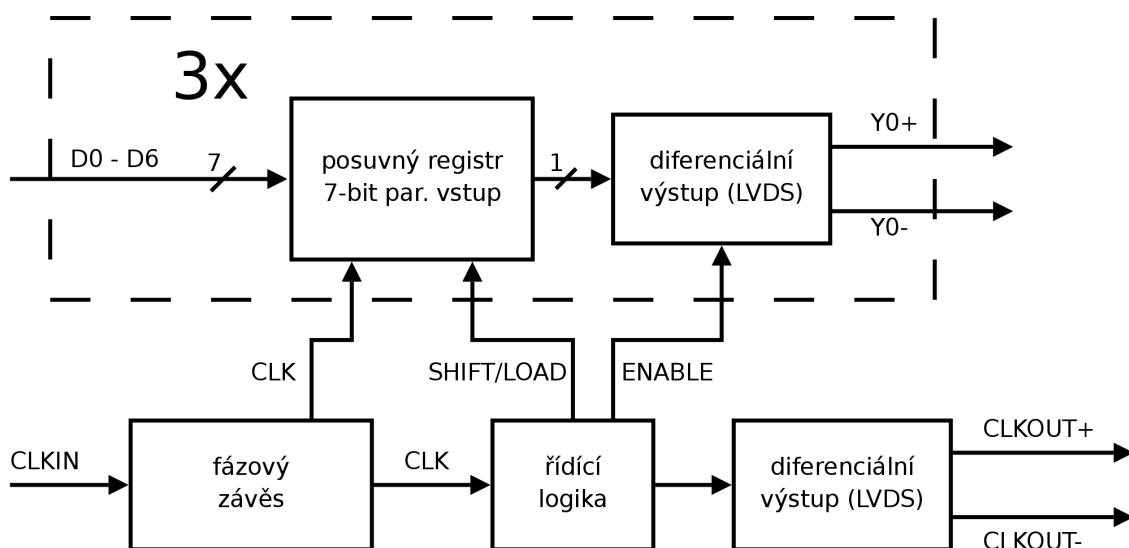
výrobce	TEXAS INSTRUMENTS
označení	SN75LVDS84A
typ pouzdra	TSSOP
počet vývodů	48
napájecí napětí	3,3 V
výrobní proces	CMOS
označení součástky na desce	U200

Použitý čip je výrobcem označován jako tzv. Flatlink transmitter (vysílač). Název Flatlink je ekvivalentem pro LVDS signalizaci použitou na vstupu digitálních LCD panelů [7]. Úkolem tohoto čipu je komprese 21 vstupních datových kanálů (LVTTTL signalizace) do tří výstupních LVDS párů. Transmitter toto realizuje sadou sedmibitových posuvných registrů (paralelní vstup, sériový výstup).

V tabulce 3.3 je uvedeno přiřazení vstupních linek k výstupům. Toto kompresní schéma není náhodné a realizuje signalizaci, kterou očekává LVDS přijímač v LCD panelu. Na obrázku 3.2 se snažím demonstrovat princip celého obvodu. Fázový závěs se stará o příjem hodinového signálu (CLKIN) a generování hodin interních. V jednom pouzdru jsou zde vedle sebe tři posuvné registry a každý komprimuje sedm vstupních linek do jedné výstupní. Načtení vstupů do registru probíhá vždy se sestupnou hranou hodinového signálu, poté jsou jednotlivé bity sériově vyčítány na výstup počínaje MSB. Výstupní hodinový signál (CLKOUT) má stejnou frekvenci jako CLKIN, neboť stále odpovídá pixelové frekvenci přenášeného obrazu.

Tabulka 3.3: Přiřazení linek LVTTTL -> LVDS

LVTTTL	LVDS
RED0..5	Y0+, Y0-
GREEN0	
GREEN1..5	Y1+, Y1-
BLUE0..1	
BLUE2..5	Y2+, Y2-
HSYNC	
VSYNC	
DATA ENABLE	
CLK	CLKOUT+, CLKOUT-



Obrázek 3.2: Blokové schéma LVDS vysílače

4 Stavba hardwaru

Do rukou se mi dostala DPS z velké části určená k osazení SMD součástkami. Nejmenší rozteč pájecích plošek je 0,5 mm. Jako hlavní nástroj jsem použil hrotovou mikropájkku s regulací teploty. Autor DPS mi doporučoval osadit nejprve napájecí část, tu řádně otestovat a potom přidávat další dražší obvody. Dle mého je to jediný logický a bezpečný postup nejen pro člověka, který nemá mnoho zkušeností s ručním pájením SMD součástek. Na střední škole jsem si v praxi vyzkoušel pouze osazování součástek s malým počtem vývodů a také přetavení pájedla v peci.

Spolu s autorem DPS se nám povedlo osadit celkem dvě desky. Pouze jedna z nich je plně funkční. Druhá deska nezobrazuje a závadu se nepodařilo lokalizovat. Má osazenou pomalejší variantu HDMI přijímače (pixel clock 100 vs 150 MHz) a také jiný LVDS vysílač. Dle měření příjem horizontální a vertikální synchronizace funguje.

Postup osazení: (viz také příloha A)

1. zdroj 5 V, měření
2. zdroj 3,3 V, měření
3. zdroj 1,8 V, měření
4. mikrokontrolér ATmega8, test funkčnosti
5. USB převodník (FTDI), test komunikace po sériové lince
6. spínání napájení (PFET), regulace jasu
7. EDID EEPROM, zápis a čtení obsahu
8. HDMI přijímač, LVDS vysílač, test připojením ke zdroji signálu

4.1 Testování zdrojů

4.1.1 Zdroj 5 V

Zdroj je tvořen stabilizátorem typu 78L05 se zatížitelností 100 mA. Nejsou na něj kladeny speciální nároky, protože napájí pouze USB-RS232 převodník a elektronický potenciometr. Po osazení 12V napájecího konektoru, stabilizátoru (označení ve schématu U500) a okolních kondenzátorů nebyl problém zkontrolovat výstupní napětí na testovacím bodu označeném „5.0V“.

4.1.2 Zdroj 3,3 V

Tento zdroj napájí dva hlavní čipy celé desky (HDMI přijímač, LVDS vysílač + další), je proto řešen jako spínaný. Dvojice MOSFET tranzistorů je řízena PWM signálem generovaným kontrolérem spínaného zdroje MAX1714. Po osazení všech součástek s označením X6XX bylo možné na testovací plošce „3.3V“ zkontrolovat správnou funkci zdroje. Později při prověřování jiné chyby byl osciloskopem zaznamenán obrázek 4.1 a ověřena spínací frekvence zdroje (cca 320 kHz), která je měřitelná na zákmitech signálu VCC33. Zákmity jsou v běžném provozu vysoké přibližně 60 mV.

4.1.3 Zdroj 1,8 V

Na desce je přítomen jeden robustní spínaný zdroj s výstupem 3,3 V, není tedy problém dosáhnout regulovaného výstupu 1,8 V pouze kaskádně zapojeným regulátorem MCP1726 (U700). Po osazení všech součástek X7XX lze výstupní napětí změřit na obnažených kontaktech podél naznačené trasy 1.8V (viz příloha A).

4.2 Mikrokontrolér

Nejjednodušším testem funkčnosti mikrokontroléru (ATMega8) je připojení desky k počítači přes ISP rozhraní a přečtení identifikátoru (případně i pojistek LFUSE a HFUSE). V operačním systému Ubuntu se toto provede nástrojem Avrdude.

Když zadám za parametr `-p` (part name) zkratku `m8`, Avrdude očekává, že má přes programátor připojený mikrokontrolér ATMega8, a porovná získanou signaturu s databází. Když signatury souhlasí, součástka odpověděla správně.

```
avrdude -c usbtiny -p m8
avrdude: AVR device initialized and ready to accept instructions
Reading | ##### | 100% 0.02s
avrdude: Device signature = 0x1e9307
avrdude: safemode: Fuses OK
avrdude done. Thank you.
```

Přečtením paměťových oblastí HFUSE a LFUSE se dá zjistit jak jsou nastaveny základní parametry pro zdroj hodinového signálu, brown out detector (bezpečné vypnutí μ C při poklesu napájecího napětí), nastavení watchdogu atd..

```
avrdude -c usbtiny -p m8 -t
>>> dump hfuse
0000 c9 // 11001001b |.
|
avrdude> dump lfuse
>>> dump lfuse
0000 ef // 11101111b |.
|
```

4.3 USB převodník

HDMI-LVDS používá standardní USB-RS232 převodník s označením FT232R od firmy FTDI, ten je připojen na sériový port mikrokontroléru a umožní komunikovat s firmwarem pomocí běžného USB portu.

V HDMI-LVDS byla v době testování vývojová verze firmware od autora převodníku, která se v bufferu terminálové aplikace ohlásí úvodním textem.

```
HDMI-LVDS
-----
(C) 2008, rosznyo electronics and software
http://rosznyo.com
```

Správný interaktivní terminál odpoví na příkaz „help“ seznamem dostupných funkcí.

```
# help
eeprom - read/write EDID
bl - backlight
help - show help
#
```

4.4 Ovládání jasu

Na desce je osazen elektronický potenciometr ovladatelný přes sběrnici SPI. V testovacím firmware je pro ovládání jasu příkaz „bl“, jeho jediným parametrem je číslo od 0 do 255, kterým vybíráme intenzitu podsvícení.

4.5 Zápis a čtení EDID

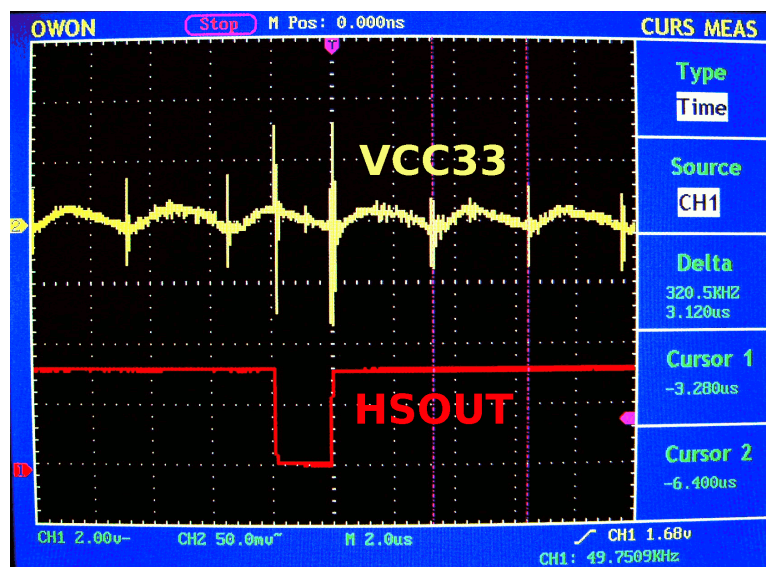
Testovací firmware umožňuje zápis binárního EDID do EEPROM paměti jednoduchým příkazem:

```
# eeprom write <adresa> <16 bajtů ve formátu hex dump>
```

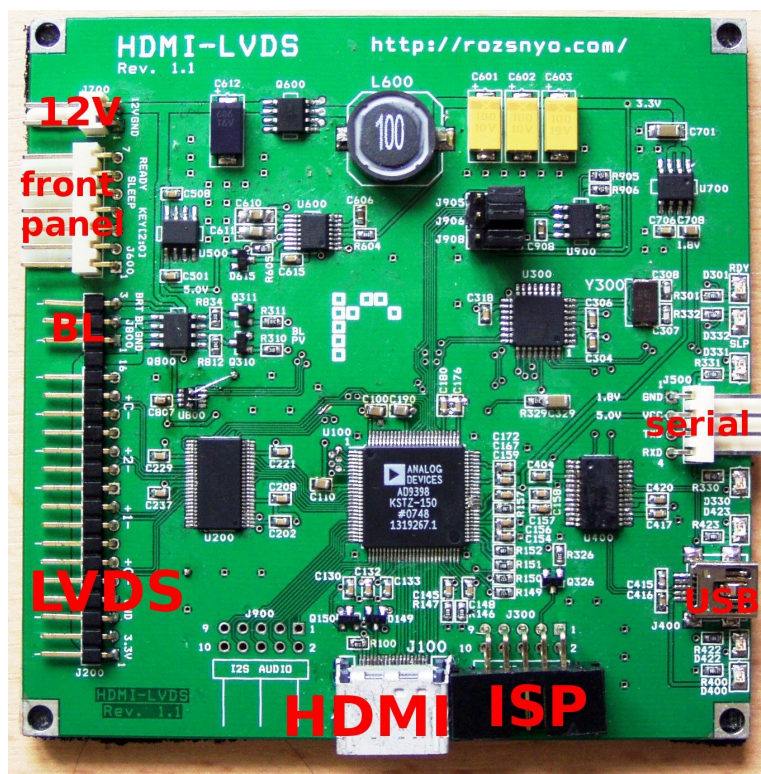
Ověřit, zda zápis proběhl v pořádku, lze příkazem:

```
# eeprom read <adresa>
```

Zapisovat a číst lze tedy po blocích dlouhých 16 bajtů.



Obrázek 4.1: Reakce VCC33 na HSOUT



Obrázek 4.2: Fotografie hotového HDMI-LVDS převodníku

4.6 Test obrazovým signálem

Po osazení celé desky je vhodné zkontrolovat, zda celkový odběr proudu nepřesahuje 200 mA. Vyšší odběr může znamenat zkrat, nebo chybně fungující zdroj, který dodává vyšší napětí.

Není-li v EDID EEPROM uložen správný EDID, je potřeba nakonfigurovat zdroj signálu ručně. To je možné udělat:

1. v GNU/Linux modifikací konfiguračního souboru systému X-Window,
2. nebo ve Windows použitím nástroje Power Strip.

Nemožnost stáhnout data z monitoru přes DDC rozhraní však způsobí, že grafický adaptér použije během bootování standardní bezpečné rozlišení podle definice DVI. Nastaví se rozlišení 640x480 s vertikální obnovovací frekvencí 60 Hz (viz strana 14 v [8]). Můj WXGA displej s rozlišením 1280x800 pixelů není schopný takový signál zobrazit a výsledkem je pouze černá obrazovka. Příčinou tohoto chování je schopnost LCD panelu zobrazovat pouze nativní rozlišení a zároveň absence tzv. Scaling Unit v zapojení HDMI-LVDS převodníku.

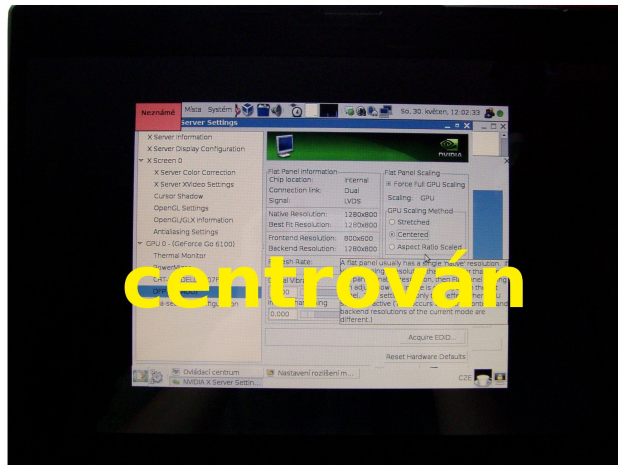
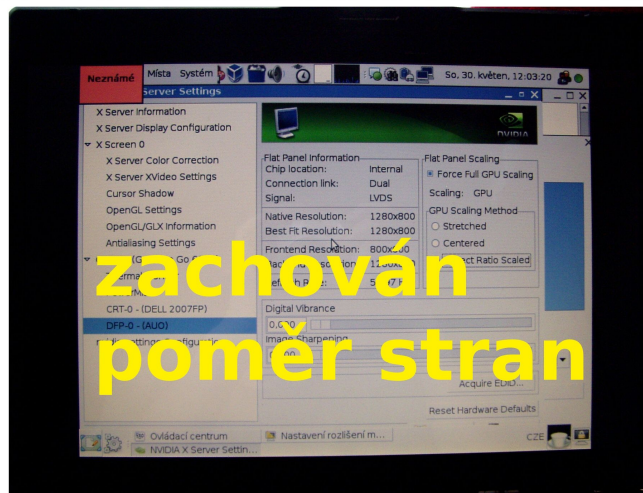
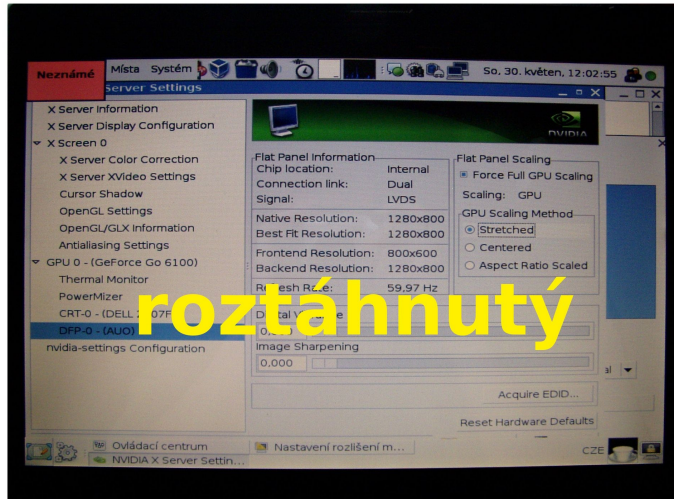
K roztáhnutí obrazu na nativní rozlišení zbývá tedy jen Scaling Unit v grafickém adaptéru. Grafické čipy, se kterými jsem HDMI-LVDS testoval, obraz bez problémů roztahovaly na nativní rozlišení displeje (například Radeon 9600XT).

4.6.1 Scaling Unit v GPU

Na obrázku 4.3 jsou demonstrována tři dostupná nastavení škálovací jednotky na grafickém adaptéru firmy Nvidia instalovaném v notebooku. V ovládacím panelu je nalezneme pod těmito názvy:

- **stretched** – obraz je roztažený na nativní rozlišení, pixely navíc jsou zpravidla vyplněny průměrnou barvou dvou původních sousedů
- **aspect ratio scaled** – obraz je roztažený se zachováním poměru stran
- **centered** – obraz je centrován a má kolem sebe černé okraje

K aktivaci této jednotky během startu počítače (POST, BIOS) musí dojít na základě korektně přečteného EDIDu (viz oddíl 4.5). Nejdůležitějším údajem v souboru EDID je pro HDMI-LVDS převodník preferované časování (1. blok DTD), které musí kopírovat data uvedená v datasheetu.



Obrázek 4.3: Způsoby zobrazení SVGA na WXGA displeji

4.6.2 Testovací podmínky

Při testování obrazovým signálem, jsem měl k dispozici:

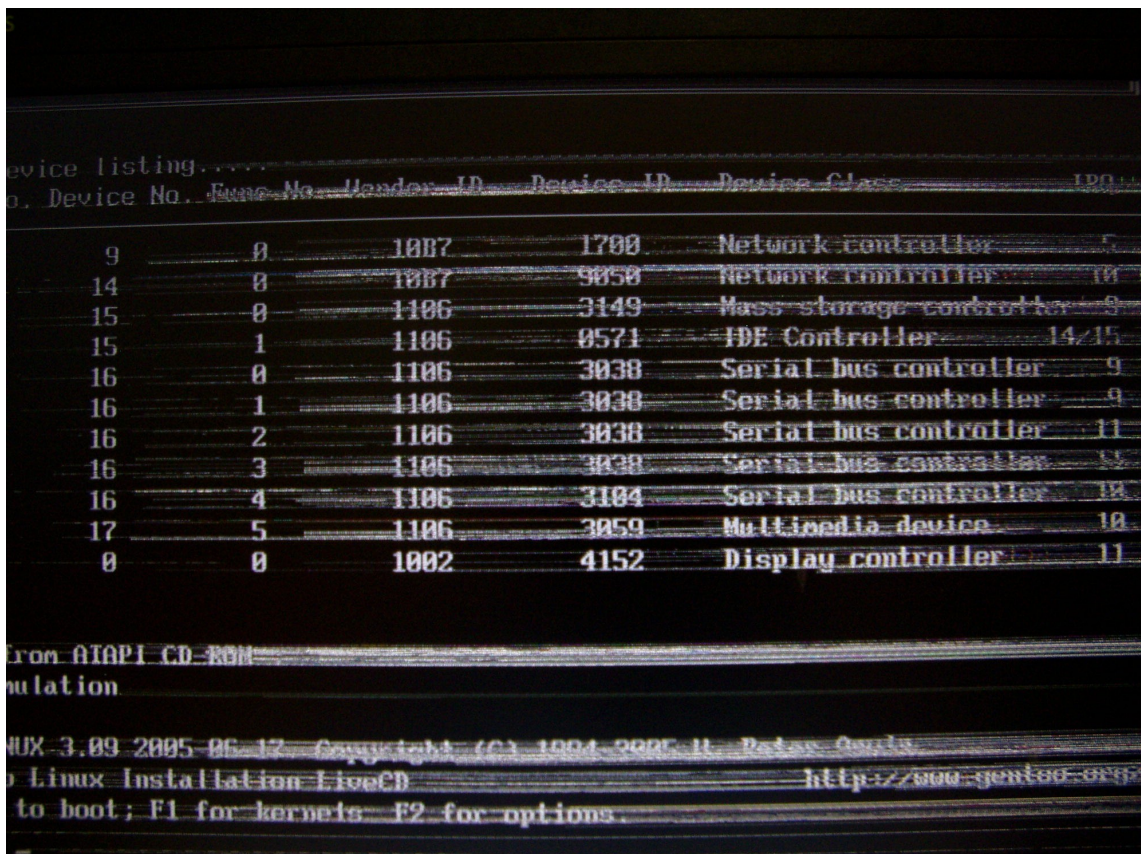
- počítač třídy ATX,
- grafické adaptéry,
 - ATI Radeon 7000 64MB DDR PCI,
 - ATI Radeon 9600XT VIVO 256MB DDR (128-bit) AGP,
- TFT LCD typu WXGA (1280x800px), konkrétně Quanta Display inc. typ QD15TL02,
- multimetr s měřením frekvence digitálních pulzů,
- digitální osciloskop (bez možnosti ukládat snímky na paměťové médium),
- osazený HDMI-LVDS převodník s nahraným EDID pro použitý displej.

4.6.3 Vlastní test

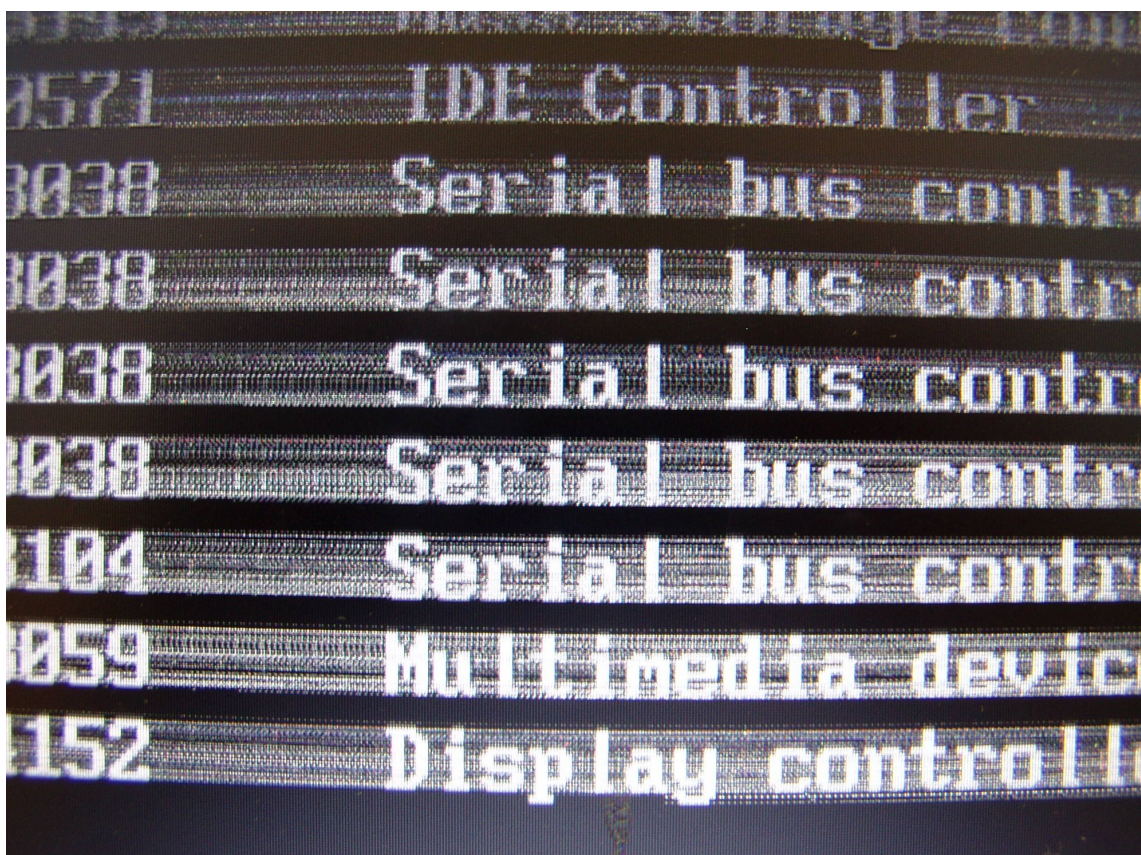
Po zapnutí PC připojeného k monitoru bylo možné pozorovat bootovací sekvenci tak, jak ji vidíme na obrázku 4.4. Měřením frekvence horizontálních a vertikálních synchronizačních pulzů mezi dvěma hlavními čipy (oblast LVTTL) bylo zjištěno, že monitor skutečně pracuje v nativním rozlišení a obraz je zvětšený na celou plochu monitoru díky Scaling Unit v grafické kartě. Správné zobrazení POSTu vykazovaly oba grafické adaptéry, ale Radeon 7000 způsoboval zamrznutí systému během startu operačního systému. Další pokusy jsem prováděl jen s Radeonem 9600XT.

Již na těchto obrazovkách se však projevila chyba v zapojení, díky které jsou LVTTL výstupy HDMI přijímače přetíženy. Rušení se nejvíce projevuje při skokové změně velkého počtu bitů obrazových dat (skok černá / bílá). HDMI přijímač se dostane do nerovnovážného stavu na dobu trvání celého řádku (viz obrázek 4.5) a vzpomene se až během zatemňovacího intervalu. Toto rušení se téměř nevyskytuje při malém kontrastu sousedních bodů, čar a ploch. K problému by nedošlo, kdyby si autor všiml odstavce v datasheetu HDMI přijímače, který píše, že LVTTL výstupy mají být opatřeny rezistory v rozmezí 50 až 200 ohmů (viz strana 39 v [6]). Před aplikací této změny do nového návrhu desky, by bylo vhodné přerušit signálové cesty a vložit do nich miniaturní pole rezistorů. SMT součástky vhodných rozměrů lze získat z nefunkčních grafických adaptérů.

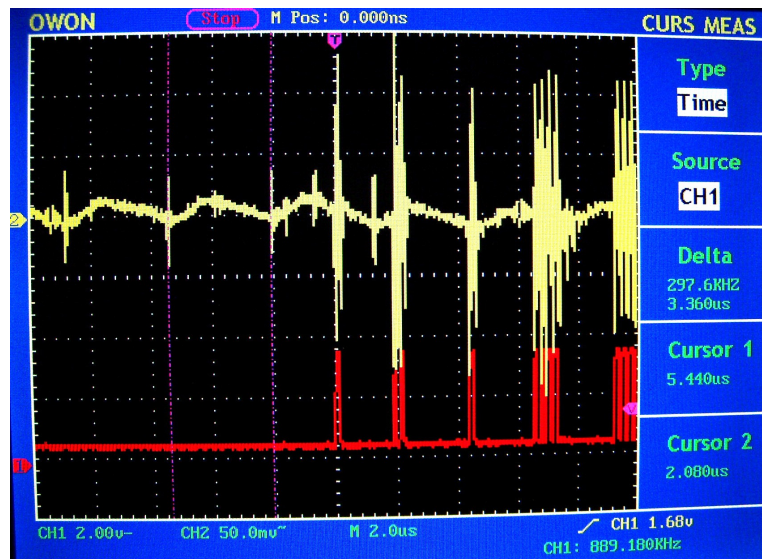
Monitor vykazoval podobné chování i v operačních systémech GNU/Linux (Ubuntu) a Windows (viz obrázek 4.7). Systémy detekovaly nativní časování monitoru a přepnuly se do něj. Ovladače ATI Catalyst mají také schopnost přepínat se mezi režimy zmíněnými v oddílu 4.6.1. Krom nestabilního přenosu dat mezi hlavními čipy lze HDMI-LVDS převodník označit za plně funkční.



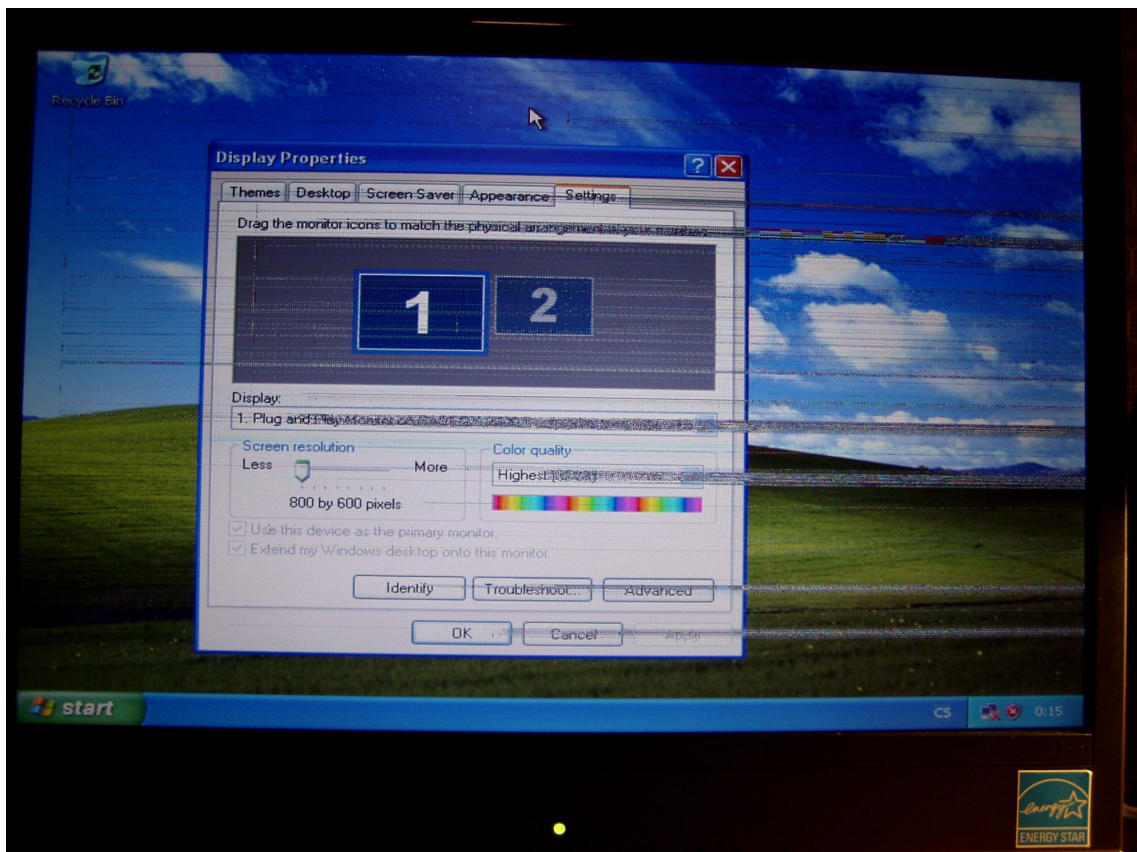
Obrázek 4.4: Bootovací obrazovka automaticky zvětšená na nativní rozlišení LCD



Obrázek 4.5: Detail rušení



Obrázek 4.6: Ruchy na LVTTTL barevných linkách (žlutá=napájení 3,3 V; červená=datový vodič)



Obrázek 4.7: Rozlišení 800x600 v prostředí Windows (plná obrazovka)

Závěr

Hlavním cílem mé práce bylo ověřit, zda je možné displej sestavený z notebookového LCD panelu a HDMI-LVDS převodníku používat jako monitor k běžnému stolnímu počítači. To s sebou nese podmínku, že monitor bude bez problému zobrazovat nejenom prostředí operačního systému, ale i startovací obrazovku (tzv. POST) a umožní nastavování počítače pomocí konfiguračního rozhraní BIOSu.

K dosažení těchto cílů bylo třeba osadit a oživit desku HDMI-LVDS převodníku, vyřešit propojení se zdrojem 12 V napájení a vlastním LCD panelem, sestavit funkční firmware a vytvořit EDID data odpovídající monitoru jako celku. Firmware je potřebný zejména pro obsluhu sériového portu s možností nahrávat EDID data do zabudované EEPROM. Autor desky měl k dispozici některé sw komponenty a během mého seznamování s problematikou se mu povedlo potřebnou funkcionalitu implementovat. Domníval jsem se, že budu schopen napsat vlastní zjednodušený firmware, to se mi však do termínu odevzdání nepovedlo.

Za své úspěchy považuji:

- realizaci a odzkoušení převodníku jako takového,
- nalezení chyb v zapojení, které brání běžnému využití stávající verze výrobku,
- realizaci překladače z XML podoby EDID do binární a tím i vydláždění cesty k použití desky s libovolným LCD (pixel clock rate do 150 MHz)
 - tento úkol mě také motivoval začít s široce oblíbeným programovacím jazykem PHP

PHP je známé zejména z prostředí webových služeb, ale já jej využívám pro zápis binárního souboru. Myslím si, že PHP se může hodit téměř na cokoliv, protože má jednoduchou syntaxi, „ležerní“ manipulaci s proměnnými a spoustu udržovaných a modernizovaných knihoven pro různé úkoly. Při řešení budoucích problémů sáhnu jistě nejdříve po PHP.

Pro bezproblémové praktické využití HDMI-LVDS převodníku je třeba opravit zásadní chyby navržením nové verze DPS.

Zásadní opravy:

- přidání rezistorů na LVTTTL dráhy mezi HDMI přijímačem a LVDS vysílačem
- napájení FTDI a případně i mikrokontroléru přes USB
- použití standardnějšího konektoru pro LVDS (využití existujících kabelů)
- upravení rozměrů desky pro VESA-mount – vzdálenost rohových otvorů 100 mm (nikoliv rozměr desky jako u revize 1.1 – návrhová chyba)

Autor desky dále plánuje tyto změny:

- zmenšení některých dalších konektorů (invertor zářivky, přední panel s tlačítky)
- přidání možnosti měřit DE (Data Enable) – tzn. přivést tento signál do AVR
- použití většího CPU (ATMega16 i ATMega32 mají stejný pinout)
- přidání FPGA a RAM (úprava vstupního signálu, případně generování vlastních video dat)
- použití ještě většího CPU, přidání ethernetového rozhraní, USB host (možnost připojit USB periferie)

Pokud bude příležitost k další spolupráci, chtěl bych dál rozvíjet implementaci EDID překladače tak, aby bylo možné desku připojit i k jiným zařízením kromě PC. Přidáním FPGA může zobrazovací jednotka s fixním rozlišením nabýt schopnosti škálovat nebo jinak upravovat obraz, který do ní přichází. Dalším aspektem je možnost práce se zvukem, který lze přenášet po HDMI rozhraní.

Monitor s těmito vlastnostmi bude vyžadovat obsáhlejší EDID data a zřejmě i použití některých E-EDID rozšíření. Dle mého by bylo praktické postavit EDID generátor na HTML formuláři poháněném PHP skriptem. Zájemci o univerzální elektroniku do monitoru by jistě ocenili uživatelsky přívětivé prostředí webového prohlížeče.

Seznam použité literatury

[1]: Hosek, Jack, Enhanced DDC and EDID [online]. 2003, poslední aktualizace duben 2003. Dostupné z URL: <<https://vesa.sharedwork.com>>

[2]: , VESA newsletter vol 1, issue 4 [online]. 2006, poslední aktualizace prosinec 2006. Dostupné z URL: <http://www.vesa.org/Newsletter/VESA_V4_IS_6.pdf>

[3]: , VESA E-EDID PROPOSED Verification Guide [online]. 2007, poslední aktualizace 27. 3. 2007. Dostupné z URL:

<<https://vesa.sharedwork.com/download/docid/2546702/view/EEDIDverifGuideRa.pdf>>

[4]: VESA, EDID Implementation Guide [online]. 2001, poslední aktualizace 4. 6. 2001. Dostupné z URL: <<https://vesa.sharedwork.com/download/docid/2185549/view/EEDIDguideV1.pdf>>

[5]: Kim, S. W. , Kim, B. H., LP154W01-TLA2 product specification [online]. , poslední aktualizace 18. 7. 2005. Dostupné z URL: <<http://beyondinfinite.com/lcd/Library/LG-Philips/LP154W01-TLA2.pdf>>

[6]: Analog Devices, AD9381 datasheet [online]. 2005, poslední aktualizace (revize 0) 2005. Dostupné z URL: <http://www.analog.com/static/imported-files/data_sheets/AD9381.pdf>

[7]: TEXAS INSTRUMENTS, SN75LVDS84A, SN65LVDS84AQ FLATLINK™ TRANSMITTER [online]. 1999, poslední aktualizace leden 2001. Dostupné z URL:

<<http://www.datasheetcatalog.org/datasheet/texasinstruments/sn75lvds84a.pdf>>

[8]: DDWG, Digital Visual Interface Revision 1.0 [online]. 1999, poslední aktualizace 2. 4. 1999. Dostupné z URL: <http://www.ddwg.org/lib/dvi_10.pdf>

[9]: Leroy Davis, Low Voltage Logic Threshold Levels [online]. 2008, poslední aktualizace 7. 12. 2008. Dostupné z URL: <http://www.interfacebus.com/voltage_LV_threshold.html>

Seznam základních pojmů

- **DVI** – Digital Visual Interface; digitální obrazové rozhraní: propojení např. počítače s LCD obrazovkou
- **EDID** – Extended Display Identification Data: rozšířený identifikátor obrazovky, standard definovaný organizací VESA
- **GTF** – General Timing Formula: Standard definovaný organizací VESA, definuje výpočet zatemňovacích intervalů podle skutečného rozlišení obrazu a obnovovací frekvence.
- **HDMI** – High-Definition Multimedia Interface: multimediální rozhraní pro přenos obrazu o vysokém datovém toku
- **LCD** – Liquid Crystal Display: displej pracující na principu tekutých krystalů
- **LQFP** – Low Profile Quad Flat Package: nízkoprofilové pouzdro integrovaného obvodu s vývody na čtyřech stranách, vhodné zejména pro povrchovou montáž (je možné i vložení do patice)
- **LVDS** – Low-Voltage Differential Signaling: digitální rozhraní, které umožňuje přenos dat po levné kroucené dvojince velkou rychlostí (rušení se potlačuje rozdílovým přenosem signálu)
- **LVTTL** – Low Voltage Transistor Transistor Logic: tranzistorově tranzistorová logika pro součástky s napájecím napětím 3 – 3,6 V (spínací úrovně: nula na vstupu do 0,8 V, nula na výstupu do 0,4 V, jednička na vstupu od 2,0 V a jednička na výstupu od 2,4 V)[9]
- **Plug & Play** – vlastnost zařízení nebo sběrnice, která dovoluje automatické rozpoznání nově připojeného hardwaru systémem bez nutnosti manuální konfigurace
- **Scaling Unit** – škálovací jednotka: signálový procesor nebo část jiného procesoru schopná přepočítat časování vstupního grafického módu na výstupní (větší) vycentrováním nebo roztažením původního obrazu.
- **Timing vs Resolution** – časování versus rozlišení: V kontextu textu nese slovo rozlišení (anglicky resolution) význam definice počtu barevných obrazových bodů (pixelů) interpretovaných monitorem během jednoho snímku. Počet je definován šířkou x výškou matice, kterou pixely vyplňují. Naproti tomu časováním (timing) rozumíme rozlišení doplněné o obnovovací frekvenci a detailní informace o zatemňovacích intervalech.
- **TMDS** – Transition Minimized Differential Signaling: rozdílový přenos signálu s kódováním, které udržuje konstantní stejnosměrnou složku (setkáme se i s tvarem zkratky T.M.D.S.)
- **VESA** – Video Electronics Standards Association: mezinárodní standardizační

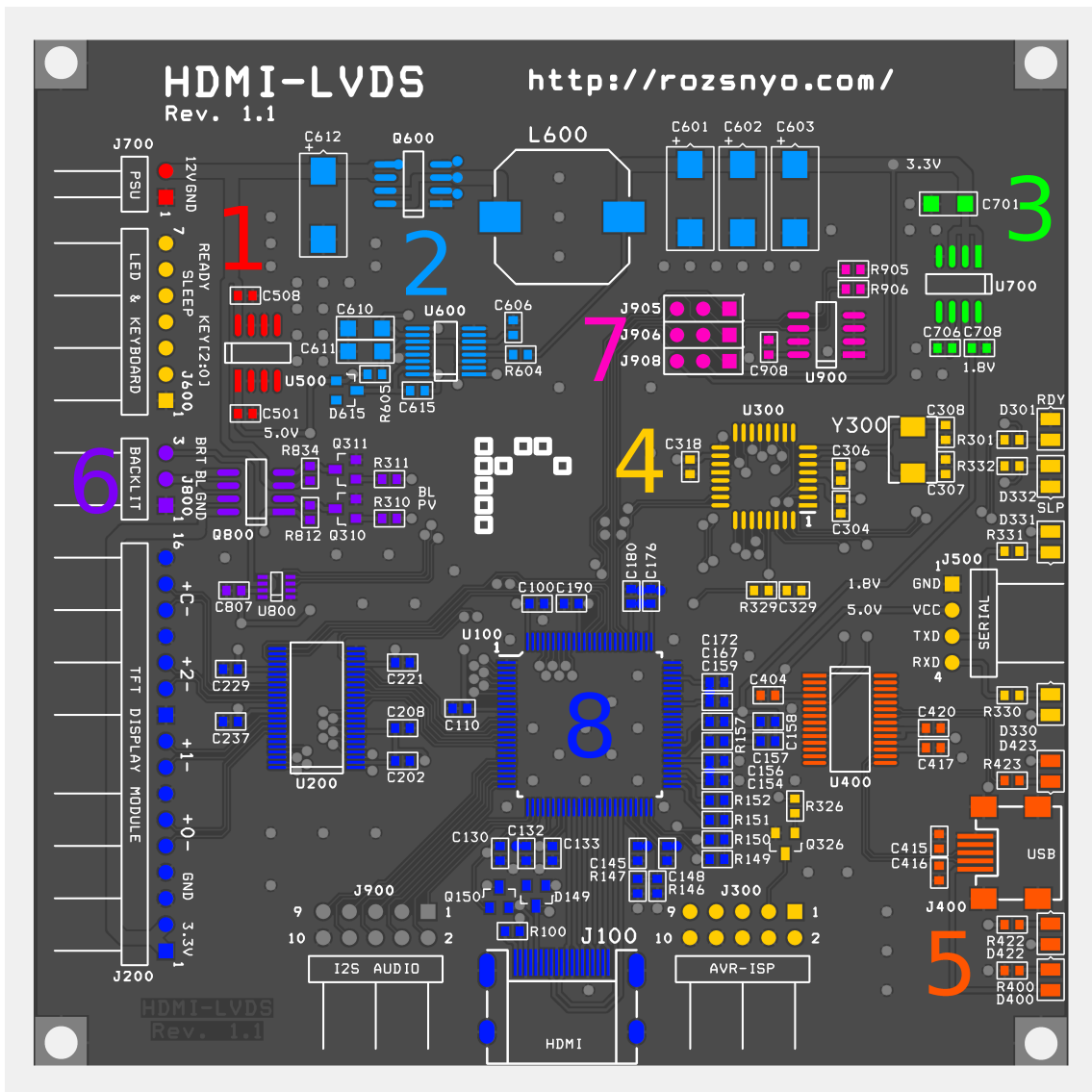
organizace, která působí v oblasti počítačové grafiky, přesah do televizní techniky

- **WXGA** – Wide Extended Graphics Array: Standard pro počítačovou grafiku, který označuje skupinu rozlišení obrazu vhodných pro širokoúhlé monitory a televizory. V užším významu v rámci tohoto dokumentu zastupuje pixelové rozlišení monitoru 1280x800.

Seznam příloh

- Papírové
 - Příloha A – Rozložení součástek na DPS
 - Příloha B – Zdrojový XML soubor pro generátor EDID
 - Příloha C (volně vložena) – revidované schéma HDMI-LVDS rev. 1.2 (realizována byla revize 1.1)
 - Hlavní změnou je oprava označení pinů u elektronického potenciometru (U800). Vlivem chybného značení musel být U800 připájen nastojato.
- Elektronické
 - K bakalářské práci je přiloženo CD s elektronickou verzí dokumentu a v adresáři EDID_XML_BIN lze nalézt PHP skript pro generování binárního EDID na základě uživatelem editovaného XML souboru (edid.xml). Ve stejném adresáři je rovněž několik ukázkových binárních souborů EDID z monitorů zmíněných na začátku kapitoly 2.2.

A Rozložení součástek na DPS

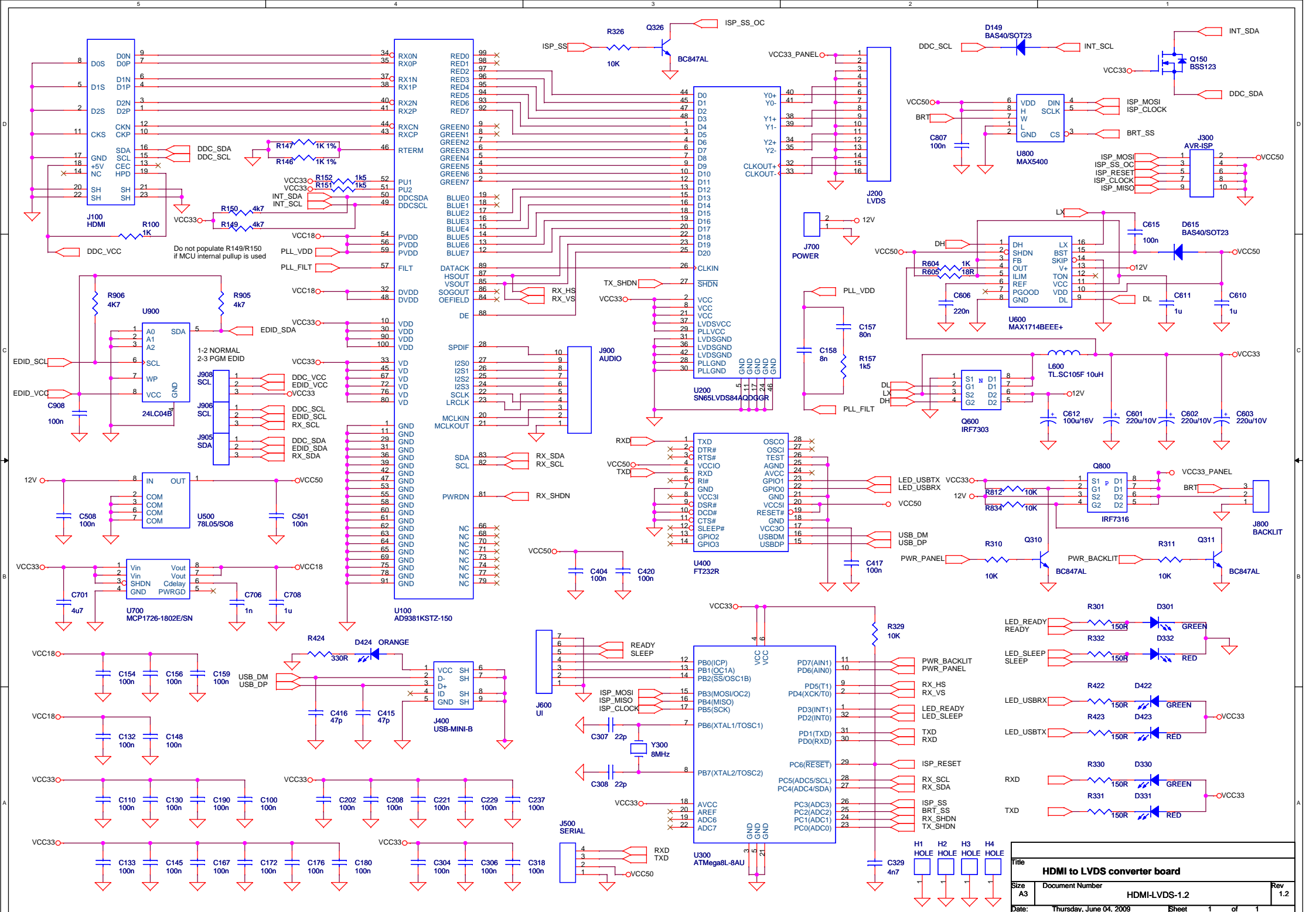


Skupiny součástek podle u funkce:

1. zdroj 5 V
2. zdroj 3,3 V
3. zdroj 1,8 V
4. řídicí mikrokontrolér (ATMega8), LED indikace, sériový port, konektor předního panelu
5. USB převodník (FTDI) s miniUSB konektorem
6. spínání a regulace jasu podsvícení (PFET a elektronický potenciometr)
7. EDID EEPROM, propojky volící režim zápisu/čtení
8. HDMI přijímač, LVDS vysílač, vstupní a výstupní konektor

B Zdrojový XML soubor pro generátor EDID

```
<?xml version="1.0" encoding="UTF-8"?>
<edid>
  <vendor>
    <manufacturer_name>AU0</manufacturer_name>
    <product_code>65160</product_code>
    <serial_number>0</serial_number>
    <week>21</week>
    <!-- minimalni hodnota je 1994 a maximalni aktualni rok -->
    <year>2009</year>
  </vendor>
  <edid_version>
    <version>1</version>
    <revision>3</revision>
  </edid_version>
  <display_parameters>
    <video_input_def>
      <!-- deska pouziva TMDS, analog neni relevantni -->
      <type>digital</type>
      <!-- je panel DFP 1.x kompatibilni? yes/no
      (zastaraly standard) -->
      <dfp>no</dfp>
    </video_input_def>
    <max_hsize>33</max_hsize>
    <max_vsize>21</max_vsize>
    <gamma>220</gamma>
    <feature>
      <!-- vsechny parametry povolime zapsanim yes -->
      <standby>no</standby>
      <suspend>no</suspend>
      <activeoff>no</activeoff>
      <displaytype>RGB</displaytype>
      <standard_colour_space>yes</standard_colour_space>
      <preferred_timing_mode>yes</preferred_timing_mode>
      <default_gtf_supported>no</default_gtf_supported>
    </feature>
  </display_parameters>
  <!-- barvy zatim nastavime podle standardu-->
  <color></color>
  <!-- neni podpora GTF -->
  <established_timings></established_timings>
  <standard_timing></standard_timing>
  <detailed_timing>
    <type_timing>
      <dot_clock unit="10^4 Hz">6890</dot_clock>
      <horizontal unit="pixels">
        <active>1280</active>
        <blanking>128</blanking>
        <sync_offset>21</sync_offset>
        <sync_pulse_width>32</sync_pulse_width>
        <image_size unit="mm">331</image_size>
      </horizontal>
      <vertical unit="lines">
        <active>800</active>
        <blanking>16</blanking>
        <sync_offset>4</sync_offset>
        <sync_pulse_width>4</sync_pulse_width>
        <image_size unit="mm">210</image_size>
      </vertical>
    </type_timing>
    <type_range_limits></type_range_limits>
    <type_monitor_name></type_monitor_name>
    <type_string></type_string>
  </detailed_timing>
  <extension_flag>no</extension_flag>
</edid>
```



Title			
HDMI to LVDS converter board			
Size	Document Number		Rev
A3	HDMI-LVDS-1.2		1.2
Date:	Thursday, June 04, 2009	Sheet	1 of 1