



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## NÁVRH A VÝVOJ DESKY HARDWAROVÉHO AKCELERÁTORU NÁROČNÝCH VÝPOČTŮ S VÍCE FPGA

DESIGN AND DEVELOPMENT OF A HARDWARE ACCELERATOR OF DEMANDING COMPUTATIONS WITH  
MULTIPLE FPGAS

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

Bc. Petr Zach

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Martin Štáva, Ph.D.

BRNO 2023

# Diplomová práce

magisterský navazující studijní program **Mikroelektronika**

Ústav mikroelektroniky

**Student:** Bc. Petr Zach

**ID:** 211249

**Ročník:** 2

**Akademický rok:** 2022/23

**NÁZEV TÉMATU:**

## Návrh a vývoj desky hardwarového akcelerátoru náročných výpočtů s více FPGA

**POKYNY PRO VYPRACOVÁNÍ:**

Prostudujte možnosti urychlování výpočtů s FPGA. Vytvořte vývojovou desku hardwarového urychlovače výpočetně-náročných softwarových algoritmů s pomocí FPGA (např. šifrování, konvoluce, komprese videa a jiných algoritmů především z oblasti číslicového zpracování signálů). Na desce bude více FPGA propojených některou ze sériových sběrnic (např. PCI Express, SPI apod.), ethernetové rozhraní, podpůrné obvody a napájecí zdroj. Zvolte a odůvodněte vhodné periférie a jejich propojení. Návrh proveďte v OrCAD, Altium Designer, anebo obdobném vývojovém prostředí. Zhodnoťte využitelnost navržené vývojové desky.

**DOPORUČENÁ LITERATURA:**

Podle pokynů vedoucího práce

**Termín zadání:** 6.2.2023

**Termín odevzdání:** 23.5.2023

**Vedoucí práce:** Ing. Martin Šťáva, Ph.D.

**doc. Ing. Lukáš Fojcik, Ph.D.**  
předseda rady studijního programu

**UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Tato diplomová práce se zabývá návrhem a vývojem desky plošných spojů s více FPGA obvody propojených vysokorychlostní sběrnici. Cílem práce je navrhnout a vyvinout zařízení, které bude schopno urychlit výpočty softwarově-náročných algoritmů v různých oblastech, jako je například zpracování obrazu, strojové učení, kryptografie a další algoritmy z oblasti digitálního zpracování signálů. První kapitola představuje oblast hardwarové akcelerace, zaměřuje se na vlastnosti čipů používaných v této oblasti a porovnává je. Druhá kapitola zkoumá možnosti hardwarových akceleratorů na trhu. Třetí kapitola popisuje samotný návrh proprietárního hardwarového akceleratoru. Nejprve je představen koncepční návrh, který vysvětluje strukturu výsledného zařízení. Následně je podrobně popsán návrh prototypu tohoto zařízení a jeho implementace na DPS.

## **KLÍČOVÁ SLOVA**

Hardwarová akcelerace, Xilinx, FPGA, návrh hardwarového akceleratoru, digitální zpracování signálu, vysokorychlostní rozhraní, návrh DPS

## **ABSTRACT**

This master's thesis focuses on the design and development of a printed circuit board with multiple FPGA connected by a high-speed bus. The goal of the project is to design and develop a board that will be able to accelerate calculations of demanding algorithms in various applications such as image processing, machine learning, cryptography, and other algorithms from the field of digital signal processing. The first chapter introduces the field of hardware acceleration, focusing on the characteristics of chips used in this field and comparing them. The second chapter examines the possibilities of hardware accelerators on the market. The third chapter describes the conceptual design of a custom hardware accelerator. First, the conceptual design is introduced, explaining the structure of the device. Subsequently, the design of the prototype of this device and its implementation on a PCB are described in detail.

## **KEYWORDS**

Hardware acceleration, Xilinx, FPGA, design of hardware accelerator, digital signal processing, high-speed interface, PCB design

ZACH, Petr. Návrh a vývoj desky hardwarového akcelérátoru náročných výpočtů s více FPGA. Brno, 2023. Dostupné také z: <https://www.vut.cz/studenti/zav-prace/detail/152486>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Martin Štáva.

## PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma „Návrh a vývoj desky hardwarového akcelerátoru náročných výpočtů s více FPGA“ jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno .....

.....

podpis autora

## PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu diplomové práce panu Ing. Martinu Šťávovi, Ph.D. za odborné vedení, konzultace, trpělivost a podnětné návrhy k práci. Dále bych chtěl poděkovat také rodině za trpělivost a podporu během celé doby studia.

# OBSAH

<b>Úvod</b>	<b>9</b>
<b>1 Hardwarová akcelerace</b>	<b>10</b>
1.1 DSP obvody . . . . .	10
1.2 GPU obvody . . . . .	14
1.3 FPGA obvody . . . . .	16
1.4 Porovnání obvodů DSP, GPU a FPGA . . . . .	20
<b>2 Cíle práce a řešení dostupná na trhu</b>	<b>23</b>
2.1 Cíle práce . . . . .	23
2.2 Dostupná řešení . . . . .	23
2.2.1 Řešení firmy Xilinx . . . . .	24
2.2.2 Řešení firmy BittWare . . . . .	24
2.2.3 Řešení firmy Digilent . . . . .	25
2.3 Volba řešení cílů práce . . . . .	25
<b>3 Návrh hardwarového akcelérátoru s více FPGA</b>	<b>26</b>
3.1 Koncepční návrh . . . . .	26
3.1.1 Komunikace mezi řídicím a výpočetními FPGA . . . . .	28
3.1.2 Periferie a jejich funkcionalita . . . . .	30
3.2 Návrh prototypu . . . . .	31
3.2.1 Návrh napájecích zdrojů . . . . .	31
3.2.2 Návrh vysokorychlostních rozhraní . . . . .	46
3.2.3 Návrh ostatních periferií . . . . .	57
3.2.4 Specifikace DPS . . . . .	58
<b>Závěr</b>	<b>60</b>
<b>Literatura</b>	<b>61</b>
<b>Seznam symbolů, veličin a zkratk</b>	<b>64</b>
<b>A Soupis komponent</b>	<b>66</b>
<b>B Deska hardwarového akcelérátoru s více FPGA</b>	<b>71</b>

# SEZNAM OBRÁZKŮ

1.1	Architektura DSP čipu Texas Instrument TMS320C50 (Převzato z [2])	11
1.2	Architektura GPU čipu NVIDIA GT200 (Převzato z [4])	14
1.3	Architektura FPGA čipu výrobce Xilinx (Převzato z [5])	17
3.1	Blokové schéma vývojové desky hardwarového akcelérátoru	27
3.2	Znázornění komunikační topologie mezi řídicím a výpočetními FPGA	29
3.3	Proudové smyčky DC/DC snižujícího měniče	45
3.4	Vyobrazení layoutu měniče ADP1853: a) Vodivá vrstva TOP, b) 3D pohled	46
3.5	Fly-by topologie propojení pamětí DDR3	48
3.6	Propojení DDR3 pamětí na DPS: a) Adresová a kontrolní sběrnice mezi FPGA a první DDR3, b) mezi FPGA a druhou DDR3, c) Dva datové byty	49
3.7	Znázornění implementace jednotlivých hardwarových vrstev Ethernetového standardu	51
3.8	Implementace rozhraní AXI Chip2Chip: a) SelectIO PHY, b) Aurora8B/10B PHY	52
3.9	Příklad jednostranně zakončených vodičů na DPS: a) Microstrip, b) Stripline	53
3.10	Výsledek simulace přeslechů na 22. datovém bitu paměti DDR3	56
3.11	Výsledek simulace signálové integrity na 22. datovém bitu paměti DDR3	56
3.12	Principiální zapojení jednoho kanálu měření síťového napětí	57
3.13	Stack-up navržené DPS hardwarového akcelérátoru	58
3.14	3D pohled na navrženou DPS hardwarového akcelérátoru s více FPGA	59
B.1	Pohled na všechny vrstvy desky hardwarového akcelérátoru	72
B.2	Pohled na vrstvu TOP desky hardwarového akcelérátoru	73
B.3	Pohled na vrstvu L2 desky hardwarového akcelérátoru	74
B.4	Pohled na vrstvu L3 desky hardwarového akcelérátoru	75
B.5	Pohled na vrstvu L4 desky hardwarového akcelérátoru	76
B.6	Pohled na vrstvu L5 desky hardwarového akcelérátoru	77
B.7	Pohled na vrstvu L6 desky hardwarového akcelérátoru	78
B.8	Pohled na vrstvu L7 desky hardwarového akcelérátoru	79
B.9	Pohled na vrstvu BOT desky hardwarového akcelérátoru	80

# ÚVOD

Hardwarová akcelerace se stává stále důležitějším nástrojem pro urychlení výpočtů v různorodých oborech. Mezi tyto obory spadá například umělá inteligence, robotika a počítačové vidění, ale také oblast bezpečnosti, komunikace, herního průmyslu, lékařství, finančnictví a další. Tyto oblasti, na první pohled možná nesourodé, mají minimálně jednu společnou charakteristiku. A tou je potřeba velmi rychlých výpočtů, potažmo výpočtů probíhajících v reálném čase. Vzhledem k tomu, že standardní procesory často nedokážou poskytnout dostatečný výkon pro tyto úlohy, vznikají specializované hardwarové platformy, které se zaměřují právě na akceleraci výpočetně náročných algoritmů.

Tyto platformy, neboli hardwarové akcelerátory, jsou speciálně navržené zařízení nebo čipy, které umožňují zpracovat určité úlohy rychleji než univerzální procesory. Jsou vhodné zejména pro úlohy, které jsou časově náročné, vyžadují velké množství opakování jednoduchých výpočetních operací, nebo pro úlohy umožňující paralelní zpracování.

Mezi obvody používané pro urychlení výpočtů se nejčastěji řadí obvody FPGA (Field Programmable Gate Array), GPU (Graphics Processing Unit), DSP (Digital Signal Processor), nebo ASIC (Application Specific Integrated Circuit). Každý z uvedených obvodů se vyznačuje mírně odlišnými vlastnostmi, a proto může být obtížné učinit správné rozhodnutí při volbě typu akceleračního zařízení pro konkrétní aplikaci.

Tato diplomová práce představuje oblast hardwarové akcelerace a rozebírá vlastnosti jednotlivých obvodů vhodných pro použití v této oblasti. Tyto obvody mezi sebou také porovnává a představuje výčet aplikací, pro které jsou dané typy obvodů vhodné. Dále se práce zaměřuje na proces návrhu vlastní vývojové karty pro urychlení výpočetně-náročných softwarových algoritmů a poskytuje detailní vhled do postupu při návrhu této vývojové karty z hardwarového úhlu pohledu.

# 1 HARDWAROVÁ AKCELERACE

Hardwarová akcelerace označuje proces, při kterém řídicí aplikace přenesou určité výpočetní úlohy na specializované hardwarové komponenty v systému. To umožňuje vyšší efektivitu, než jaké by bylo dosaženo při vykonání téže výpočetní úlohy softwarovou aplikací běžící na univerzální centrální procesorové jednotce (CPU; Central Processing Unit).

Hardwarová akcelerace se používá zejména v aplikacích, které vyžadují velké množství výpočtů, jako je například zpracování velkého množství dat, zpracování obrazu nebo videa, nebo vývoj a simulace složitých algoritmů. Systémy pro hardwarovou akceleraci je možné dělit na homogenní a heterogenní. Přičemž homogenní systém je takový, který využívá pouze jeden typ výpočetního jádra. Heterogenní systém kombinuje více typů výpočetních obvodů. Typickým příkladem heterogenního systému hardwarové akcelerace je kombinace CPU + GPU (Graphics Processing Unit) v systémech typu PC (Personal Computer) [1].

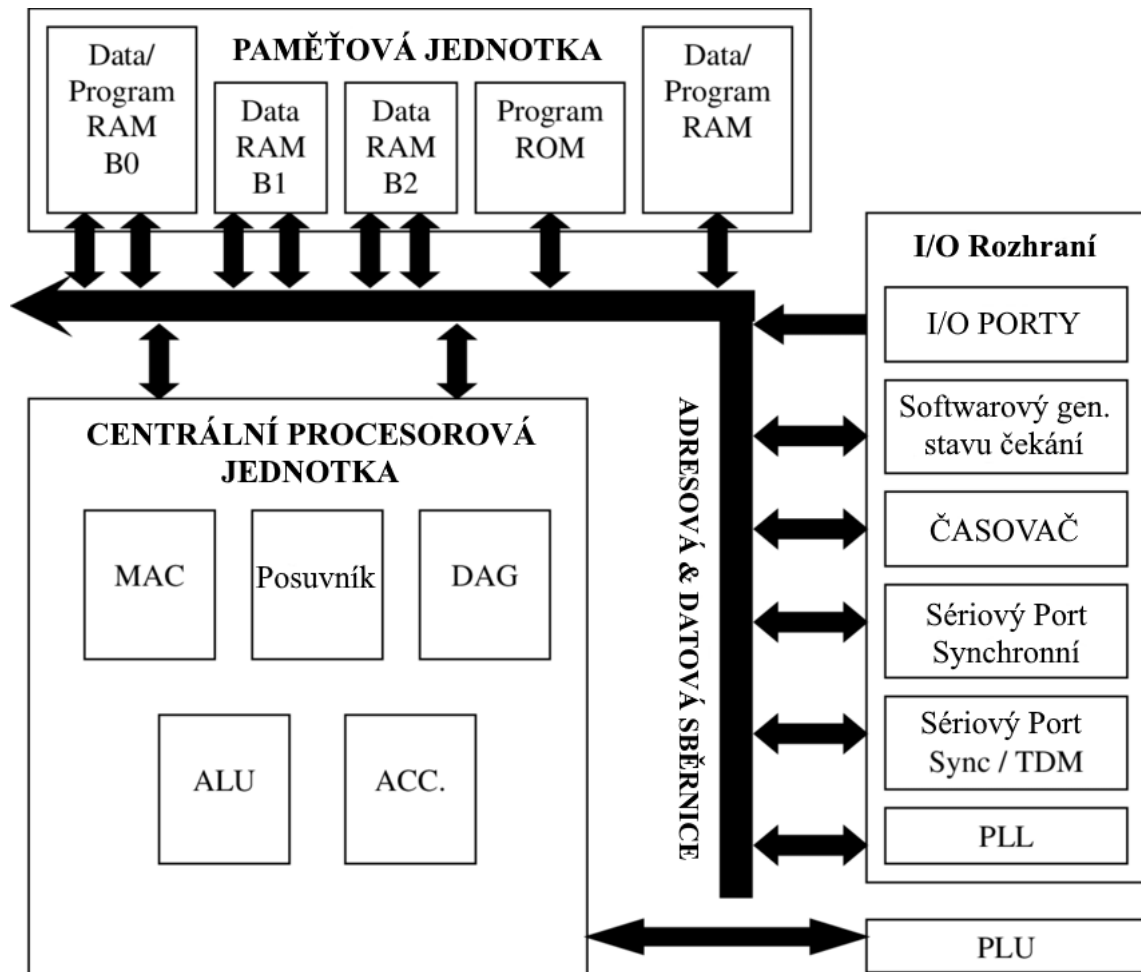
Mezi hlavní výhody hardwarové akcelerace spadá hlavně vysoká rychlost a výkon. Samotný akcelerátor je typicky navržen tak, aby byl co nejefektivnější a dokázal zpracovat velké množství výpočtů rychleji než univerzální procesor. Další výhodou hardwarové akcelerace je skutečnost, že umožňuje rozdělit výpočty mezi více výpočetních jader a tím dosáhnout střední až vysoké paralelizace při zpracování výpočtů. Právě tato zmíněná paralelizace je hlavním zdrojem efektivity a výkonnosti hardwarových akcelerátorů.

Naopak k nevýhodám se řadí především vysoké náklady na vývoj a výrobu takového zařízení. Navíc většina hardwarových akcelerátorů je navržena pro konkrétní úlohu, nebo svazek úloh, a tak neposkytuje příliš flexibility.

V současnosti se pro urychlení výpočetně-náročných softwarových algoritmů používá zejména výpočetní hardware s integrovanými obvody CPU, GPU, DSP (Digital Signal Processor), FPGA (Field Programmable Gate Array), ASIC (Application Specific Integrated Circuit), nebo jejich kombinace.

## 1.1 DSP obvody

Digitální signálový procesor, taktéž DSP (Digital Signal Processor), je typ mikroprocesoru s architekturou, jenž je speciálně navržena pro vykonávání úloh zpracování digitálního signálu. Architektura je typicky složena ze tří částí, a to paměťové jednotky, centrální procesorové jednotky a ze vstupně-výstupních rozhraní. Příklad architektury DSP je zde znázorněn na příkladu konkrétního čipu DSP *TMS320C50* od výrobce Texas Instruments na Obr. 1.1 [2].



Obr. 1.1: Architektura DSP čipu Texas Instrument TMS320C50 (Převzato z [2])

**Paměťová jednotka** je rozdělena na dva paměťové prostory – programový a datový. Programová paměť uchovává program, který DSP využívá ke zpracování dat, datová paměť uchovává data, která jsou určena ke zpracování.

Paměťová jednotka je navržena s ohledem na rychlost. Data i instrukce musí proudit do numerické i sekvenční části procesoru při každém instrukčním cyklu. Je kritické, aby nedocházelo k žádným zpožděním a aby bylo dosaženo velké propustnosti. Z tohoto důvodu se využívá Harvardská architektura, oproti univerzálním CPU, kde je typicky využita von Neumannova architektura. Harvardská architektura se vyznačuje rozdělením paměťového prostoru pro program a data s dedikovanými sběrnici pro oba tyto prostory. Díky separaci dat a instrukcí a rovněž jejich sběrnic může DSP načítat více informací v každém cyklu a dosáhnout tak dvakrát vyšší propustnosti [3].

**Centrální procesorová** jednotka provádí numerické operace za pomoci násobiček a akumulátorů (MAC; Multiply-Accumulate), aritmetickologické jednotky (ALU;

Arithmetic-logic Unit) a barelových posuvníků (Shifter). MAC jednotka provádí rychlé paralelní násobení a sčítání, ALU vykonává instrukce v rámci jednoho cyklu a posuvníky slouží k posouvání více bitů registru během jediného cyklu a také ke škálování výsledků [2].

**Vstupně-výstupní rozhraní** zahrnují externí sběrnice rozhraní, sériové porty, časovač, PLL (Phase Locked Loop) a I/O porty, jež propojují vstupy a výstupy zařízení s DSP čipem. Také se zde nachází PLU (Parallel Logic Unit) pro rychlou bitovou manipulaci [2].

Z hlediska hardwarové akcelerace jsou u DSP čipů kritické zejména tyto parametry: výkon, spotřeba a architektura. Mezi dva hlavní výrobce patří Texas Instruments (TI) a Analog Devices (AD). Tito výrobci nabízejí celou řadu DSP čipů, od nízko-příkonových jednojádrových až po vysoce-výkonné vícejádrové DSP a DSP typu SoC (System on Chip) s integrovaným ARM procesorem.

Nízko-příkonové DSP jsou cenově výhodné, ale mají nízký výpočetní výkon, což je limituje na využití pro zpracování jednoduchých algoritmů.

Výkonově optimalizované DSP jsou určeny především pro přenosná nebo mobilní zařízení, kde se spotřeba elektrické energie považuje za kritickou vlastnost. Taková DSP mohou zpracovávat algoritmy se střední úrovní složitosti. Do této skupiny je možné zařadit i DSP typu SoC. Tento procesor rozšiřuje možnosti DSP o propojení se standardními porty (např. USB nebo I<sup>2</sup>C), externími paměťovými moduly (např. SD; Secure Digital) a multimediálními kartami (MMC; Multi-Media Cards).

Vícejádrové DSP jsou optimalizovány pro výpočetně složité úlohy. Jsou složeny z více jader DSP (až 8 jader), které jim umožňuje vykonávat úlohy paralelně. Je potřeba vzít v úvahu, že uváděný maximální výkon vícejádrových DSP je založen na předpokladu, že je možné výpočetní úlohu plně paralelizovat, takže jednotlivé pod-úlohy jsou vykonávány v různých jádrech současně. Nicméně to v praxi často není proveditelné a pro optimalizaci výpočetní rychlosti těchto DSP jsou zapotřebí pokročilé techniky paralelního programování.

Dalším důležitým faktorem při volbě DSP pro účely hardwarové akcelerace je typ podpory aritmetických výpočtů. Jedná se o podporu aritmetických výpočtů s pevnou desetinnou čárkou (fixed-point), nebo s plovoucí desetinnou čárkou (floating-point). Čipy, jež podporují výpočty s plovoucí desetinnou čárkou ve srovnání s výpočty s pevnou desetinnou čárkou usnadňují implementaci algoritmů a zvyšují přesnost dosažených výsledků. Naproti tomu operace s pevnou desetinnou čárkou mohou být vykonávány s menším počtem bitů, ale pozice desetinné čárky musí být hlídána programátorem. Tyto DSP, založené na aritmetice s pevnou desetinnou čárkou, jsou typicky levnější.

V neposlední řadě je také důležité vzít do úvahy čas pro vývoj aplikace. Pro vývoj a ladění kódu je k dispozici několik užitečných nástrojů v jazycích C nebo C++ a dostupné knihovny zahrnují většinu obecných algoritmů pro aplikace zpracování signálu, zpracování obrazu a pro aplikace v oblasti počítačového vidění. Obecně je možné říci, že doba vývoje jednoduché úlohy v jednojádrových DSP je relativně krátká. Naproti tomu vývoj optimalizovaného kódu pomocí technik paralelního programování pro vícejádrové DSP je náročný, složité úkoly potom vyžadují pokročilé programovací dovednosti. To může vést k dlouhé době vývoje při vytváření optimalizovaných kódů pro složité algoritmy ve vícejádrových DSP [1].

Zde je představen souhrn výhod a nevýhod použití DSP obvodů pro účely hardwarové akcelerace:

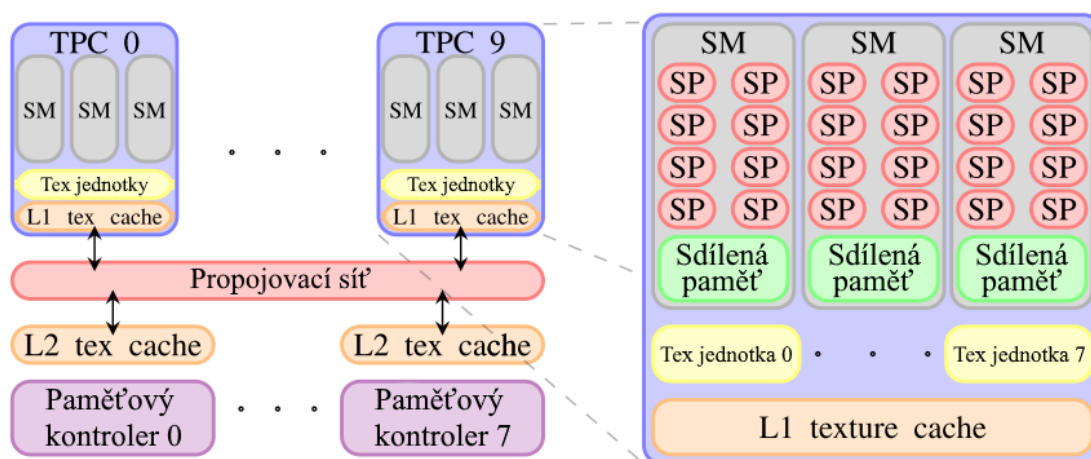
Výhody	Nevýhody
<ul style="list-style-type: none"> <li>• Náklady na vývoj přenosného systému založeného na DSP jsou obvykle nízké. DSP čipy jsou obecně levnější než většina ostatních hardwarových akceleratorů pro přenosná zařízení [1].</li> <li>• Aplikace pro počítačové vidění a zpracování obrazu typicky zahrnují sekvenční algoritmy a architektura čipů DSP je navržena pro implementaci sekvenčních úloh. Vícejádrové DSP přidaly schopnost implementovat hrubozrný paralelismus pro algoritmy s nízkou až střední úrovní složitosti [1].</li> <li>• Doba vývoje jednoduchých algoritmů počítačového vidění a zpracování obrazu v jednojádrových DSP je obecně relativně krátká [1].</li> <li>• DSP jsou vhodná pro obsluhu periférií, standardních portů (např. USB a SATA) a komunikačních protokolů</li> </ul>	<ul style="list-style-type: none"> <li>• Vícejádrové DSP jsou navrženy pro aplikace vysoce výkonných výpočetních technik (HPC; High Performance Computing) s nízkou až střední úrovní složitosti. Nejsou vhodné pro aplikace s vysokou datovou propustností nebo pro vysokorychlostní aplikace [1].</li> <li>• DSP jsou vhodnější pro sekvenční zpracování. I když jsou vícejádrové DSP schopny provádět hrubozrný paralelismus, nejsou vhodnou volbou pro zvýšení rychlosti zpracování v masivně paralelních algoritmech [1].</li> <li>• Obvykle není efektivní používat DSP spolu s CPU v PC pro zvýšení rychlosti zpracování algoritmu. DSP i CPU mají podobnou povahu sekvenčního zpracování, zatímco programování CPU je jednodušší a efektivnější než DSP [1].</li> </ul>

(např. TCP/IP) v přenosných zařízeních [1].

- Nízká spotřeba energie [1].

## 1.2 GPU obvody

Grafický procesor, taktéž GPU (Graphics Processing Unit), je typ mikroprocesoru s architekturou, jenž je speciálně navržena pro vykonávání úloh zpracování obrazu. Architektura grafických procesorů se liší s výrobcem a modelem konkrétního GPU. Příklad architektury GPU je zde znázorněn na příkladu konkrétního čipu GPU *GT200* od výrobce NVIDIA na Obr. 1.2



Obr. 1.2: Architektura GPU čipu NVIDIA GT200 (Převzato z [4])

Grafický procesor se typicky skládá z více souborů pro zpracování textur (TPC; Texture Processing Cluster). Tyto TPC bloky dále obsahují streamovací multiprocesory (SM; Streaming Multiprocessor), texturové jednotky (Tex Units) a texturové mezipaměti (Tex cache L1). Streamovací multiprocesor je potom dále složen ze skalárních procesorů (SP; Scalar Processor), jednotky s dvojitou přesností (double precision unit), dvou speciálních funkčních jednotek, sdílené paměti, mezipaměti a z registrů. Tyto skalární procesory jsou nejmenší výpočetní jednotky GPU čipů, v řadách výrobce NVIDIA označovány jako CUDA (Compute Unified Device Architecture) jádro.

Každé CUDA jádro představuje plně zřetězenou aritmeticko-logickou jednotku schopnou celočíselných (integer) operací a operací s plovoucí desetinnou čárkou s jednotkovou přesností (single precision floating point operations), zatímco speciální

funkční jednotka obsahuje čtyři aritmeticko-logické jednotky. Výhodnou vlastností streamovacího multiprocesoru je vzájemná nezávislost skalárního procesoru a speciální funkční jednotky. Počet CUDA jader v jednom streamovacím multiprocesoru je dán konkrétním typem čipu a jeho architekturou. U výrobce NVIDIA je počet těchto jader typicky buď 8, 16, 32, 64, 128 nebo 192. Masivně paralelní algoritmy zpracování obrazu a počítačového vidění jsou vhodné pro implementaci do GPU s velkým počtem jader CUDA.

Textury jsou konceptem datového formátu počítačové grafiky. Lze je považovat za 2D obrázek určený pouze pro čtení. Přístup k texturám je tak optimalizován pro 2D přístup. Texturové jednotky mohou provádět jednoduché operace filtrování texturových dat, jako je například interpolace mezi barvami.

Streamovací multiprocesory jsou seskupovány do souborů pro zpracování textur (TPC), kde sdílejí osm texturových jednotek a jednu mezipaměť L1 [1] [4].

Z hlediska hardwarové akcelerace a potenciální volby grafického procesoru do systému hardwarového akcelerátoru je potřeba brát zřetel na několik věcí. Jednou z nich je již zmiňovaná architektura. Přestože struktura většiny GPU je založena na stejném principu, tak se jednotlivé modely mohou lišit, a to například samotným výpočetním výkonem nebo počtem jednotlivých periférií a jejich typem. Výpočetní výkon GPU se udává v jednotkách FLOPs (floating-point operations per second). Tyto jednotky udávají počet operací s plovoucí desetinnou čárkou za vteřinu, jež GPU zvládne vykonat. Volba čipu s vhodnými perifériemi a sběrnice rozhraním je důležitá zejména kvůli implementaci do systému hardwarového akcelerátoru a kompatibilitě s podpůrnými obvody a řídicími čipy, například s CPU.

Dalším faktorem je paměť. GPU mají různé úrovně paměti, pro ukládání obrazových dat se typicky používá vnitřní paměť. Tato paměť je typu DRAM, ale v různých GPU je založena na různých technologiích. Mezi hlavní používané DRAM technologie patří DDR2, DDR3, GDDR3, GDDR5 a GDDR6. Rozdíly mezi nimi se projevují v přenosové rychlosti a šířce pásma. I přesto, že je pro uložení obrazových dat pro algoritmus nutné dostatečné množství paměti, tak paměť DRAM je nákladná a znatelnou měrou se její velikost projevuje na ceně GPU.

V neposlední řadě je také důležité vzít do úvahy čas pro vývoj aplikace. Doba vývoje aplikace pro GPU je kratší než u FPGA a DSP. Pro vývoj a ladění kódu jsou k dispozici nástroje CUDA a NVidia Nsight. Kratší doba pro vývoj aplikace na grafické procesory v porovnání s obvody FPGA je důsledkem jednoduššího programování a také jednodušší architektury GPU obvodů.

Grafické procesory jsou ze své podstaty vhodné pro provádění úloh zpracování obrazu a počítačového vidění. Z tohoto důvodu existuje na trhu široká nabídka modelů a řad GPU, které jsou pro tyto aplikace vhodné [1].

Zde je představen souhrn výhod a nevýhod použití GPU obvodů pro účely hardwarové akcelerace:

Výhody	Nevýhody
<ul style="list-style-type: none"><li>• Jsou masově vyráběny a mají nejlepší poměr výpočetního výkonu k ceně. Díky zábavnímu průmyslu jsou relativně levné v porovnání s FPGA obvody [1].</li><li>• Technologie GPU se rychle vyvíjejí a navzdory technologickým pokrokům cena zůstává příznivá [1].</li><li>• K programování GPU jsou k dispozici vysokoúrovňové programovací jazyky. Tudiž vývoj a ladění kódu pro GPU je rychlejší a snadnější než pro FPGA [1].</li><li>• Jednoduché použití PCIe rozhraní mezi GPU a CPU [1].</li><li>• Jsou speciálně navrženy pro zpracování obrazu a videa [1].</li></ul>	<ul style="list-style-type: none"><li>• GPU jsou navrženy pro řešení problémů s masivním datovým paralelismem. Proto výkon GPU se výrazně sníží, pokud je zpracování dat časově náročné nebo pokud tok dat není plynulý [1].</li><li>• GPU mají významně vyšší spotřebu energie v porovnání s FPGA obvody při uvažování stejné výkonnosti třídy [1].</li><li>• Hlavním problémem při používání GPU v systémech založených na PC, je doba přenosu dat mezi PC a GPU. Neoptimalizovaný kód GPU proto nemusí pomoci zvýšit rychlost zpracování [1].</li><li>• Vývoj nízkoúrovňových funkcí v GPU často vyžaduje použití jazyku assembler. Hardware GPU je předem strukturovaný a má nižší flexibilitu než FPGA [1].</li></ul>

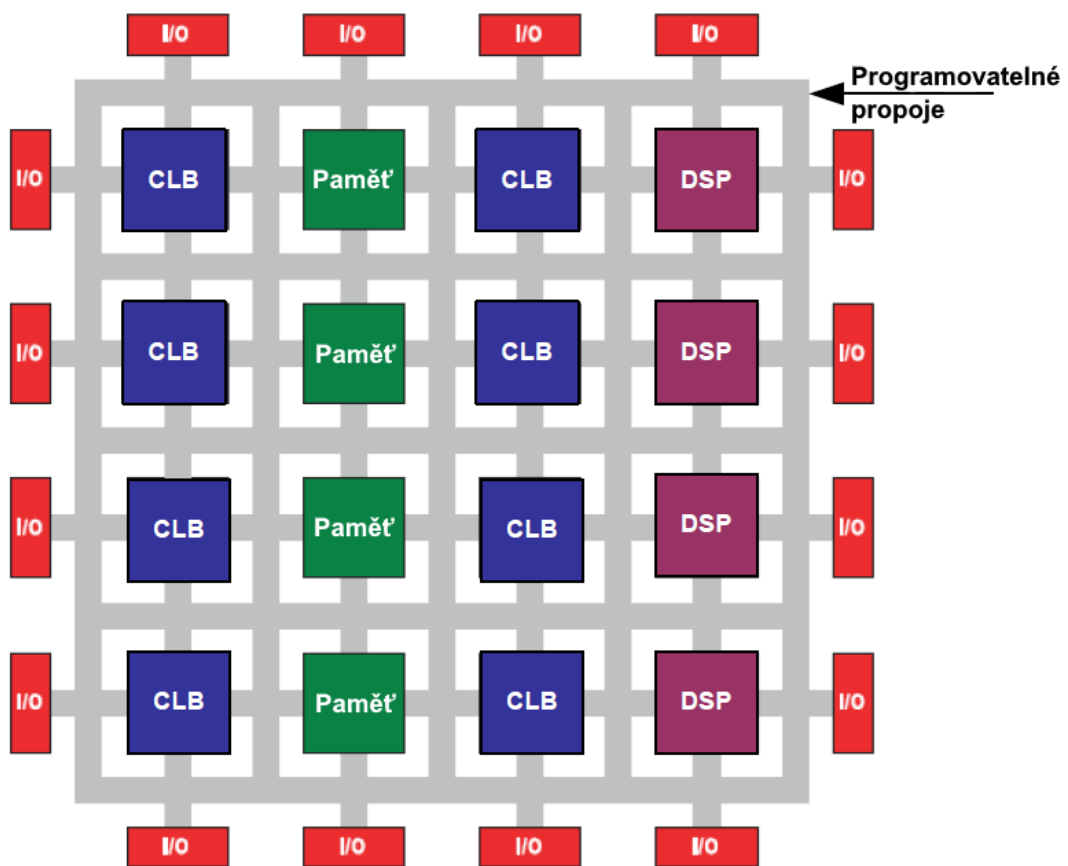
### 1.3 FPGA obvody

Programovatelné hradlové pole, taktéž FPGA (Field Programmable Gate Array), je typ integrovaného obvodu, který může být použit pro implementaci jakéhokoliv digitálního obvodu. Na rozdíl od dříve zmíněných obvodů CPU, DSP a GPU, FPGA obvody nemají pevně danou architekturu čipu ani centrální procesorovou jednotku. Architekturu FPGA navrhuje sám programátor pro konkrétní aplikaci před začátkem programování. Přestože FPGA nemají pevně danou architekturu, v její struktuře se

nachází základní bloky, které jsou využívány k implementaci konkrétního digitálního obvodu.

Obvody FPGA jsou proprietární a tak se struktura i názvosloví FPGA obvykle liší podle výrobce. Příklad FPGA struktury je znázorněn na Obr. 1.3 na konkrétní rodině obvodů od výrobce Xilinx. V FPGA obvodu se typicky nachází programovatelné logické buňky (CLB; Configurable Logic Blocks), vstupně-výstupní buňky (I/O buňky) a programovatelná propojovací struktura (PI; Programmable Interconnect).

Pro zvýšení flexibility FPGA se do jeho struktury integrují bloky se specifickou funkcí, jako jsou například blokové RAM (BRAM; Block RAM), DSP bloky nebo mikroprocesor. V případě integrace mikroprocesoru na čipu spolu s FPGA se již jedná o čip typu SoC (System on Chip) [1] [5].



Obr. 1.3: Architektura FPGA čipu výrobce Xilinx (Převzato z [5])

**Vstupně-výstupní buňky** se sdružují do větších seskupení nazývaných vstupně-výstupní banky. U výrobce Xilinx to mohou být banky dvou typů, a to vysoko výkonné (HP; High Performance) a banky s podporou širokého napětového rozsahu (HR; High Range). Banky s vysokým výkonem jsou navrženy tak, aby splňovaly

výkonnostní požadavky vysokorychlostních rozhraní s napětím až do 1,8 V. Banky HR jsou navrženy tak, aby podporovaly širší škálu I/O standardů s napětím až 3,3 V.

Vstupně-výstupní buňky FPGA obvodů od výrobce Xilinx poskytují rozsáhlou sadu funkcí, která zahrnuje programovatelné řízení výstupního výkonu a doby přeběhu (SR; Slew Rate), terminaci na čipu pomocí digitálně řízené impedance (DCI; Digitally-Controlled Impedance) a schopnost vnitřně vytvořit referenční napětí. Dále podporují vstupně-výstupní buňky také interní pull-up a pull-down, nastavení individuálního zpoždění signálu a podporu přenosu dat v módu SDR (Single Data Rate) i DDR (Double Data Rate) [5].

**Logické buňky** jsou hlavními elementy pro implementaci logických obvodů. Uvnitř logické buňky se nachází generátor logických funkcí (6-vstupá LUT), distribuovaná paměť RAM nebo posuvný registr, dedikovaná vysokorychlostní přenosová logika (angl. carry logic) a multiplexory. Každá logická buňka se dělí na dva řezy (angl. slices) a je připojena k propojovací matici [5].

**Blokové RAM** jsou speciálně vyhrazené paměťové bloky situované do sloupců napříč celou strukturou FPGA, stejně jako ostatní elementy na čipu. Výrobce Xilinx používá blokové RAM o velikosti 36 kb. Tyto paměti jsou kaskádovatelné, což umožňuje implementaci paměti s širší datovou sběrnicí a vyšším rozsahem adres při zachování minimálního časového znevýhodnění [5].

**DSP bloky** jsou stejně tak situovány do sloupců napříč strukturou FPGA čipu a jsou důležitou součástí pro účely použití FPGA obvodu pro digitální zpracování signálu, respektive pro použití v oblasti hardwarové akcelerace. DSP bloky v obvodu FPGA výrobce Xilinx disponují následujícími prostředky:

- Násobička  $25 \times 18b$
- Akumulátor 48-bit
- Před-sčítačka
- Aritmetická jednotka SIMD (Single Instruction, Multiple Data)
- Generátor logických funkcí
- Volitelné zřetězení (angl. pipelining)
- Dedikovaná sběrnice pro kaskádování bloků

Podrobnější informace o struktuře a možnostech DSP bloků jsou dostupné v literatuře [5][6].

Z hlediska hardwarové akcelerace a potenciální volby FPGA obvodu do systému hardwarového akcelérátoru jsou nejzajímavějšími parametry velikost FPGA, výpočetní

výkon a velikost paměťového prostoru.

Velikost FPGA je možné orientačně určit porovnáním dostupných prostředků pro implementaci logických funkcí. Logické funkce jsou implementovány do logických buněk, jejichž propojení tvoří konkrétní logický obvod představující hardwarovou reprezentaci algoritmu. Z toho plyne, že FPGA s velkým počtem logických buněk (CLB) jsou vhodnější pro implementaci komplexních algoritmů. Nicméně typ hradel v logických buňkách a počet vstupních bitů se liší napříč jednotlivými rodinami FPGA obvodů. Z tohoto důvodu není samotné číslo vyjadřující počet logických buněk v FPGA užitečným srovnáním a je potřeba být obeznámen s vnitřní strukturou logických buněk [1].

Výpočetní výkon FPGA v oblasti zpracování digitálního signálu a v oblasti hardwarové akcelerace je měřitelný počtem integrovaných DSP bloků. Tyto DSP bloky jsou vhodné pro implementaci vlastních plně paralelních algoritmů a jejich počet v FPGA obvodech výrobce Xilinx se pohybuje v řádu stovek až tisíců. Napříč rodinami FPGA obvodu se opět mohou vyskytnout odlišnosti ve struktuře DSP bloku, a proto je potřeba tento fakt zohlednit při jejich porovnání. V moderních FPGA obvodech Xilinx se nacházejí konkrétně dva typy DSP bloků, a to DSP48E1 a DSP48E2, které se liší například v bitových šířkách násobiček a před-sčítaček. Kompletní souhrn rozdílů těchto dvou typů DSP bloků je podrobně popsán v literatuře [7].

V FPGA obvodech se nachází dva typy paměťových prostorů, a to distribuovaná RAM a bloková RAM. Zatímco distribuovaná RAM je paměť implementovaná do generátorů logických funkcí (LUT) v logických buňkách, v případě blokové RAM se jedná o vyhrazené místo na čipu. V obou případech je velikost paměťového prostoru závislá na velikosti FPGA. Bloková RAM v moderních FPGA obvodech výrobce Xilinx je dvouportová s velikostí 36 kb. Napříč rodinami FPGA obvodů Xilinx může být počet blokových RAM integrovaných do jednoho FPGA v rozmezí jednotek až deseti tisíců BRAM [8].

V neposlední řadě je potřeba vzít v úvahu dobu potřebnou na vývoj a implementaci požadované struktury do FPGA. V tomto případě je doba vývoje delší než u předchozích alternativ hardwarových akceleratorů (DSP, GPU). Přestože vznikají nástroje pro usnadnění vývoje kódu pro FPGA (např. Vivado design suite, HLS tool, Xilinx SysGen, Xilinx EDK, Xilinx ILA), tak je vývoj kódu pro FPGA stále obtížný. Paralelní programování FPGA vyžaduje zkušené programátory s dobrou znalostí hardwarové struktury FPGA obvodu. Přestože je snaha o zpřístupnění nástrojů pro vývoj kódu na vyšší úrovni abstrakce, tyto nástroje prozatím nedokážou efektivně a spolehlivě implementovat algoritmus do FPGA, nebo nejsou součástí běžně dostupných a bezplatných verzí vývojových prostředí. Proto musí být algoritmy často vyvíjeny pomocí základních funkcí, a to je časově náročné [1].

Zde je představen souhrn výhod a nevýhod použití FPGA obvodů pro účely hardwarové akcelerace:

Výhody	Nevýhody
<ul style="list-style-type: none"><li>• Rychlost zpracování dat v FPGA je vyšší v porovnání s DSP a GPU obvody. Nejnovější FPGA dokážou zpracovat paralelně miliardy operací za sekundu pomocí jejich DSP bloků. Takové rychlosti nedosahuje žádný jiný typ hardwarového akcelérátoru [1].</li><li>• Pomocí FPGA je možné dosáhnout vysoké datové propustnosti, a proto jsou výhodné pro aplikace zahrnující sběr dat [1].</li><li>• FPGA jsou poměrně energeticky účinné. Vzhledem k tomu jsou vhodnou volbou pro použití v přenosných zařízeních [1].</li><li>• FPGA umožňují implementovat flexibilní a efektivní algoritmy rekonfigurací hardwaru FPGA a optimalizací pro daný typ algoritmu [1].</li></ul>	<ul style="list-style-type: none"><li>• Vývoj efektivního kódu pro FPGA je náročný. Přestože byly vyvinuty nástroje, které tento proces zjednodušují a urychlují, programátor stále potřebuje dostatečné znalosti a technické dovednosti k vývoji robustních kódů pro FPGA [1].</li><li>• Dlouhá doba vývoje aplikace pro FPGA [1].</li></ul>

## 1.4 Porovnání obvodů DSP, GPU a FPGA

Cílem této podkapitoly je shrnout představené informace o jednotlivých obvodech vhodných pro použití v oblasti hardwarové akcelerace a porovnat jejich výhodné a nevýhodné vlastnosti.

Dle výzkumu v literatuře [1] a příkladů použití DSP obvodů bylo zjištěno, že nejsou zvláště vhodné pro vysoce výkonné aplikace. Navzdory nedávným pokrokům ve vícejádrových DSP, stále není možné jejich využití pro implementaci složitých algoritmů zpracování obrazu a počítačového vidění. Zvláště v případech, kdy jsou kladeny nároky na vysokou datovou propustnost. Krom toho, DSP obvody nejsou

vhodné pro systémy založené na PC, protože kromě externích rozhraní neposkytují žádné významné výhody oproti GPU. Naproti tomu jsou DSP vhodným řešením pro vestavěné, mobilní, nebo přenosné systémy, ve kterých nejsou kladeny vysoké nároky na výpočetní výkon, ale zato je kritická úroveň spotřeby elektrické energie.

U grafických procesorů byl v posledních letech zaznamenán rostoucí trend v oblasti využívání pro vykonávání vědeckých výpočtů. Grafické procesory jsou relativně levné, nejnovější generace dosahují vysoké rychlosti zpracování dat a vývoj komplexních aplikací je pro tyto obvody poměrně nenáročný. Doba vývoje aplikace pro zpracování obrazu a pro aplikace počítačového vidění je při použití GPU kratší než v případě FPGA. Grafické procesory tak mohou poskytovat dobrý výkon v aplikacích, kde není vyžadován sběr dat. Nicméně občas ani nejnovější GPU nemají dostatečný výpočetní výkon a/nebo dostatečný paměťový prostor pro složité algoritmy. Počet jader CUDA, které lze zahrnout do jednoho čipu GPU, je limitován výrobními možnostmi. Jedním z řešení je použít více GPU v jednom systému, nicméně i tento případ má svá určitá omezení. Jedním z nich je například správa datové komunikace a výpočtů mezi více GPU. Z toho důvodu není výpočetní rychlost více GPU typicky úměrná počtu použitých GPU ve srovnání s jedním GPU. V některých případech je dokonce výsledná výpočetní rychlost více GPU nižší než u jednoho.

FPGA jsou nejflexibilnějším hardwarovým akcelerátorem k implementaci přizpůsobených algoritmů pro zpracování digitálního signálu, obrazu a počítačového vidění. Nicméně dobré znalosti v oblasti návrhu digitální logiky, hardwarové struktury FPGA obvodů, deskriptivních jazyků pro popis digitálních obvodů (HDL; Hardware Description Language) a programovacích nástrojů, jsou zásadní pro účinnou implementaci komplexních algoritmů v obvodech FPGA.

GPU a FPGA jsou ve srovnání s DSP obvody běžně používány pro implementaci zpracování obrazu a algoritmů počítačového vidění. Z toho důvodu je zajímavé porovnat implementace v GPU a FPGA, nicméně přesné srovnání výkonu mezi nimi není praktické, protože každá aplikace má jiné požadavky a výkon aplikace závisí na úrovni programátorských znalostí a na použitém hardwaru. Navíc ve většině publikovaných prací není srovnání mezi GPU a FPGA provedeno pro srovnatelné technologické úrovně. V publikacích se obvykle objevují novější generace GPU ve srovnání s FPGA. To může být důsledkem nižších nákladů na pořízení GPU čipu oproti FPGA nebo jejich relativní jednoduchosti programování [1].

Zde je představen souhrn aplikací, pro jejichž realizaci je výhodné použití FPGA obvodu více než GPU obvodu a naopak:

## FPGA

- Jsou nejlepší volbou pro algoritmy s vysokými výpočetními nároky v přenosném zařízení nezávislém na PC. Mají nízkou spotřebu, lze je použít ve vestavěných systémech a jsou navrženy pro vysoce výkonné aplikace [1].
- Jsou také vhodnou volbou pro návrhy, které budou vyráběny velkosériově, neboť na základě návrhu designu v FPGA obvodech je možné snadněji navrhnout a vyrobit ASIC [1].
- Díky své vysoké propustnosti dat jsou FPGA nejvhodnější možností pro sběr a zpracování dat s vysokou snímkovací rychlostí z vysokorychlostních kamer. Obrazová data lze v FPGA zpracovávat vysokou rychlostí [1].

## GPU

- Jsou vhodnější pro rychlé prototypování, neboť jejich programovací jazyk je vysokoúrovňový a doba vývoje aplikace na GPU je kratší než u FPGA [1].
- Jsou vhodné pro použití v aplikacích hardwarové akcelerace v systémech na bázi PC, kde není vyžadován sběr dat s vysokou propustností [1].
- Jsou levnější než FPGA obvody, a proto jsou vhodnější pro nízko nákladové aplikace [1].
- Obvykle je jednodušší přenést kód na nový hardware v GPU než v FPGA. Z toho důvodu jsou GPU vhodnější pro hardwarové akcelerátory pro algoritmy, které jsou potřeba často aktualizovat [1].

Více informací o vhodnosti volby jednotlivých obvodů pro aplikace hardwarové akcelerace a také výčet konkrétních aplikací spolu s odkazy na publikace, kde byly tyto obvody využity, je dostupných v literatuře [1].

## 2 CÍLE PRÁCE A ŘEŠENÍ DOSTUPNÁ NA TRHU

Tato kapitola vysvětluje cíle práce a podává přehled o vybraných možnostech dostupných na trhu, které by potenciálně mohly být využity k řešení problémů definovaných v zadání této práce.

### 2.1 Cíle práce

Tato práce si dává za cíl navrhnout a vyvinout desku hardwarového akcelérátoru náročných výpočtů. Výsledným přínosem práce bude vývojová deska hardwarového urychlovače výpočetně-náročných softwarových algoritmů s pomocí několika FPGA. Mezi tyto algoritmy patří zejména algoritmy pro zpracování obrazu a videa (např. komprese videa) a algoritmy z oblasti digitálního zpracování signálů (např. konvoluce, šifrování, aj.).

Deska hardwarového akcelérátoru bude integrovat řídicí CPU spolu s několika FPGA obvody propojených sběrnicí s vysokou datovou propustností, paměť RAM, rozhraní ethernetové, USB a HDMI a několik specifických periférií definovaných firmou MEGA a.s., která je rovněž zadavatelem tématu této práce. Mezi tyto periferie patří galvanicky oddělené měření síťového napětí a možnost připojení pro čidlo osvětlení, zvukové čidlo a kouřový detektor.

### 2.2 Dostupná řešení

Problematika hardwarových akcelérátorů je velmi specifická a je náročné na tuto oblast pohlížet z obecné roviny. Zejména proto, že hardwarová řešení se liší podle konkrétní aplikace a z důvodu dosažení co nejlepší účinnosti jsou tato řešení cílovým aplikacím přizpůsobena, respektive jsou navrhována se zacílením na konkrétní aplikační oblasti. Co víc, speciálně zaměřené hardwarové desky jsou poněkud nákladné.

Další komplikací jsou specifické požadavky firmy MEGA a.s. na jejich vývojovou platformu pro urychlování výpočtů. Protože ale hlavní úlohou výsledné vývojové platformy má být právě řešení výpočetně-náročných softwarových algoritmů, pro účely prozkoumání dostupných řešení bude zacíleno na tuto oblast a požadavky na ostatní specifické periferie budou zanedbány. Za těchto podmínek je možné prozkoumat některé z dostupných možností karet hardwarových akcelérátorů, popřípadě univerzálních vývojových karet s FPGA čipy.

### 2.2.1 Řešení firmy Xilinx

Ze řady akceleračních karet výrobce Xilinx nabízí dvě série. První z nich je označovaná jako Alveo, druhá série své specifické označení nemá.

Řada Alveo se specializuje zejména na akceleraci v datových centrech, a to v oblastech výpočtů ve finančnictví, strojovém učení, ve vyhledávání dat a jejich analýze. Všechny produkty z této řady se vyznačují jedním výkonným FPGA obvodem Zynq UltraScale+ (založeným na 16nm technologii), napojeným na sběrnici PCIe, a podpůrnými obvody [9].

Druhá, blíže nespécifikovaná, řada hardwarových akcelérátorů, jaké Xilinx nabízí, jsou specializované na vývoj systémů umělé inteligence (AI; Artificial Intelligence). Tato karta se vyznačuje taktéž jedním výkonným FPGA obvodem Versal ACAP (založeným na 7nm technologii), napojeným na sběrnici PCIe, a podpůrnými obvody [10].

Obě zmíněné řady jsou specifické svým zacílením a neposkytují dostatečnou vývojářskou flexibilitu, na jakou je cíleno zadáním této práce. Mimo to, na všech těchto kartách se nachází jeden výkonný FPGA obvod, a tak by nedokázaly vyhovět požadavku na vývojový systém s více FPGA. Posledním, ale neméně důležitým faktorem, je cena těchto karet, která se pohybuje v rozmezí 2700 USD až 7700 USD.

### 2.2.2 Řešení firmy BittWare

Firma BittWare, založena známější společností Molex, má v nabídce široké spektrum karet s FPGA obvody. Tyto karty mají společných několik věcí. Jednou z nich je například fakt, že jsou vždy založeny na nejmodernějším FPGA obvodu s vysokým výkonem. Mezi tyto FPGA spadají obvody jako Zynq UltraScale+, Kintex UltraScale+, Virtex UltraScale+ a Versal Premium ACAP. Dalším společným faktorem těchto karet je PCIe konektor jako hlavní datová sběrnice. Typicky pak tyto karty ještě obsahují QSFP konektory pro připojení optických datových kabelů.

Firma BittWare nabízí FPGA karty navržené na podobné architektuře jako výrobce Xilinx. Všechny tyto karty obsahují nejmodernější technologie zacílené na vysoký výkon v aplikacích, kde se předpokládá konektivita PCIe sběrnicí. Tyto karty obecně nabízejí vysokou datovou propustnost a rozsáhlý paměťový prostor, ale postrádají jakékoliv další periferie vydefinované v cílech této práce. Mimo to, žádná z karet nenabízí architekturu založenou na několika FPGA vzájemně propojených sběrnicí s vysokou datovou propustností. V důsledku právě uvedených důvodů firma BittWare nenabízí vhodné řešení pokrývající cíle práce [11].

### 2.2.3 Řešení firmy Digilent

Firma Digilent nabízí několik karet s obvody FPGA pohybující se na opačném spektru výkonnosti než nabídka předchozích dvou výrobců. Typy karet, které Digilent nabízí, se svou povahou řadí spíše k vývojovým kartám než k akceleračním.

Typicky jsou založeny na levnějším a méně výkonném FPGA obvodu v porovnání s předchozími výrobci. K těmto obvodům se řadí rodiny Spartan-7, Artix-7, Zynq-7000 a Kintex-7. Tyto vývojové desky poskytují poměrně široké spektrum periférií, jako jsou Ethernet, USB a HDMI rozhraní, A/D převodníky, I/O konektory, aj.

I přes to, že oproti předchozím výrobcům nabízí Digilent vývojové desky se zajímavými perifériemi, tyto vývojové desky taktéž nejsou vhodnou volbou vzhledem k cílům práce. Jejich hlavním nedostatkem zůstává implementace pouze jednoho FPGA obvodu, a tedy nedostačující množství prostředků pro účely hardwarové akcelerace [12].

## 2.3 Volba řešení cílů práce

Rešerše dostupných vývojových karet a hardwarových akceleratorů s FPGA obvody byla rozdělena podle nejznámějších a nejvýraznějších výrobců pohybujících se na námi známém trhu. U každého z výrobců a jejich produktových řad byly nastíněny vlastnosti jimi nabízených produktů. Následně bylo diskutováno, zdali by takové vývojové karty nebo hardwarové akcelerátory vyhověly zadáním cílů a závěry těchto úvah byly odůvodněny.

Výsledkem rešerše dostupných vývojových karet s více obvody FPGA za účelem urychlení výpočetně-náročných softwarových výpočtů je, že žádné z nalezených řešení na trhu není vyhovující. Jednotlivé nabízené možnosti nevyhověly buď z hlediska nedostatečného počtu kritických periférií, nedostačujícího výkonu, respektive počtu FPGA obvodů a nebo z cenového hlediska. Z tohoto důvodu se bude práce dále zabývat návrhem vlastní vývojové desky hardwarového akceleratoru s více FPGA.

V práci bude systém hardwarového akceleratoru navržen nejprve blokově. Na tomto koncepčním návrhu bude představena architektura desky hardwarového akceleratoru, budou představeny jednotlivé periferie, jejich funkcionalita a způsob implementace do výsledného systému. Následně bude představen návrh systému hardwarového akceleratoru s ohledem na dostupnost konkrétních elektronických komponent na trhu.

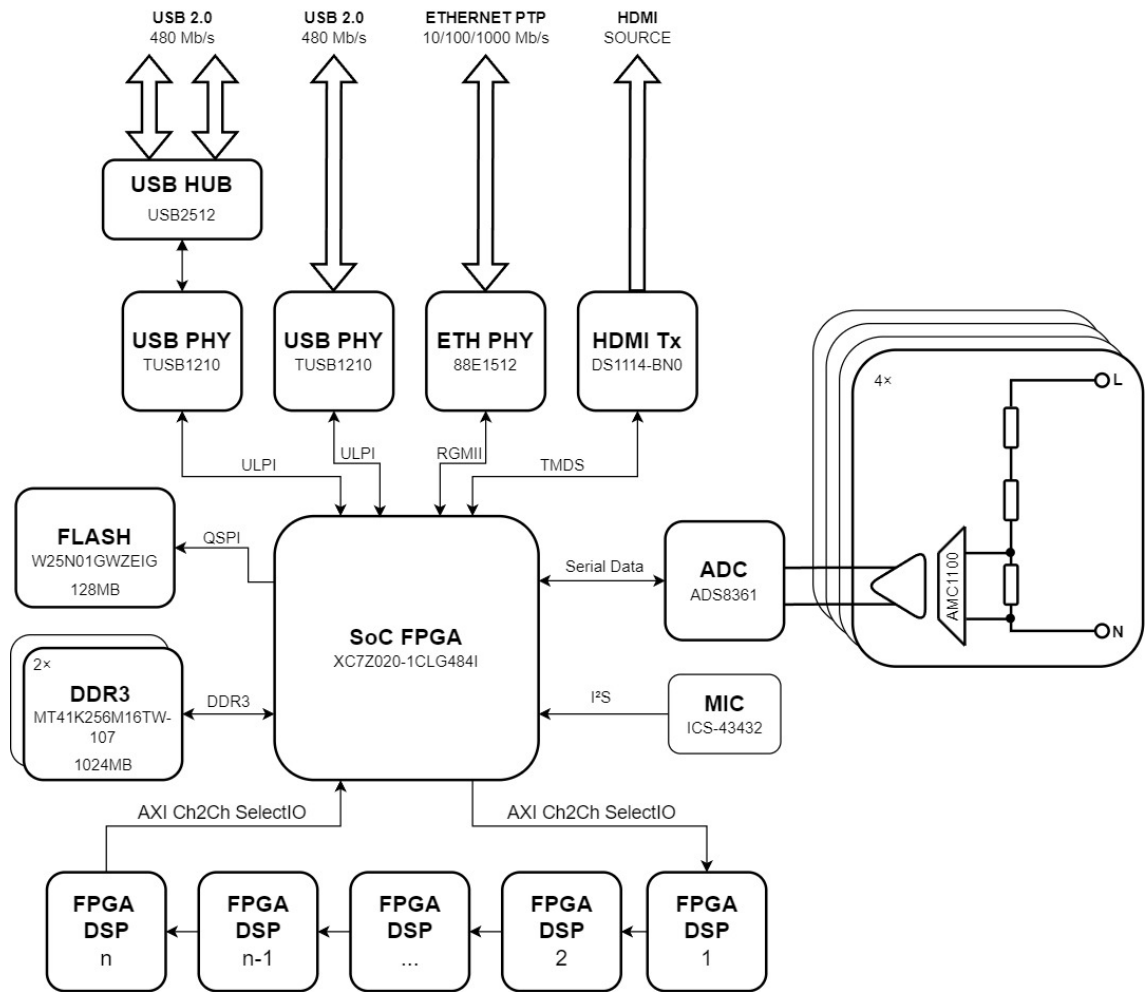
## 3 NÁVRH HARDWAROVÉHO AKCELERÁTORU S VÍCE FPGA

Tato kapitola představuje kompletní návrh desky hardwarového akcelérátoru s více FPGA. Nejprve se zaměřuje na koncepční návrh, na kterém vysvětluje architekturu navrhovaného zařízení, představuje jednotlivé periferie a jejich funkcionalitu, způsob datové komunikace mezi nimi a také odhaluje kritická místa designu. Následně je podrobně popsán návrh prototypu desky hardwarového akcelérátoru s více FPGA. Tato část kapitoly krok za krokem provádí čtenáře jednotlivými fázemi návrhu a předkládá veškeré potřebné výpočty a simulace pro verifikaci správnosti postupu.

### 3.1 Koncepční návrh

Na základě řešení provedené v kapitole 1 a vzhledem k diskutovaným vlastnostem jednotlivých obvodů vhodných pro použití v oblasti hardwarové akcelerace, byl zvolen koncept heterogenního systému s výpočetními komponenty CPU + FPGA. Hlavními důvody pro volbu FPGA obvodů byla zejména jejich flexibilita a možnost použití v širokém spektru aplikací, schopnost široce paralelního zpracování dat, a tak dosažení účinného urychlení softwarově náročných výpočtů a také předchozí zkušenosti s návrhem a implementací digitální logiky do FPGA obvodů ve firmě zadavatele práce, MEGA a.s. Tato kombinace navíc umožní snadné ovládání komunikačních rozhraní a jednotlivých periférií centrální procesorovou jednotkou a zároveň poskytne výpočetní výkon několika FPGA obvodů. Centrální procesorová jednotka by měla podporovat komunikační rozhraní typu ethernet, USB, UART, I<sup>2</sup>C apod., paměťová rozhraní typu RAM DDR3 a FLASH QSPI a také řídit tok dat do výpočetních FPGA. Na desce by také měly být integrovány periferie definované v kapitole Cíle práce 2.1, a to HDMI Tx rozhraní, galvanicky oddělené měření síťového napětí a možnost připojení pro čidlo osvětlení, zvukové čidlo a kouřový detektor pomocí standardních komunikačních protokolů typu I<sup>2</sup>C, SPI apod. Blokové schéma desky hardwarového akcelérátoru je zobrazeno na Obr. 3.1.

Jádrem představeného systému byl zvolen FPGA obvod *XC7Z020-2CLG484I* typu SoC. Jedná se o čip vyrobený 28 nm technologií integrující FPGA obvod z rodiny Artix-7 spolu s dvoujádrovým procesorem ARM Cortex-A9. Tento čip je rozdělený na dvě části, a to procesní systém (PS; Processing System) a programovatelnou logiku (PL; Programmable Logic). Procesní systém se dále dělí na aplikační procesorovou jednotku, paměťové rozhraní, vstupně-výstupní periferie a propojovací síť mezi procesním systémem a programovatelnou logikou. Více informací o architektuře uvedeného systému na čipu lze získat v technické referenční příručce od výrobce [13].



Obr. 3.1: Blokové schéma vývojové desky hardwarového akceleračního

Výčet dostupných prostředků čipu je uveden v tabulce 3.1.

Výpočetní FPGA obvody byly voleny od stejného výrobce ze stejné rodiny obvodů Artix-7. Konkrétně se jedná o obvod *XC7A100-2FGG484I*. Obvod byl volen s ohledem na dostupné prostředky, jako jsou DSP bloky, gigabitové přenosové linky (GTP Transceivers), ale také s ohledem na počet logických buněk a počet LUT, jimiž daný FPGA obvod disponuje. Dalším důležitým faktorem při výběru vhodného FPGA obvodu byla aktuální ekonomicko-logistická situace, tedy dostupnost FPGA obvodů a jejich cena. Výběr probíhal na základě tabulky, jež shromažďovala aktuální informace k veškerým FPGA obvodům výrobce Xilinx, které jsou zahrnuty ve výrobních sériích 6 a 7. U každého z těchto obvodů byli uvedeni různí distributoři, jejich skladová zásoba a také cena. Oba tyto údaje, jak skladové množství, tak cena, se v průběhu dnů až týdnů dynamicky měnily. Výběr výsledných FPGA obvodů byl proto také kompromisem mezi požadovanými vlastnostmi čipu a jeho stabilitou v portfoliu vytipovaných distributorů. Výčet dostupných prostředků tohoto čipu je

rovněž uveden v tabulce 3.1.

Tab. 3.1: Přehled základních prostředků zvolených FPGA obvodů [14] [15]

FPGA	Logické buňky	CLB		DSP bloky	GTP linky	BRAM bloky		I/O piny	Cena [USD]
		Řezy	LUT			36 kb	Max [Mb]		
XC7A100T	101 440	15 850	63 400	240	4	135	4,8	285	48,0
XC7Z020	85 000	13 300	53 200	220	-	140	4,9	328	30,5

### 3.1.1 Komunikace mezi řídicím a výpočetními FPGA

Hlavní úlohou hardwarového akcelérátoru je urychlit výpočetní aplikace zkrácením doby jejich výpočtu. Právě z tohoto důvodu je kritické, aby komunikační rozhraní byla navržena s ohledem na vysokou datovou propustnost. V opačném případě by se mohlo stát, že zpoždění vzniklé na komunikačním rozhraní nedostatečně efektivním přenosem dat, by zcela vymazalo dobu ušetřenou efektivnějším výpočtem algoritmu.

Vysoká datová propustnost je prvním kritériem při volbě komunikačního rozhraní. Druhým kritériem je jeho škálovatelnost a schopnost použití pro připojení libovolného počtu výpočetních FPGA.

Tyto kritéria, spolu s volbou nízko-nákladových FPGA obvodů, znatelně omezují možnosti při výběru komunikačních rozhraní mezi řídicím a výpočetními FPGA obvody.

S ohledem na výše uvedené limitace volby komunikačního rozhraní je výhodné využít dostupného řešení od výrobce Xilinx. Ten návrhem IP (Intellectual Properties) bloků a integrací do návrhového prostředí Vivado Designe Suite poskytuje podporu návrhářům využívajících jejich FPGA obvody. Konkrétně se jedná o IP blok nazvaný AXI Chip2Chip [16]. Je to adaptabilní blok založený na standardu AXI-4 [17] poskytující dvoubodové (angl. Point-to-Point) komunikační rozhraní mezi dvěma čipy na DPS (Desce Plošných Spojů). Nabízí možnost implementace hned několika druhů fyzických vrstev (angl. PHY; Physical Layer) tohoto rozhraní, z nichž dvě je možné implementovat na zvolená FPGA, a to:

- LogiCORE IP SelectIO [18].
- LogiCORE IP Aurora 8B/10B [19].

Tyto fyzické vrstvy se liší zejména v maximální dosažitelné datové propustnosti, typu vstupně-výstupních pinů, pomocí kterých je daná fyzická vrstva tohoto protokolu implementována a v počtu obsazení vstupně-výstupních pinů FPGA obvodů.

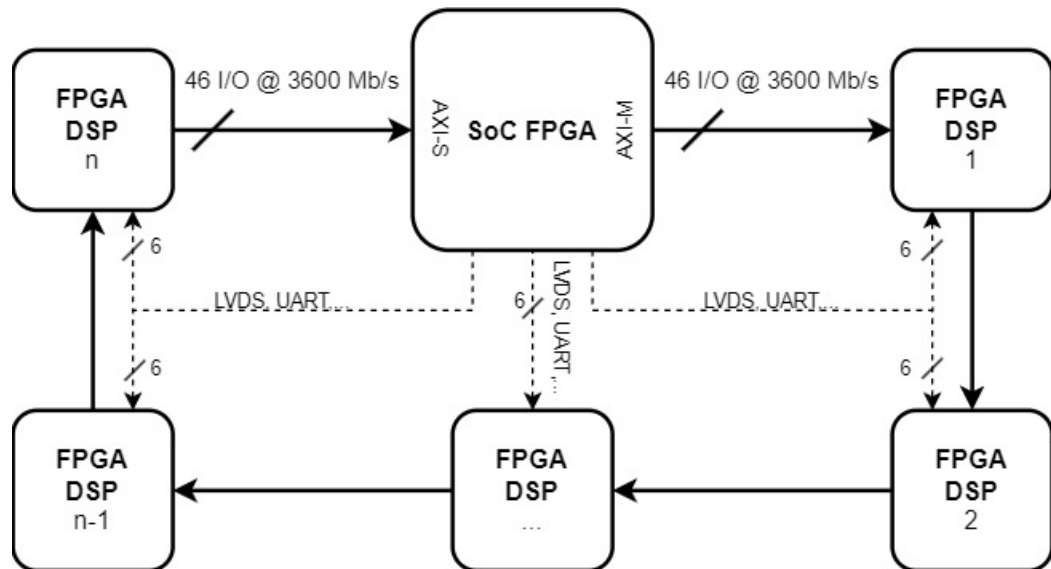
Výhodou fyzické vrstvy SelectIO je možnost implementace AXI Chip2Chip IP jádra i do obvodů, které neobsahují vysokorychlostní transceivery (GTP linky).

Tato fyzická vrstva je tedy implementována použitím běžných I/O pinů a navíc se jedná o poloduplexní komunikaci. Z toho plynoucí nevýhodou je velká spotřeba vstupně-výstupních pinů. Výsledná datová propustnost je potom přímo úměrně závislá na počtu obsazených I/O pinů. Vzhledem k tomu, že zvolený SoC FPGA obvod nedisponuje vysokorychlostními transceivery, je toto jediný způsob implementace AXI Chip2Chip IP jádra. Pro implementaci na DPS byla zvolena konfigurace s využitím 46 I/O pinů a předpokládanou datovou propustností až 3600 Mb/s.

Fyzická vrstva Aurora 8B/10B je implementována pomocí vysokorychlostních transceiverů. Tato fyzická vrstva poskytuje plně duplexní komunikaci, což spolu s využitím GTP linek umožní ušetřit značné množství využitých I/O pinů. Vzhledem k tomu, že výpočetní FPGA obvody disponují 4 GTP linkami, je výhodné pro komunikaci mezi nimi využít právě této fyzické vrstvy, a tak značně zjednodušit návrh desky plošných spojů.

Mimo hlavní komunikační kanál implementovaný pomocí právě popsaného IP jádra, se mezi FPGA obvody nachází i vedlejší komunikační kanál. Do vyvedených linek mezi FPGA obvody je možné implementovat standardní komunikační protokoly, jako je například UART, SPI apod.

S ohledem na kritéria vyplývající z výše uvedených faktů, tedy velká spotřeba vstupně-výstupních pinů pro poloduplexní komunikaci a existence GTP linek ve výpočetních FPGA, bylo zvoleno zapojení řídicího a výpočetních FPGA do kruhové topologie (viz Obr. 3.2). Tento způsob zapojení také navíc umožňuje připojení libovolného počtu výpočetních FPGA.



Obr. 3.2: Znázornění komunikační topologie mezi řídicím a výpočetními FPGA

### 3.1.2 Periferie a jejich funkcionalita

Vývojová deska hardwarového akcelérátoru nabízí několik periférií. Tyto periferie je možné pomyslně strukturovat do tří podskupin: paměťové, komunikační a podpůrné periferie.

Do první podskupiny, paměťové periferie, spadá kombinace volatilních a non-volatilních pamětí. Volatilní paměťový prostor na DPS se skládá ze dvou modulů RAM typu DDR3 poskytující úložiště o celkové kapacitě 1 GB. Non-volatilní paměťový prostor je tvořen sériovou NAND FLASH pamětí o velikosti 128 MB. Kombinace obou typů pamětí byla volena záměrně tak, aby na desce byla dostatečně velká operační paměť a zároveň paměť sloužící pro trvalé uchování informací, jako jsou například konfigurační soubory apod.

Do druhé podskupiny, komunikační periferie, spadá kombinace USB rozhraní a ethernetového rozhraní. Na DPS se nachází tři USB porty implementované pomocí dvou čipů realizujících fyzickou vrstvu USB protokolu a jednoho USB hubu. USB port číslo 1 je navržen v režimu OTG (On The Go), což znamená, že může fungovat v režimu jak „zařízení“ (angl. Device) tak „hostitel“ (angl. Host). Zbylé dva USB porty jsou implementovány pomocí společné fyzické vrstvy a hubu, který rozšiřuje počet USB portů na DPS při zachování maximální přenosové rychlosti. Tato přenosová rychlost je limitována schopnostmi řídicího FPGA obvodu, a to na vysokorychlostní třídě s podporou přenosu dat až 480 Mb/s. Ethernetové rozhraní je rovněž implementováno pomocí externí fyzické vrstvy a nabízí volitelnou rychlost datového přenosu, a to v rozsahu 10/100/1000 Mb/s. Tato fyzická vrstva byla kromě maximální přenosové rychlosti volena také s ohledem na podporu standardu PTP (Precision Time Protocol), což byl jeden z požadavků zadavatele této práce.

Do poslední podskupiny, podpůrných periférií, spadají veškeré ostatní periferie implementované na DPS, které nemají přímý vliv na funkčnost urychlování softwarově náročných výpočtů. Pro vysílání audiovizuálních dat se na DPS nachází HDMI port využívající obvyklý signalizační standard TMDS (Transition-Minimized Differential Signaling). Pomocí jednoduchého pasivního převodníku je možné tento HDMI výstup využít k řízení i obrazovek s DVI konektorem, který využívá stejného signalizačního standardu. Dále DPS implementuje konektory pro připojení externích zařízení ke vstupně-výstupním pinům řídicího FPGA obvodu pomocí komunikačních rozhraní, které jsou běžně využívány ve vestavěných systémech, například I<sup>2</sup>C, I<sup>2</sup>S a nebo SPI. Dále se na DPS nachází mikrofón. Poslední periférií je obvod pro galvanicky oddělené měření síťového napětí. Střídavé napětí je sníženo odporovým děličem tak, aby byl splněn maximální vstupní napěťový rozsah plně diferenciálního izolačního zesilovače *AMC1100*. Tento zesilovač, s pevným ziskem 8, spolu s podpůrnými komponentami upravuje signál pro A/D převodník *ADS8361*. Jedná se o 16-bitový, 4 kanálový A/D

převodník se vzorkovacím kmitočtem 500 vzorků za vteřinu. Výstupem tohoto A/D převodníku je datová sériová linka napojená na programovatelnou logiku řídicího FPGA obvodu.

## 3.2 Návrh prototypu

Tato podkapitola představuje podrobný popis návrhu prototypu vývojové desky hardwarového akcelérátoru s více FPGA obvody. Předkládá nejprve návrh napájecích zdrojů, jež se skládá z několika snižujících DC/DC měničů a uvádí veškeré potřebné výpočty. Poté předkládá návrh vysokorychlostních rozhraní, které jsou implementovány v návrhu a vysvětluje jejich volbu a funkcionalitu. Obě tyto sekce jsou doplněny o návrh DPS a o principy, kterým návrh měničů a vysokorychlostních signálů podléhá. Na závěr je představena samotná DPS navrženého hardwarového akcelérátoru.

### 3.2.1 Návrh napájecích zdrojů

Požadavky na návrh napájecích zdrojů jsou determinovány charakterem navrhované vývojové desky a komponentami, s nimiž návrh počítá.

Jak již bylo naznačeno v podkapitole věnované FPGA obvodům 1.3, jedná se o poměrně komplexní integrované obvody, jejichž struktura se skládá z několika dílčích bloků. Každý z těchto bloků pro správnou funkčnost typicky vyžaduje své specifické napájecí napětí. A to specifické vzhledem k velikosti napájecího napětí, dodávaného výkonu, dynamické odezvy, jeho zvlnění a podobně. Dalším požadavkem kladeným na napájecí napětí ze strany FPGA obvodů, je definovaná sekvence náběhu jednotlivých napájecích větví. Na toto kritérium je kladen důraz zejména z důvodu minimalizování proudových špiček během náběhu jednotlivých napájecích větví, ale také z důvodu elektrické ochrany jednotlivých čipů. V případě nedodržení této napěťové sekvence by mohlo dojít k selhání napájecích zdrojů, které by nemusely být schopné dodat nadměrný špičkový výkon, nebo k elektrickému průrazu na čipu FPGA obvodu nežádoucím rozdílem napětí na vnitřní komponentě čipu, který by vyplynul právě z nedodržení sekvence napájecích napětí. Nicméně FPGA obvody nejsou jediné komponenty na vývojové desce, které specifikují konkrétní napájecí větve. Mezi další takové komponenty patří například RAM paměti, které definují další úroveň napájecího napětí, nebo různé analogové periferie (mikrofon, AD převodník, ethernetové PHY), které sice využívají již definované napájecí větve, ale přidávají požadavek na minimalizaci zvlnění a šumu daného napájecího napětí.

Mimo samotných komponent, vyplývají další zpřísňující požadavky na návrh napájecích zdrojů ze zamýšlené aplikace výsledné vývojové desky. Tato aplikace je

mířena na vysokorychlostní zpracování dat, provádění velkého počtu výpočetních operací v krátké době a následně také přenosu těchto dat. Vysoké pracovní kmitočty jak pro zpracování dat, tak pro jejich přenos, vyžadují dostatečný příkon, dobrou dynamickou odezvu, tedy schopnost napájecího zdroje reagovat na rychlou změnu velikosti odebíraného výkonu a některé komunikační rozhraní také vyžadují určitou míru eliminace šumové složky.

Sumarizace jednotlivých napájecích větví a jejich výkonů, určených empiricky na základě volby jednotlivých komponent, je uvedena v tabulce 3.2.

Tab. 3.2: Sumarizace jednotlivých napěťových větví

Komponenty na DPS	Počet	Napěťové větve							
		12 V	5 V	3,3 V	1,8 V	1,35 V	1 V	0,675 V	
SoC FPGA XC7Z020	1	-	-	2 A	3,5 A	1 A	4 A	-	
Výpočetní FPGA XC7A100T	3	-	-	-	2 A	-	12 A	-	
RAM DDR3L	2	-	-	-	-	1,5 A	-	1 A	
NAND FLASH	1	-	-	-	0,1 A	-	-	-	
Ethernetové PHY	1	-	-	-	0,1 A	-	0,1 A	-	
HDMI	1	-	0,2 A	-	-	-	-	-	
USB PHY	2	-	-	0,1 A	0,1 A	-	-	-	
USB HUB	1	-	-	0,2 A	-	-	-	-	
LVM DPS	1	0,5 A	-	-	-	-	-	-	
Ostatní periferie	x	-	-	0,5 A	-	-	-	-	
<b>Odhadovaný výkon</b>		<b>56,75 W</b>	<b>7,2 W</b>	<b>1,2 W</b>	<b>11,5 W</b>	<b>12,6 W</b>	<b>4,1 W</b>	<b>19,3 W</b>	<b>0,85 W</b>

Výkony jednotlivých napěťových větví byly určeny jako součet příspěvků komponent podílejících se na odběru výkonu v dané větvi a následně navýšeny o 20%, z důvodu bezpečné rezervy. Součet očekávaných maximálních výkonových odběrů jednotlivých větví s rezervou je roven 56,75 W. Vstupní napájecí konektor byl volen ze skupiny barelových o rozměrech 5,5/2,5 mm, jehož maximální výkon je dimenzován na 120 W, a to v rozložení 24V @ 5A. Pro účely napájení navrhované vývojové desky je stanoven maximální příkon na 60 W, a to v rozložení 12V @ 5A.

Realizace jednotlivých napěťových větví je na DPS řešena pomocí několika DC/DC spínaných měničů a lineárních regulátorů s nízkým úbytkem napětí (LDO; Low-Dropout Regulator). Tyto měniče transformují vstupní napájecí napětí o velikosti 12 V na požadované výstupní napětí, popřípadě využívají již sníženého napětí jiným měničem, za účelem dosažení vyšší účinnosti. Následující sekce popisují postup návrhu a uvádějí veškeré potřebné výpočty ke zvoleným měničům.

## Hlavní měnič - ADP5054

Tento čip integruje čtyři vysoce výkonné snižující DC/DC měniče v jednom pouzdře. Kromě malé plochy obsazené na DPS nabízí několik dalších výhod, mezi než patří například nastavitelné omezení výstupního proudu na 2 A, 4 A nebo 6 A, nastavitelná spínací frekvence měniče v rozsahu 250 kHz až 2 MHz a několik druhů ochran (podpěťová, nadproudová a teplotní) [20].

Před návrhem komponent doplňujících zapojení tohoto čipu byly zvoleny následující parametry:

- Kanál 1: 3,3V @ 4A
- Kanál 2: 1,8V @ 6A
- Kanál 3: 1,2V @ 2A
- Kanál 4: 1,0V @ 2A
- Spínací frekvence  $f_{SW} = 600$  kHz

Spínací frekvence pro všechny čtyři integrované měniče je společná a její hodnota se nastavuje pomocí externího rezistoru  $R_{RT}$ . Jeho hodnotu je možné zjistit následovně:

$$R_{RT}[\text{k}\Omega] = \left[ \frac{14822}{f_{SW}[\text{kHz}]} \right]^{1,081} \quad (3.1)$$

$$R_{RT} = \left[ \frac{14822}{600} \right]^{1,081}$$

$$R_{RT} = 32,03 \text{ k}\Omega$$

V návrhu byla následně použita nejbližší možná vyráběná hodnota, tedy  $R_{RT} = 31,6 \text{ k}\Omega$ .

V dalším kroku je potřeba navrhnout odporové děliče do zpětné vazby měniče pro regulaci požadovaného výstupního napětí. Jedna část děliče, v tomto případě  $R_{TOP}$ , je zvolena, druhá následně dopočítána podle uvedené rovnice 3.2.

$$R_{BOT} = R_{TOP} * \left[ \frac{U_{REF}}{U_{OUT} - U_{REF}} \right] \quad (3.2)$$

$$R_{BOT} = 75 * 10^3 * \left[ \frac{0,8}{3,3 - 0,8} \right]$$

$$R_{BOT} = 24 \text{ k}\Omega$$

Právě uvedená rovnice uvádí příklad výpočtu pro kanál č. 1, kde  $U_{OUT}$  je výstupní napětí daného kanálu měniče,  $U_{REF}$  je referenční napětí zpětnovazebního pinu (pro

kanály 1 a 2 je  $U_{REF} = 0,8$  V, pro kanály 3 a 4 je  $U_{REF} = 0,5$  V), a rezistory odporového děliče  $R_{TOP}$  a  $R_{BOT}$ . Indexy odporů značí, zda jsou v děliči připojeny k výstupnímu potenciálu měniče, nebo k zemnímu potenciálu.

Po nastavení spínací frekvence měniče a výstupních napětí je možné vypočítat hodnotu výstupního induktoru pro každý kanál. Tato hodnota je dána spínací frekvencí, vstupním a výstupním napětím a impulzním proudem procházejícím cívkou. Volba menší hodnoty induktoru je výhodná s ohledem na rychlou tranzientní odezvu, ale nevýhodná co se týče účinnosti, kvůli většímu pulznímu proudu. Volba větší hodnoty induktoru nabízí přesně opačné výhody a nevýhody. Z toho důvodu je volba vhodné cívky dána jako kompromis mezi rychlou tranzientní odezvou a účinností. Vztah pro výpočet je následující:

$$L = \frac{(U_{IN} - U_{OUT}) * D}{\Delta I_L * f_{SW}} \quad (3.3)$$

$$L = \frac{(12 - 3,3) * \frac{3,3}{12}}{(0,3 * 4) * 600 * 10^3}$$

$$L = 3,3 \mu\text{H}$$

Kde  $D$  značí poměr mezi výstupním napětím ku vstupnímu napětí, tedy střídou (angl. Duty Cycle), a  $\Delta I_L$  značí pulzní proud protékající cívkou, jehož hodnota se typicky nastavuje v rozmezí 30% - 40% z maximálního výstupního proudu. Z již známých údajů můžeme pomocí rovnic 3.4 a 3.5 určit další parametry důležité pro výběr vhodného výstupního induktoru, a to maximální ( $I_{PEAK}$ ) a efektivní ( $I_{RMS}$ ) hodnotu proudu.

$$I_{PEAK} = I_{OUT} + \frac{\Delta I_L}{2} \quad (3.4)$$

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}} \quad (3.5)$$

Pro vypočtený induktor o velikosti  $3,3 \mu\text{H}$  a pulzním proudem  $\Delta I_L = 1,2$  A je hodnota špičkového proudu  $I_{PEAK} = 4,6$  A a efektivní hodnota proudu  $I_{RMS} = 4,01$  A. S ohledem na uvedené výsledky byl zvolen induktor od výrobce Coilcraft s označením *XAL4030-332* se stejnosměrným odporem (DCR; DC Resistance)  $26$  m $\Omega$ , jehož hodnoty saturačního i efektivního proudu poskytují funkční rezervu nad vypočtenými hodnotami větší než 20%.

Dalším důležitým výstupním prvkem snižujícího měniče je kondenzátor, jež zajišťuje stabilitu výstupního napětí. Této stability dosahuje ve třech rovinách, a to minimalizací zvlnění napětí a minimalizací napětového překmitu a podkmitu. K napětovým překmitům, respektive podkmitům, na výstupním napětí měniče dochází zejména v případě skokové změny zátěže. Při náhlém zvýšení odběru proudu do zátěže, je tento proud dodáván z výstupních kondenzátorů do té doby, než regulační smyčka zareaguje a dojde k navýšení proudu induktorem. Během této krátké doby dochází k podkmitu výstupního napětí. Naopak při náhlém snížení odběru proudu do zátěže je úlohou výstupních kondenzátorů uchovat přebytek energie dodávaný induktorem do doby, než opět zareaguje regulační smyčka. Během tohoto stavu dochází k překmitu výstupního napětí. Mezní stavy těchto jevů, spolu s maximální úrovní zvlnění výstupního napětí, jsou typicky determinovány zátěží, a jejími elektrickými charakteristikami, a je nutné je uvažovat při návrhu výstupního kondenzátoru. Výpočet je dán následujícími vztahy:

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 * f_{SW} * \Delta U_{OUT\_RIPPLE}} \quad (3.6)$$

$$R_{ESR} = \frac{\Delta U_{OUT\_RIPPLE}}{\Delta I_L} \quad (3.7)$$

$$C_{OUT\_UV} = \frac{K_{UV} * \Delta I_{STEP}^2 * L}{2 * (U_{IN} - U_{OUT}) * \Delta U_{OUT\_UV}} \quad (3.8)$$

$$C_{OUT\_OV} = \frac{K_{OV} * \Delta I_{STEP}^2 * L}{(U_{OUT} + \Delta U_{OUT\_OV})^2 - U_{OUT}^2} \quad (3.9)$$

Kde  $\Delta U_{OUT\_RIPPLE}$  značí maximální zvlnění výstupního napětí,  $K_{UV}$  a  $K_{OV}$  jsou parametry, typicky rovné 2,  $\Delta I_{STEP}$  značí maximální skokovou změnu odběru proudu a  $\Delta U_{OUT\_UV}$  spolu s  $\Delta U_{OUT\_OV}$  značí maximální dovolený podkmit, respektive překmit výstupního napětí. Pro případ prvního kanálu měniče bylo staveno dovolené zvlnění 2 mV a napětový podkmit, respektive překmit, na 5% z výstupního napětí, tedy 0,165 V. Maximální možná skoková změna proudu byla stanovena na 75% z maximálního výstupního proudu, tedy na 3 A. Z uvedených vztahů 3.6, 3.8 a 3.9 byla vybrána nejvyšší výsledná hodnota, která udává minimální nutnou výstupní kapacitu na splnění zadaných parametrů, tedy zvlnění a napětového překmitu a podkmitu. Vzhledem k tomu, že v tomto konkrétním případě byla minimální hodnota výstupní kapacity definována požadavkem na zvlnění výstupního napětí, bylo potřeba vzít do úvahy také omezení pro ekvivalentní sériový odpor výstupního kondenzátoru. To je možné určit z rovnice 3.7. Vypočítané parametry, jež výstupní kondenzátor

musí splňovat, jsou rovny  $C_{OUT\_RIPPLE} = 125 \mu\text{F}$  s  $R_{ESR} = 1,7 \text{ m}\Omega$ . S ohledem na uvedené výsledky byla zvolena kombinace výstupních kondenzátorů  $3 \times 47 \mu\text{F}$  s  $R_{ESR} = 2,5 \text{ m}\Omega$  od výrobce Murata s označením například *GRM219R60J476ME44D*. Paralelní zapojení tří kondenzátorů se projeví ve změně ekvivalentního sériového odporu, který bude menší než  $1 \text{ m}\Omega$ .

Na závěr je potřeba navrhnout kompenzační síť, která zajišťuje lepší tranzientní odezvu na skokové změny v zátěži a stabilitu výkonu. Tato kompenzační síť se skládá z RC pasivních komponent, které kompenzují póly a nuly přenosové funkce. Výpočet hodnot komponent pro aplikace s keramickými výstupními kondenzátory je dán následujícími vztahy:

$$R_C = \frac{2 * \pi * U_{OUT} * C_{OUT} * f_C}{0,8[\text{V}] * g_m * A_{VI}} \quad (3.10)$$

$$C_C = \frac{(R + R_{ESR}) * C_{OUT}}{R_C} \quad (3.11)$$

Kde  $f_C$  je křížová frekvence, typicky udávaná v rozmezí  $\frac{1}{12}$  až  $\frac{1}{6}$  spínací frekvence  $f_{SW}$ ,  $g_m$  značí transkonduktanci chybového zesilovače ( $g_m = 465 \mu\text{S}$ ),  $A_{VI}$  je parametr daný výrobcem (pro kanál 1 a 2 je roven  $20 \text{ A/V}$ , pro kanály 3 a 4 je roven  $6,66 \text{ A/V}$ ) a  $R$  je rezistivita zátěže. Zde je uveden příklad výpočtu prvků kompenzační sítě pro kanál č. 1 dosazením do vztahů 3.10 a 3.11:

$$R_C = \frac{2 * \pi * 3,3 * 3 * 32 * 10^{-6} * 60 * 10^3}{0,8 * 465 * 10^{-6} * 20} \rightarrow R_C = 16 \text{ k}\Omega$$

$$C_C = \frac{(0,825 + 0,001) * 3 * 32 * 10^{-6}}{16 * 10^3} \rightarrow C_C = 4,7 \text{ nF}$$

Křížová frekvence byla zvolena jako jedna desetina ze spínací frekvence. Při výpočtu je také potřeba brát v úvahu napěťovou závislost keramických kondenzátorů. Dle dat poskytovaných výrobcem Murata se kondenzátor s kapacitou  $47 \mu\text{F}$  a nominální napěťovou hodnotou  $16 \text{ V}$ , jenž je připojený na  $3,3 \text{ V}$ , projeví sníženou kapacitou na  $32 \mu\text{F}$ .

Kompletní zapojení DC/DC měniče *ADP5054* spolu s hodnotami veškerých komponent je uvedeno v přílohách práce.

## Měnič pro jádra FPGA obvodů - ADP1853

Jedná se o vysoce výkonný DC/DC měnič se schopností dodávat více než 25 A do zátěže. Díky přesné metodě snímání výstupního proudu pomocí detekce napětového úbytku na spínacím tranzistoru poskytuje rychlou odezvu na skokovou změnu a je vhodný pro použití v kombinaci s digitální zátěží [21].

Před návrhem komponent doplňujících zapojení tohoto čipu byly zvoleny následující parametry:

- Výstupní napětí 1,0V @ 25A
- Spínací frekvence  $f_{SW} = 600$  kHz

Spínací frekvence tohoto měniče je nastavována externím rezistorem mezi pinem  $FREQ$  a zemním potenciálem. Nicméně měnič má také předprogramovanou hodnotu spínací frekvence 600 kHz při spojení pinu  $FREQ$  spolu s pinem  $VCCO$ . Toho je výhodné využít, neboť bude ušetřen počet externích komponent a zároveň dosáhneme stejné spínací frekvence jako u předchozího měniče. Návrhem měničů na stejné spínací frekvenci dojde ke zmenšení míry rušení způsobeného spínáním a jeho omezení na užší frekvenční pásmo.

V dalším kroku je potřeba navrhnout odporové děliče do zpětné vazby měniče pro regulaci požadovaného výstupního napětí. Jedna část děliče, v tomto případě  $R_{BOT}$ , je zvolena, druhá následně dopočítána podle uvedené rovnice 3.12.

$$R_{TOP} = R_{BOT} * \left( \frac{U_{OUT} - U_{REF}}{U_{REF}} \right) \quad (3.12)$$

$$R_{TOP} = 12 * 10^3 * \left( \frac{1 - 0,6}{0,6} \right)$$

$$R_{TOP} = 8 \text{ k}\Omega$$

Kde  $U_{REF}$  je referenční napětí zpětnovazebního pinu měniče.  $R_{BOT}$  byl zvolen 12 k $\Omega$  a následně  $R_{TOP}$  dopočítán. Indexy rezistorů značí, zda jsou v děliči připojeny k výstupnímu potenciálu měniče, nebo k zemnímu potenciálu.

Po nastavení spínací frekvence měniče a výstupního napětí je možné vypočítat hodnotu výstupního induktoru. Tato hodnota je dána spínací frekvencí měniče, vstupním a výstupním napětím a impulzním proudem procházejícím cívkou. Vztah pro výpočet je shodný se vztahem uvedeným u návrh měniče *ADP5054*, rovnice 3.3.

Volbou pulzního proudu cívkou jako 20% z maximálního výstupního proudu a dosazením již známých hodnot do této rovnice, byla zjištěna hodnota výstupního

induktoru  $L = 300 \text{ nH}$ . Následně dle vztahů 3.4 a 3.5 byly zjištěny proudové limity, na které musí být daná cívka dimenzována. Tedy  $I_{PEAK} = 27,5 \text{ A}$  a  $I_{RMS} = 25,04 \text{ A}$ . S ohledem na uvedené výsledky a návrhářskou rezervu alespoň 20%, byl zvolen induktor od výrobce Coilcraft s označením *XAL7070-301* se stejnosměrným odporem  $1,1 \text{ m}\Omega$ .

Dalším důležitým výstupním prvkem je kondenzátor. Jeho role ve fungování snižujícího měniče a faktory, které ovlivňuje, byly hlouběji diskutovány v předchozí sekci při návrhu hlavního měniče *ADP5054*. Stejně tak i v tomto případě je potřebné před návrhem výstupní kapacity provést několik výpočtů. První uvedený výpočet (3.13) cílí na dosažení požadovaného zvlnění výstupního napětí, druhý uvedený výpočet (3.14) cílí na dosažení požadavků na překmit, respektive podkmit výstupního napětí při skokové změně zátěže.

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 * f_{SW} * \Delta U_{OUT\_RIPPLE}} \quad (3.13)$$

$$C_{OUT\_UV\_OV} = \frac{\Delta I_{STEP}^2 * L}{(U_{OUT} + \Delta U_{UV\_OV})^2 - U_{OUT}^2} \quad (3.14)$$

Kde  $\Delta U_{OUT\_RIPPLE}$  značí maximální zvlnění výstupního napětí,  $\Delta I_{STEP}$  značí maximální skokovou změnu odběru proudu a  $\Delta U_{UV\_OV}$  značí maximální dovolený překmit výstupního napětí. Dovolené zvlnění výstupního napětí bylo zvoleno v tomto případě zvoleno na  $10 \text{ mV}$ , neboť se jedná o napájení jader FPGA obvodů, které nevyžadují nižší úroveň zvlnění. Napěťový překmit byl zvolen 5% z výstupního napětí  $1 \text{ V}$  a maximální očekávaná skoková změna v odběru proudu byla odhadnuta na 50% z maximálního výstupního proudu  $25 \text{ A}$ . Dle očekávání se ukázalo, že překmit výstupního napětí při návrhu tohoto měniče bude kritičtější parametr oproti zvlnění výstupního napětí. Minimální výstupní kapacita pro potlačení nadměrných překmitů dle vztahu 3.14 musí být alespoň  $457 \mu\text{F}$ . Po zohlednění bezpečné rezervy alespoň 20% a napěťové závislosti hodnoty kapacity keramických kondenzátorů, byla zvolena konfigurace výstupních kondenzátorů jako  $2 \times 220 \mu\text{F} + 2 \times 100 \mu\text{F}$ , o celkové kapacitě  $640 \mu\text{F}$ . Paralelní kombinace více kondenzátorů umožňuje volit kondenzátory v menších pouzdrech, a tak limitovat parazitní vlastnosti, a také zabezpečuje nízkou hodnotu  $R_{ESR}$ .

Tento měnič neintegruje spínací tranzistory přímo na čipu, ale vyžaduje doplnění o externí NMOS (N-tyt Metal-Oxide-Semiconductor) tranzistory. A to dva, jeden připojený mezi napájecí napětí a výstupní induktor (angl. high-side) a druhý připojený mezi výstupní induktor a zemní potenciál (angl. low-side). Volba těchto tranzistorů

přímo ovlivňuje výkon měniče. Tranzistory s nízkou rezistivitou v sepnutém stavu  $R_{DSON}$  snižují tepelné ztráty a nízká hodnota náboje hradla tranzistoru snižuje přenosové ztráty. Typicky čím nižší je rezistivita tranzistoru v sepnutém stavu, tím vyšší je náboj hradla tranzistoru a naopak. Tyto tranzistory byly zvoleny empiricky a na základě doporučení výrobce měniče *ADP1853*. Tranzistor zapojen na napájecí napětí byl zvolen od výrobce Infineon s označením *BSC052N03LS*. Tranzistor zapojen na zemní potenciál byl zvolen od výrobce Vishay s označením *SIR404DP*. Následně byl proveden výpočet výkonových ztrát na těchto tranzistorech a ověření, zda jsou svými parametry vhodné pro tuto aplikaci.

Celkové výkonové ztráty „high-side“ tranzistoru jsou dány součtem ztrát vedením a přenosovými ztrátami. Nejprve bude proveden výpočet ztrát vedením dle následujícího vztahu:

$$P_C = I_{LOAD(RMS)}^2 * R_{DSON} \quad (3.15)$$

$$P_C = 25,04^2 * 4,3 * 10^{-3}$$

$$P_C = 2,69 \text{ W}$$

Přenosové ztráty „high-side“ tranzistoru je možné přibližně určit následujícím vztahem:

$$P_T \approx \frac{U_{IN} * I_{LOAD} * (t_R + t_F) * f_{SW}}{2} \quad (3.16)$$

$$t_R \approx \frac{Q_{SW}}{I_{DRIVER\_RISE}} \quad (3.17)$$

$$t_F \approx \frac{Q_{SW}}{I_{DRIVER\_FALL}} \quad (3.18)$$

Kde  $I_{LOAD}$  je maximální výstupní proud,  $t_R$  je doba trvání nástupné hrany během nabíjení tranzistoru a  $t_F$  je doba trvání sestupné hrany během vybíjení tranzistoru. Tyto doby mohou být odhadnuty jako podíl náboje hradla tranzistoru během spínání ( $Q_{SW}$ ) ku výstupnímu proudu budičů hradel tranzistorů ( $I_{DRIVER\_RISE}$  a  $I_{DRIVER\_FALL}$ ) integrovaných na čip měniče *ADP1853*. Výstupní proudy budičů hradel tranzistorů závisí od konkrétního externího tranzistoru a mohou být odhadnuty pomocí těchto vztahů:

$$I_{DRIVER\_RISE} \approx \frac{V_{DD} - V_{SP}}{R_{ON\_SOURCE} + R_{GATE}} \quad (3.19)$$

$$I_{DRIVER\_FALL} \approx \frac{V_{SP}}{R_{ON\_SINK} + R_{GATE}} \quad (3.20)$$

Kde  $V_{DD}$  je napájecí napětí budiče hradel tranzistorů,  $V_{SP}$  je spínací bod, od kterého je zvolený tranzistor plně otevřený a  $R_{GATE}$  je rezistivita hradla tranzistoru v sepnutém stavu. Poslední dva parametry  $R_{ON\_SOURCE}$  a  $R_{ON\_SINK}$  značí rezistivitu budičů hradel tranzistorů. Dosazením ozřejmených členů rovnic je možné zjistit přenosové ztráty tranzistoru:

$$I_{DRIVER\_RISE} \approx \frac{5 - 4,5}{2 + 0,65} \rightarrow I_{DRIVER\_RISE} \approx 0,189 \text{ A}$$

$$I_{DRIVER\_FALL} \approx \frac{4,5}{1,5 + 0,65} \rightarrow I_{DRIVER\_FALL} \approx 2,093 \text{ A}$$

$$t_R \approx \frac{2,9 * 10^{-9}}{0,189} \rightarrow t_R \approx 15,34 \text{ ns}$$

$$t_F \approx \frac{2,9 * 10^{-9}}{2,093} \rightarrow t_F \approx 1,39 \text{ ns}$$

$$P_T \approx \frac{12 * 25 * (15,34 * 10^{-9} + 1,39 * 10^{-9}) * 600 * 10^3}{2} \rightarrow P_T \approx 1,5 \text{ W}$$

Celkové výkonové ztráty na „high-side“ MOS tranzistoru ( $P_{HS}$ ) je možné určit prostým součtem právě vypočtených ztrát, tedy:

$$P_{HS} \approx P_C + P_T \quad (3.21)$$

$$P_{HS} \approx 2,69 + 1,5$$

$$P_{HS} \approx 4,2 \text{ W}$$

Celkové výkonové ztráty „low-side“ tranzistoru jsou dány součtem ztrát vedením proudu a ztrátami způsobenými parazitní diodou tranzistoru (angl. Body diode),

která vzniká mezi elektrodami drain a source. Přenosové ztráty jsou naproti „high-side“ tranzistoru zanedbatelné. V případě vysokého vstupního napětí a nízkého výstupního napětí je to právě tento „low-side“ tranzistor, kterým protéká proud po většinu času. Z tohoto důvodu je nutné volit tranzistor s velmi nízkou rezistivitou v sepnutém stavu pro zajištění vysoké účinnosti. Stejně jako u předchozího „high-side“ tranzistoru, nejprve bude proveden výpočet ztrát vedením elektrického proudu dle rovnice 3.15

$$P_{CLS} = I_{LOAD(RMS)}^2 * R_{DSON}$$

$$P_{CLS} = 25,04^2 * 1,3 * 10^{-3}$$

$$P_{CLS} = 0,82 \text{ W}$$

Jak již bylo zmíněno, další ztráty, které se uplatní na „low-side“ tranzistoru, jsou dány parazitní diodou v konstrukci tranzistoru. Během tzv. „mrtvého času“, kdy „high-side“ tranzistor je již zavřený, ale ještě nedošlo k sepnutí „low-side“ tranzistoru, dochází k průchodu proudu právě onou parazitní diodou MOS tranzistoru. Výkonová ztráta této diody je dána jejím propustným napětím, dobou trvání tzv. „mrtvého času“, spínací frekvencí a výstupním proudem. Vztah pro výpočet výkonových ztrát na parazitní diodě je následující:

$$P_{BODYDIODE} = V_F * t_D * f_{SW} * I_O \quad (3.22)$$

$$P_{BODYDIODE} = 0,9 * 30 * 10^{-9} * 600 * 10^3 * 25$$

$$P_{BODYDIODE} = 0,41 \text{ W}$$

Celkové výkonové ztráty na „low-side“ MOS tranzistoru ( $P_{LS}$ ) je možné určit prostým součtem právě vypočtených ztrát, tedy:

$$P_{LS} \approx P_{CLS} + P_{BODYDIODE} \quad (3.23)$$

$$P_{LS} \approx 0,82 + 0,41$$

$$P_{LS} \approx 1,23 \text{ W}$$

Vypočtené výkonové ztráty byly zjištěny pro maximální zatížení použitého měniče. V takovém případě se ukázalo, že by mohlo být vyžadováno připojení chladicího prvku na „high-side“ tranzistor, jehož výkonová ztráta by dosahovala více než 4 W. Nicméně z tabulky 3.2 je možné vyčíst, že maximální využití měniče *ADP1853* v tomto návrhu bude o 36% nižší než jaké měnič dovoluje. Z toho důvodu je možné usoudit, že zvolené tranzistory plně vyhovují potřebám navrhované vývojové desky a není nutné zajistit lepší odvod tepla z povrchu jejich pouzder pomocí externího chladiče.

Na závěr je potřeba navrhnout kompenzaci chyby regulační smyčky pro topologii řízení v proudovém režimu. Proudový režim byl zvolen zejména pro jeho velmi rychlou odezvu na skokovou změnu zátěže. Nejprve je potřeba určit hodnotu zisku zesilovače snímajícího hodnotu impulzního induktorového proudu. Toto snímání je zajištěno měřením úbytku napětí na vnitřním odporu „low-side“ MOS tranzistoru v sepnutém stavu. Hodnotu zisku zesilovače je možné nastavit na jednu ze tří hodnot, a to 3, 6 a 12. Zisk musí být volen tak, aby minimální zesílené napětí při nulovém výstupním proudu ( $V_{CSMIN}$ ) bylo větší než 0,4 V, maximální zesílené napětí při maximálním výstupním proudu ( $V_{CSMAX}$ ) nebylo větší než 2,1 V a zároveň, aby napětí na pinu COMP ( $V_{COMPMAX}$ ) nepřesáhlo 2,2 V. Vztahy pro výpočet uvedených limitů jsou následující:

$$V_{CSMIN} = 0,75[V] - \left(\frac{1}{2} * \Delta I_L\right) * R_{RDSON\_MIN} * A_{CS} \quad (3.24)$$

$$V_{CSMAX} = 0,75[V] + (I_{LOADMAX} - \frac{1}{2} * I_L) * R_{RDSON\_MAX} * A_{CS} \quad (3.25)$$

$$V_{COMPMAX} = \frac{(V_{IN} - 0,2[V]) * t_{ON}}{100[pF] * R_{RAMP}} + V_{CSMAX} \quad (3.26)$$

Kde  $R_{RDSON\_MIN}$  a  $R_{RDSON\_MAX}$  je minimální, respektive maximální rezistivita „low-side“ tranzistoru v sepnutém stavu,  $A_{CS}$  je zisk zesilovače a  $t_{ON}$  je čas sepnutí „high-side“ tranzistoru. Dosazením známých hodnot do uvedených vztahů bylo zjištěno, že ani při volbě nejvyššího možného zesílení  $A_{CS} = 12$  nedojde k překročení limitů  $V_{CSMIN}$  a  $V_{CSMAX}$  nastavených výrobcem.

Dále je možné navrhnout vhodný externí rezistor  $R_{RAMP}$ . Tento rezistor zabraňuje vzniku subharmonickým oscilacím v induktorovém proudu a pomáhá udržovat stabilní

výstup. Výpočet správné hodnoty tohoto kompenzačního rezistoru je dán následujícím vztahem:

$$R_{RAMP} = \frac{7 * 10^6 * L[\mu\text{H}]}{A_{CS} * R_{RDSON\_MAX}[\text{m}\Omega]} \quad (3.27)$$

Dosazením známých hodnot byla zjištěna hodnota rezistoru  $R_{RAMP} = 110 \text{ k}\Omega$ . Po získání této hodnoty je možné zpětně ověřit vhodnost volby velikosti zisku zesilovače, dosazením do vztahu 3.26 a ověřením, zda byl dodržen limit stanovený výrobcem. Následně zbývá vypočítat RC komponenty pro kompenzaci chybového zesilovače zapojením do jeho zpětné vazby. Jedná se o sériovo-parallelní kombinace dvou kondenzátorů a jednoho rezistoru. Jejich hodnoty je možné zjistit následujícími vztahy:

$$R_Z = R_{TOP} * A_{CS} * R_{RDSON\_MIN} * 2 * \pi * C_{OUT} * \frac{f_{SW}}{10} \quad (3.28)$$

$$C_I = \frac{1}{\pi * R_Z * f_{LC}} \quad (3.29)$$

$$C_{HF} = \frac{1}{\pi * f_{SW} * R_Z} \quad (3.30)$$

Kde  $f_{LC}$  je rezonanční frekvence výstupního zapojení induktorů a kondenzátorů,  $C_{OUT}$  je reálná hodnota výstupní kapacity ponížena o úbytek způsobený vlivem napěťové závislosti. Dosazením do uvedených vztahů je možné zjistit přesné hodnoty kompenzačních prvků.

$$R_Z = 8 * 10^3 * 12 * 1,3 * 10^{-3} * 2 * \pi * 544 * 10^{-6} * \frac{600 * 10^3}{10} \rightarrow R_Z = 25,8 \text{ k}\Omega$$

$$C_I = \frac{1}{\pi * 25,8 * 10^3 * \frac{1}{2 * \pi * \sqrt{300 * 10^{-9} * 544 * 10^{-6}}}} \rightarrow C_I = 1 \text{ nF}$$

$$C_{HF} = \frac{1}{\pi * 600 * 10^3 * 25,8 * 10^3} \rightarrow C_{HF} = 22 \text{ pF}$$

Rezonanční frekvence zvolených LC byla vypočítána dle známého vztahu. Výsledná kapacita připojená v obvodu na napětí 1 V se projeví snížením na hodnotu  $544 \mu\text{F}$ .

Kompletní zapojení DC/DC měniče *ADP1853* spolu s hodnotami veškerých komponent je uvedeno v přílohách práce.

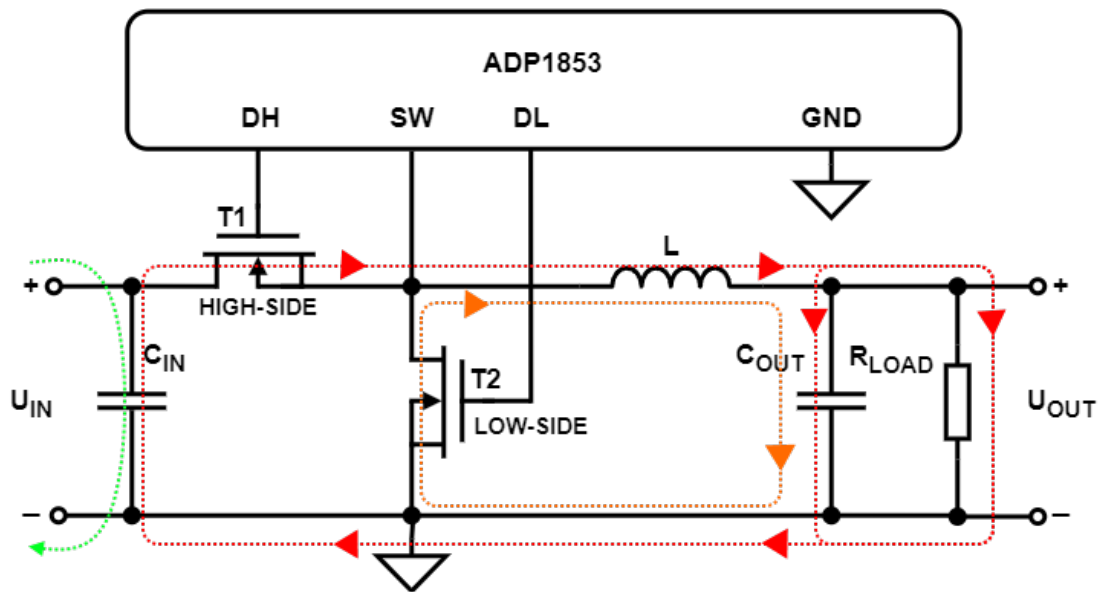
### Layout DPS pro DC/DC měniče

Rozložení a propojení komponent na DPS, tzv. „layout“, je kritickou fází návrhu. To platí obzvláště, jde-li o návrh spínaných DC/DC měničů. Nesprávný návrh měničů na DPS může způsobit selhání funkčnosti celého zařízení, a to hned z několika aspektů. Tou první zřejmou příčinou selhání funkčnosti může být nestabilita napěťového výstupu způsobena špatně navrženou regulační smyčkou. Nestabilní napěťový zdroj může jednak vyústit ve zničení sebe samého, ale stejně tak může dojít k poškození, možná kritičtějších, integrovaných obvodů, které jsou tímto zdrojem napájeny. Stabilita měniče je zajištěna jednak správným návrhem zapojení, ale také správným layoutem na DPS. Druhou, a možná méně zřejmou, příčinou selhání funkčnosti zařízení špatným layoutem spínaných DC/DC měničů, je produkce nadměrného rušení. Toto rušení je způsobováno jednak rychlým spínáním spínacích prvků v měniči, ale také excesivními proudovými smyčkami.

Klíčem ke správnému layoutu DPS je rozpoznání kritických proudových cest. Cesty se střídavým proudem typicky nesou proudové špičky a rušení, cesty s vysokým stejnosměrným proudem způsobují výrazné napěťové úbytky a cesty s nízkou úrovní stejnosměrného proudu jsou obvykle náchylné na šum. Na obrázku 3.3 jsou naznačeny proudové smyčky na příkladu navrhovaného DC/DC měniče *ADP1853*, kde zelená barva označuje vstupní proudovou smyčku, červená barva představuje cestu proudu při sepnutém „high-side“ tranzistoru  $T_1$  a oranžová barva znázorňuje uzavírání proudu přes „low-side“ tranzistor  $T_2$  při rozepnutém tranzistoru  $T_1$ .

Uvedené piny měniče (DH, DL a SW) a vodiče k nim připojené nesou spínané impulzní proudy, které se vyznačují velkou derivací proudu v čase  $\left(\frac{\partial I}{\partial t}\right)$  a jsou součástí kritických proudových smyček měniče. Stejně tak jako vyznačené proudové smyčky na obrázku 3.3, tak i vodiče budičů hradel tranzistorů (DH, DL a SW) by měly být navrženy na DPS co nejkratší, za účelem minimalizace rušení a záchvěvů výstupního napětí.

Spínací uzel označený SW je bodem měniče produkující největší míru rušení, neboť ním prochází velké napětí i proudy, stejnosměrné i střídavé. Proto je důležité připojit tento uzel na měď o velké ploše, čímž dojde ke zmenšení odporu kladeného průchodu proudu a tedy ke zmenšení velikosti napěťového úbytku. Také tranzistory a induktor



Obr. 3.3: Proudové smyčky DC/DC snižujícího měniče

připojený k tomuto uzlu, by měly být umístěny co nejblíže s připojením na měď o velké ploše, čímž dojde k minimalizaci parazitní sériové rezistivity a indukčnosti.

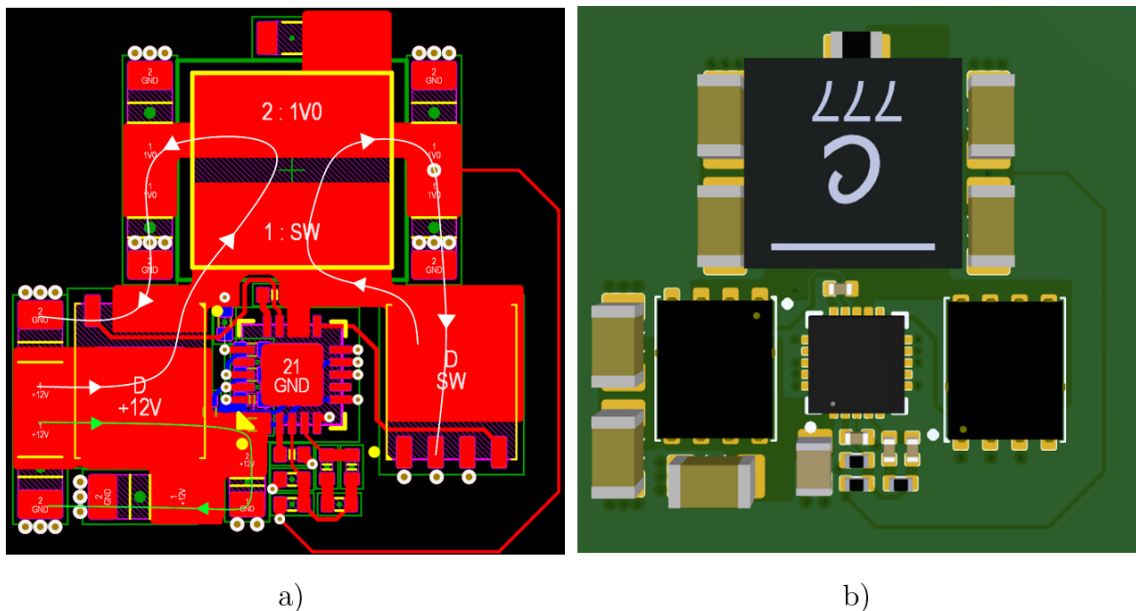
Značné impulzní proudy se také objevují na budičích hradel tranzistorů, což má často za následek záchvěvy a překmity. Kromě dodržení krátké vzdálenosti propojují mezi pinem měniče a hradlem tranzistoru je nejlepší návrhářskou praktikou vést propoje napřímo, bez použití vodivých prokovů (VIA). V případě nutnosti použití vodivých prokovů je vhodné použít alespoň dva, za účelem redukce hustoty špičkového proudu a parazitní indukčnosti.

Poslední důležitou částí návrhu spínaných měničů jsou propoje protékané nízkým stejnosměrným proudem, které jsou citlivé na rušení vyzařované z výše popsaných částí měniče. Mezi tyto citlivé části spadá zejména snímání hodnoty aktuálního výstupního proudu a nastavení výstupního napětí pomocí rezistorového děliče ve zpětnovazební smyčce regulátoru. Tyto nízkonapětové signály jsou citlivé na indukované rušení pomocí parazitních vazebních mechanismů, a proto by měly být vedeny v místech mimo smyčky protékané impulzním proudem.

Dodržení zmíněných zásad přispěje ke správnému fungování navrhovaného měniče, ale také k minimalizaci vyzařování elektromagnetického rušení, které může ovlivňovat další části zařízení a nebo způsobovat problémy při testování elektromagnetické kompatibility (EMC) a elektromagnetické interference (EMI). Další informace k layoutu DPS pro DC/DC spínané měniče je možné nalézt v literatuře [22].

Příklad layoutu DC/DC měniče *ADP1853* je vyobrazen na obrázku 3.4. Zelená barva shodně zobrazuje vstupní proudovou smyčku jako na obrázku 3.3. Zbylé dvě

smyčky jsou kvůli zřetelnosti znázorněny bílou barvou. Smyčka umístěna vlevo znázorňuje průchod proudu při sepnutém tranzistoru  $T_1$  a rozepnutém tranzistoru  $T_2$ , smyčka vpravo znázorňuje opačnou situaci. Jak již bylo zmíněno, cílem návrhu spínaného měniče na DPS, je zajistit co nejkratší proudové smyčky vhodným uspořádáním komponent. Na layoutu je dále možné sledovat připojení kritických uzlů nesoucí velké proudy pomocí mědi o velké ploše, napojení výstupů budičů integrovaných v měniči k hradlům tranzistorů pomocí přímého spoje bez použití VIA a také snímání výstupního napětí zpětnovazebním rezistorovým děličem pomocí propoje vedoucího mimo veškeré kritické proudové smyčky produkující rušení. Pro uzavírání smyček a svedení návratových proudů tzv. „do země“ slouží velký počet vodivých prokůvů u zemních padů blokujících kondenzátorů. Veškeré VIA napojené na zemní potenciál jsou propojeny ve vnitřní vrstvě souvislou zemní plochou minimalizující parazitní sériový odpor a indukčnost.



Obr. 3.4: Vyobrazení layoutu měniče ADP1853: a) Vodivá vrstva TOP, b) 3D pohled

### 3.2.2 Návrh vysokorychlostních rozhraní

Potřeba integrace vysokorychlostní komunikace vyplývá přímo z tématu práce. Hardwarová akcelerace slouží k urychlení softwarově-náročných výpočtů a je založena na principu přenesení výpočetních úloh ze standardního procesoru na specializovanou hardwarovou platformu. Základním předpokladem je, že specializovaná hardwarová platforma dokáže vykonat danou výpočetní úlohu několikanásobně rychleji oproti standardnímu procesoru. Ušetřený výpočetní čas se poté projeví jako zvýšení výkonosti systému a schopnost zpracovat více úloh za kratší čas. Nicméně překážkou, která

stojí v cestě právě popsanému principu, je zpoždění vnesené do systému nutností přenosu dat mezi standardním procesorem a danou specializovanou hardwarovou platformou. Z tohoto důvodu je potřeba integrovat komunikační rozhraní s vysokou datovou propustností. A to jak pro externí komunikaci, tedy mezi navrhovanou hardwarovou platformou a dalším cizím systémem, tak interní komunikaci, tedy mezi jednotlivými výpočetními FPGA integrovanými na DPS hardwarového akcelerátoru.

Na základě uvedených informací a s ohledem na zvolená nízko-nákladová FPGA, byly zvoleny nejrychlejší možné komunikační rozhraní, jaké dané FPGA podporují, a to jak externí, interní, tak i paměťová. Tyto rozhraní se nazývají DDR3, Ethernetové rozhraní a rozhraní AXI Chip 2 Chip a jejich návrh je rozebrán v následujících sekcích.

### DDR3

Jedná se o rozhraní paměti typu DDR3 SDRAM (Double Data Rate 3 Synchronous Dynamic Random-Access Memory). Je to druh synchronní dynamické paměti s náhodným přístupem, přičemž přenos dat při zápisu nebo čtení je prováděn v módu DDR. To znamená, že přenášená data jsou synchronní vůči oběma hranám hodinového signálu (vzestupné i sestupné). Rozhraní této paměti je možné rozčlenit na dvě skupiny, a to na skupinu zahrnující kontrolní a adresové signály a na skupinu zahrnující datové signály. Skupin s datovými signály může být víc, neboť jsou shlukovány po datových bytech a záleží jakou konfiguraci daná paměť a dané zapojení nabízí. Takto členit signály rozhraní paměti typu DDR3 je možné zejména proto, že signály nesoucí danou informaci, ať už adresové a kontrolní nebo datové, jsou vždy synchronní vůči jednomu řídicímu hodinovému signálu náležícího dané skupině signálů.

Pro navrhovanou vývojovou desku byla zvolena kombinace dvou modulů DDR3 pamětí s datovou propustností až 1 333 Mb/s, jejichž kombinace udává výslednou konfiguraci 256 Mb × 32 b o celkové kapacitě 1 GB. Z této konfigurace vyplývá, že paměťové rozhraní bude rozloženo do skupiny zahrnující adresové a kontrolní signály a do čtyř datových skupin rozdělených dle jednotlivých datových bytů. Signály každé skupiny musí být při návrhu na DPS délkově sesouhlaseny vůči svému řídicímu hodinovému signálu, za účelem dosažení co nejmenšího rozdílu v propagačním zpoždění. Následující tabulka 3.3 sumarizuje signálové skupiny a uvádí maximální dovolenou odchylku v propagačním zpoždění daných signálů a celkovou maximální délku signálu vedeného na DPS.

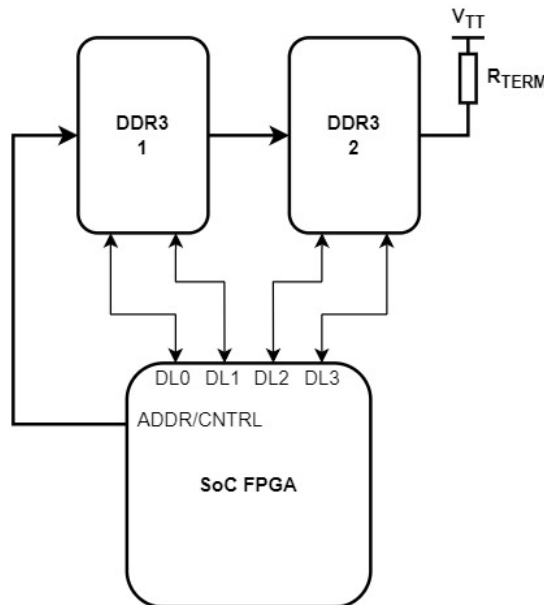
Maximální dovolené propagační zpoždění uvádí výrobce FPGA obvodů a je možné jej přizpůsobit na základě rozdílu v maximální pracovní frekvenci, kterou podporuje daná paměť a v maximální pracovní frekvenci, kterou podporuje dané FPGA.

Existují dvě topologie propojení více modulů DDR3 pamětí na DPS, nesoucí

Tab. 3.3: Přehled signálových skupin DDR3 paměti

Signálová skupina DDR3L	Propagační zpoždění	Délka signálu
DQ[7:0] k DQS0_P/N	± 56 ps	217 mm
DQ[15:8] k DQS1_P/N		
DQ[23:16] k DQS2_P/N		
DQ[31:24] k DQS3_P/N		
A[14:0] a CNTLR k CK_P/N	± 50 ps	

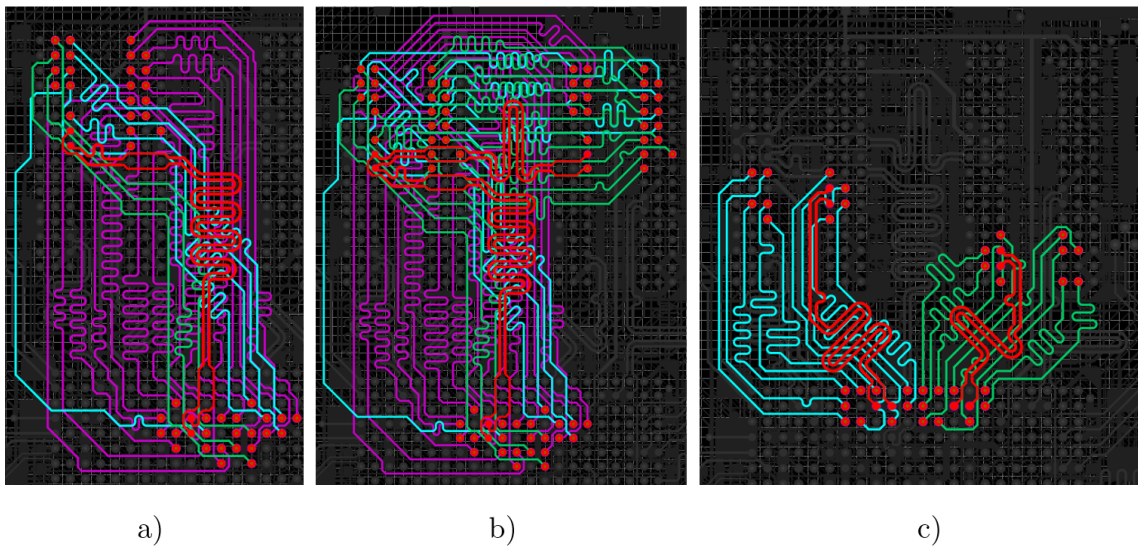
označení „Fly-by“ a „T-branch“. Obě tyto topologie řeší zejména propojení adresových a kontrolních signálů pamětí, neboť tyto signály jsou pro paměťové moduly společné. Datové signály jsou v obou případech vedeny napřímo. Pro návrh vývojové desky hardwarového akcelerátoru byla zvolena „Fly-by“ topologie, neboť poskytuje lepší výsledky signálové integrity a umožňuje komunikaci s pamětí do vyšších frekvencí než „T-branch“ topologie. Znázornění „Fly-by“ topologie je na obrázku 3.5.



Obr. 3.5: Fly-by topologie propojení paměti DDR3

Propoje označené DL0 až DL3 znázorňují jednotlivé datové byty. Propoj označený ADDR/CNTRL znázorňuje sdílenou adresovou a kontrolní sběrnici pro oba paměťové moduly. Tato sběrnice je na jejím konci terminovaná pomocí rezistorů sériově připojených na napětí, jež je poloviční vůči napájecímu napětí paměťových modulů. Tato terminace napomáhá impedančnímu přizpůsobení signálových cest a minimalizaci odrazů signálů, tedy ke zlepšení signálové integrity.

Z hlediska návrhu DPS je nutné dodržet standardní zásady pro vysokorychlostní sběrnice, podmínky délkového přizpůsobení a maximální délky signálů stanovené v tabulce 3.3. Zásady pro návrh vysokorychlostních sběrnic budou rozebrány v sekci *Layout DPS pro vysokorychlostní rozhraní*. Délkové přizpůsobení je potřeba provést na každém datovém bytu, na adresové a kontrolní sběrnici mezi FPGA a první DDR3, ale i mezi samotnými paměťmi. Za tímto účelem je výhodné využít návrhový software Altium Designer a jeho funkce „xSignals“. Tato funkce umožňuje rozřazení signálů do uvedených skupin, přesné měření jejich délky na každém z úseků zvlášť a následně také jejich prodlužování. Na obrázku 3.6 jsou znázorněny propoje mezi FPGA a DDR3 paměťovými moduly. Obrázky a) a b) zobrazují adresovou a kontrolní sběrnici v topologii „Fly-by“, obrázek c) zobrazuje propojení dvou datových bytů mezi FPGA a paměťmi DDR3.



Obr. 3.6: Propojení DDR3 pamětí na DPS: a) Adresová a kontrolní sběrnice mezi FPGA a první DDR3, b) mezi FPGA a druhou DDR3, c) Dva datové byty

Délkového přizpůsobení signálů, a tedy sesouhlasení propagačního zpoždění, bylo dosaženo pomocí meandrů viditelných na jednotlivých signálech. Dosažené výsledky přizpůsobení jsou prezentovány na příkladu propojení adresové a kontrolní sběrnice mezi řídicím FPGA a druhým paměťovým modulem v tabulce 3.4.

Výsledkem je rozdíl propagačního zpoždění mezi řídicím hodinovým signálem  $DDR3\_CLK\_N/P$  a zbylými signály maximálně  $\pm 5$  ps. Přizpůsobení v ostatních signálových skupinách se povedlo realizovat s maximálním rozptylem  $\pm 1$  ps. Oba tyto výsledky dalece přesahují dovolené meze stanovené výrobcem.

Tab. 3.4: Výsledek délkového přizpůsobení signálů adresové a kontrolní sběrnice

Název signálu	Délka signálu [mm]	Propagační zpoždění [ps]
DDR3_A11_PP2	50,007	336,075
DDR3_A1_PP2	49,984	335,912
DDR3_A7_PP2	50,191	335,887
DDR3_A3_PP2	50,194	335,884
DDR3_A5_PP2	50,194	335,884
DDR3_A9_PP2	50,213	335,743
DDR3_A10_PP2	49,261	335,667
DDR3_BA2_PP2	50,187	335,560
DDR3_A4_PP2	49,250	335,386
DDR3_A8_PP2	49,250	335,386
DDR3_A13_PP2	50,154	335,331
DDR3_CAS_PP2	50,154	335,331
DDR3_RAS_PP2	50,154	335,331
DDR3_CS_PP2	50,096	334,925
DDR3_A12_PP2	49,146	334,855
DDR3_A0_PP2	50,081	334,832
DDR3_BA0_PP2	50,033	334,751
DDR3_BA1_PP2	50,309	334,630
DDR3_CLK_N_PP2	59,622	334,588
DDR3_CLK_P_PP2	59,584	334,457
DDR3_A6_PP2	49,815	334,260
DDR3_ODT_PP2	49,940	333,815
DDR3_WE_PP2	49,787	332,748
DDR3_A14_PP2	49,253	330,842
DDR3_A2_PP2	49,432	330,252

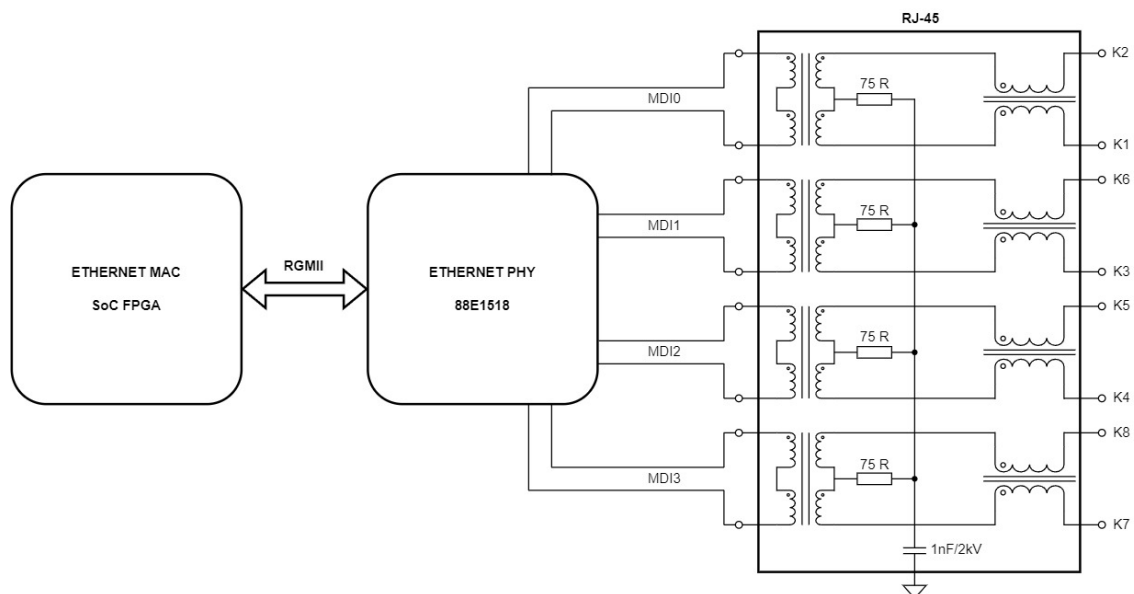
## Ethernet

Ethernetový standard byl zvolen jako primární komunikační kanál mezi vnějším světem a navrhovanou vývojovou deskou. Byl vybrán zejména proto, že se jedná o nejrychlejší komunikační rozhraní, které procesorový systém řídicího FPGA podporuje, ale jeho zařazení do skupiny nejrozšířenějších standardů v systémech typu PC je bezesporu také výhodou.

Implementace ethernetového rozhraní se z hardwarového úhlu pohledu skládá z několika částí. Jedná se o ethernetový řadič (MAC; Media Access Control), fyzickou vrstvu ethernetu (PHY) a RJ-45 zásuvku s integrovaným transformátorem.

Ethernetový řadič je implementován v řídicím FPGA, s podporou možných přenosových rychlostí 10 Mb/s (ozn. Ethernet), 100 Mb/s (ozn. Fast Ethernet) a 1000 Mb/s (ozn. Gigabit Ethernet). Fyzická vrstva je implementována externě pomocí integrovaného obvodu výrobce Marvell s označením *88E1518*. Toto PHY bylo zvoleno s ohledem na podporu stejných přenosových rychlostí jako u řídicího FPGA a s ohledem na podporu síťového protokolu PTP (Precision Time Protocol). Tento

protokol umožňuje velmi přesnou synchronizaci hodinového signálu mezi různými zařízeními a jeho implementace byla požadována zadavatelem práce. Implementované komunikační rozhraní pro přenos dat mezi FPGA a fyzickou vrstvou se nazývá RGMII (Reduced Gigabit Media-Independent Interface) a jedná se o standardní rozhraní používané v systémech s ethernetem a přenosovými rychlostmi do 1 Gb/s. Posledním článkem řetězce je zásuvka RJ-45 s integrovaným transformátorem. Tento transformátor je vždy součástí přenosu dat pomocí ethernetového standardu, ale je možné jej implementovat separátně, nebo jako součást konektorové zásuvky. Pro návrh na DPS byla zvolena zásuvka od výrobce TE Connectivity s označením *1-2301994-2*. Její výhodou je právě implementace transformátoru uvnitř zásuvky, jež slouží k izolaci a správnému přizpůsobení impedance signálů, ale také přítomnost cívek potlačujících souhlasnou složku rušení na ethernetových diferenciálních párech a RC články pro správné připojení stínění konektoru k zemnímu potenciálu na DPS. Komunikační rozhraní mezi PHY a konektorem pro připojení ethernetového kabelu se nazývá MDI (Medium-Dependent Interface). Zjednodušené schéma implementace ethernetového standardu na vývojové desce je zobrazeno na obrázku 3.7. Výstupní piny označené písmenem K znázorňují konkrétní připojení pinů konektoru.

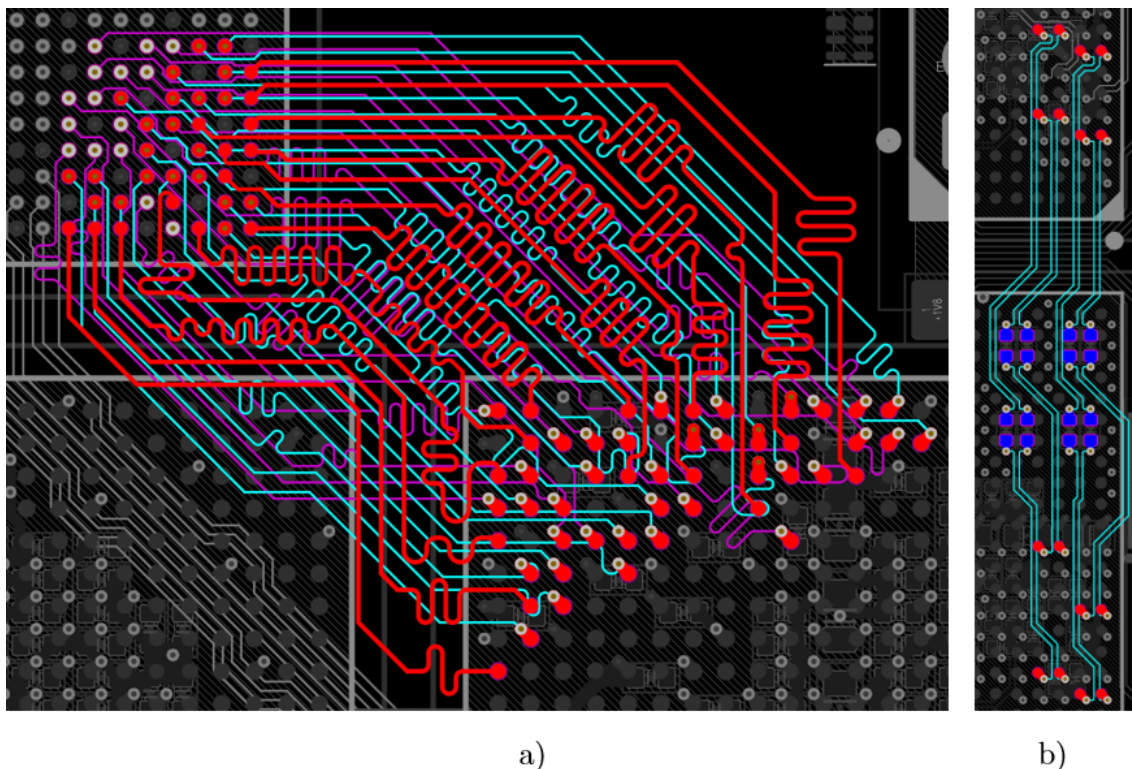


Obr. 3.7: Znázornění implementace jednotlivých hardwarových vrstev Ethernetového standardu

Z hlediska návrhu DPS je nutné dodržet standardní zásady pro vysokorychlostní signály, které jsou blíže představeny v sekci *Layout DPS pro vysokorychlostní rozhraní*.

## AXI Chip2Chip

AXI Chip2Chip je komunikační rozhraní s vysokou datovou propustností a nízkou latencí, založené na AXI standardu, navržené k propojení dvou čipů na DPS. Jak již bylo vysvětleno v podkapitole 3.1.1, toto rozhraní je možné implementovat pomocí různých fyzických vrstev zakomponovaných přímo v FPGA. To umožňuje využít pokročilejší prostředky, jež nabízí výpočetní FPGA, ale zároveň také umožňuje implementaci do řídicího FPGA, které stejnými prostředky nedisponuje. Tyto prostředky jsou gigabitové transeivery, neboli GTP linky, kterých využívá fyzická vrstva označená jako *Aurora8B/10B*. Implementace bez GTP linek využívá standardních vstupně-výstupních portů FPGA obvodu a tato fyzická vrstva se nazývá *SelectIO*. Implementace rozhraní AXI Chip2Chip na DPS je znázorněna na obrázku 3.8, kde za a) je zobrazeno propojení dvou FPGA obvodů pomocí daného rozhraní s fyzickou vrstvou SelectIO, za b) je zobrazeno propojení dvou FPGA obvodů pomocí daného rozhraní s fyzickou vrstvou Aurora8B/10B.



Obr. 3.8: Implementace rozhraní AXI Chip2Chip: a) SelectIO PHY, b) Aurora8B/10B PHY

Z obrázku vyplývá uvedená výhoda implementace fyzické vrstvy Aurora8B/10, a to jednoduchost návrhu na DPS oproti fyzické vrstvě SelectIO, která využívá velkého množství vstupně-výstupních pinů FPGA obvodů. Uvedené implementace by

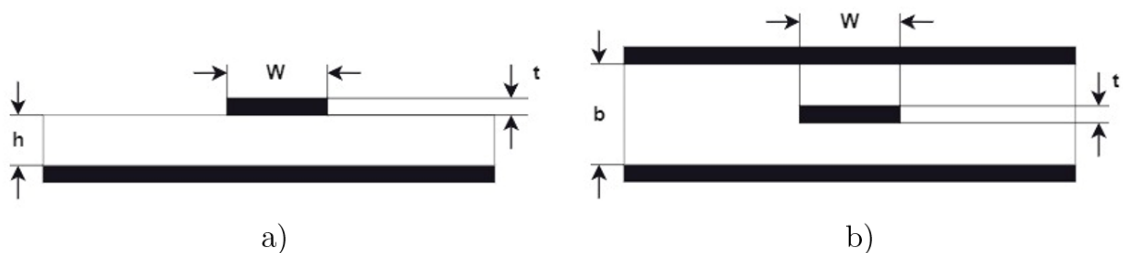
teoreticky měly dosahovat podobných datových propustností. Z tohoto hlediska se jeví návrh gigabitových linek na DPS mnohem kritičtější, neboť jejich menší počet musí být dimenzován na vyšší přenosové frekvence oproti velkému počtu I/O pinů.

Rozhraní implementované pomocí vstupně-výstupních pinů má, obdobně jako tomu bylo u rozhraní DDR3, datové signály závislé na řídicím hodinovém signálu. Z tohoto důvodu jsou délkově přizpůsobeny s maximální odchylkou propagačního zpoždění  $\pm 1$  ps. Propojení obou fyzických vrstev na DSP podléhá zásadám návrhu vysokorychlostních signálů, které jsou blíže představeny v sekci *Layout DPS pro vysokorychlostní rozhraní*.

### Layout DPS pro vysokorychlostní rozhraní

Tato sekce rozebírá aspekty vysokorychlostního návrhu DPS, které bylo nutné zohlednit při návrhu většiny rozhraní na vývojové desce hardwarového akcelérátoru. Dodržení těchto zásad je klíčové k zajištění správného postupu v návrhu vysokorychlostních DPS a minimalizování kritických chyb, které by mohly mít za následek nefunkčnost výsledného zařízení.

Základním požadavkem typicky každého rozhraní je vedení vodičů na DPS s řízenou impedancí. Tato impedance je závislá na typu signálu (jednostranně zakončený, nebo diferenciální), vzdálenosti signálu od referenční hladiny (neboli tloušťce dielektrické vrstvy), dielektrické konstantě daného FR4 materiálu a na tloušťce a šířce spoje reprezentujícího daný signál. Všechny zmíněné parametry je možné ovlivnit při návrhu DPS, a to buď volbou složení DPS (tzv. Stack-up) a volbou výrobce, nebo přizpůsobením šířky vodiče. Právě šířka vodiče je finální parametr, pomocí kterého je v daném stack-upu dosaženo kontrolované impedance signálů. Výpočet výsledné charakteristické impedance signálu se navíc liší v závislosti na umístění signálu na vnější vrstvě DPS (tzv. microstrip), nebo ve vnitřní vrstvě DPS (tzv. stripline). Příklad řezu DPS s naznačenými jednostranně zakončenými vodiči je zobrazen na obrázku 3.9, kde obrázek a) znázorňuje tzv. „microstrip“ a obrázek b) znázorňuje tzv. „stripline“.



Obr. 3.9: Příklad jednostranně zakončených vodičů na DPS: a) Microstrip, b) Stripline

Výpočet charakteristické impedance vodičů vyobrazených na obrázku 3.9 je dán následujícími vztahy, přičemž rovnice 3.31 udává výpočet pro microstrip a rovnice 3.32 udává výpočet pro stripline.

$$Z_0 = \frac{87}{\sqrt{\varepsilon_r + 1,41}} * \ln \left( \frac{5,98 * h}{0,8 * w + t} \right) \quad (3.31)$$

$$Z_0 = \frac{60}{\sqrt{\varepsilon_r}} * \ln \left( \frac{1,9 * b}{0,8 * w + t} \right) \quad (3.32)$$

Kde  $\varepsilon_r$  značí dielektrickou konstantu použitého materiálu FR4. V návrhovém prostředí Altium Designer, který je využit k realizaci návrhu tématu práce, je výpočet charakteristické impedance integrován, čímž odpadá nutnost ručních výpočtů a dochází tak ke zjednodušení procesu návrhu DPS. Typickými hodnotami charakteristické impedance signálů je 50  $\Omega$  pro jednostranně zakončené signály a 100  $\Omega$  pro diferenciální páry. V případě rozhraní DDR3 paměti se jedná o 40  $\Omega$  pro jednostranně zakončené signály a 80  $\Omega$  pro diferenciální páry.

Dalším aspektem ovlivňujícím správnou funkčnost vysokorychlostních rozhraní je délkové přizpůsobení signálů na sobě závislých. Typicky se jedná o přizpůsobení datových signálů vůči synchronizačnímu hodinovému signálu. Tento hodinový signál svými náběžnými, respektive sestupnými hranami určuje okamžik validity vysílaných dat. V případě, že by na vodičích vznikl velký rozdíl v propagačním zpoždění datových signálů vůči synchronizačnímu signálu, tyto data by nebylo možné přijímat a rozhraní by nebylo na daných frekvencích funkční. Délkové přizpůsobení je možné realizovat na jednostranně zakončených vodičích vůči sobě, ale také na vodičích v diferenciálním páru, nebo na celém diferenciálním páru. Při realizaci délkového přizpůsobení je vhodné se orientovat podle celkového propagačního zpoždění signálu, neboť na odlišných vrstvách DPS, při průchodu signálu různě dlouhými vodivými prokvy a i mírnou deviací v charakteristické impedanci může docházet k dilataci propagačního zpoždění. Následující vztahy uvádí zjednodušený výpočet propagačního zpoždění vodiče typu microstrip (rovnice 3.33) a stripline (rovnice 3.34).

$$D \left[ \frac{\text{ps}}{\text{inch}} \right] = 85 * \sqrt{0,475 * \varepsilon_r + 0,67} \quad (3.33)$$

$$D \left[ \frac{\text{ps}}{\text{inch}} \right] = 85 * \sqrt{\varepsilon_r} \quad (3.34)$$

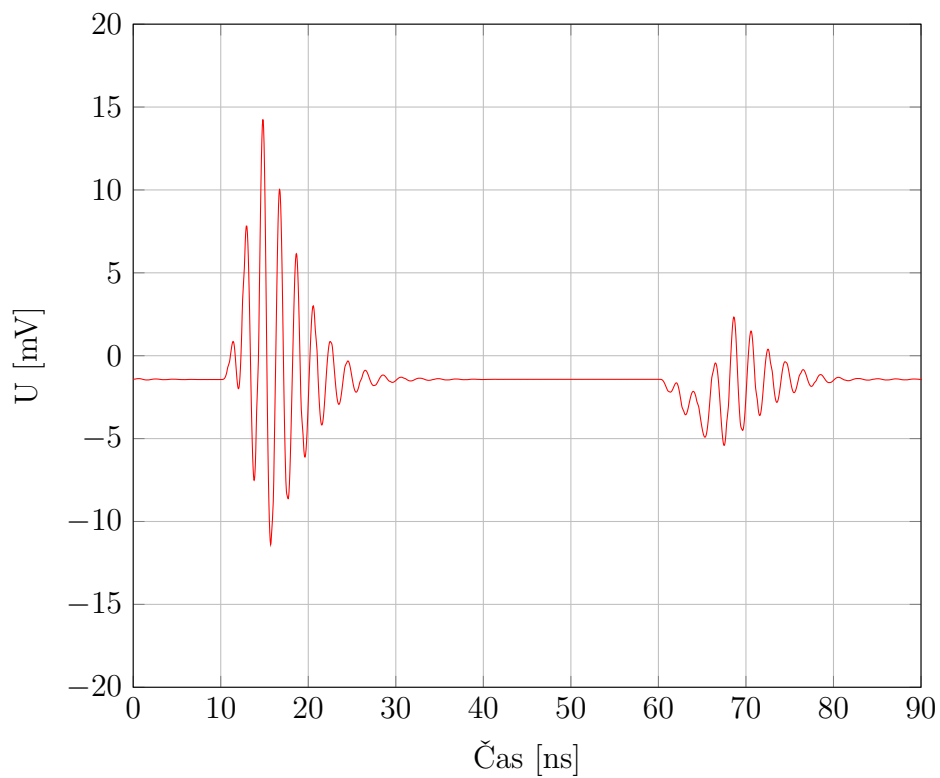
I v tomto případě není při návrhu potřeba provádět výpočty ručně, neboť stejně jako výpočet charakteristické impedance, i výpočet propagačního zpoždění je zaintegrovan v návrhovém prostředí Altium Designer. Funkce délkového přizpůsobení signálů ve zmíněném návrhářském prostředí umožňuje zobrazení jak délky signálů, tak jejich propagační zpoždění a napomáhá tak zajistit nejlepší možný výsledek vzájemného přizpůsobení signálů daného vysokorychlostního rozhraní.

Co se týká samotného vedení signálů po DPS, existují zásady, jež napomáhají minimalizovat vzájemné ovlivňování signálů. První zásadou je dodržení rozestupů mezi signály. V případě jednostranně zakončených signálů měly být alespoň trojnásobkem jeho šířky. V případě diferenciálních párů by odstup od jakýchkoliv dalších signálů na DPS měl být alespoň trojnásobkem rozestupu vodičů v diferenciálním páru. Dodržení daných vzdáleností napomáhá redukovat přeslechy mezi sousedně vedenými vodiči na DPS.

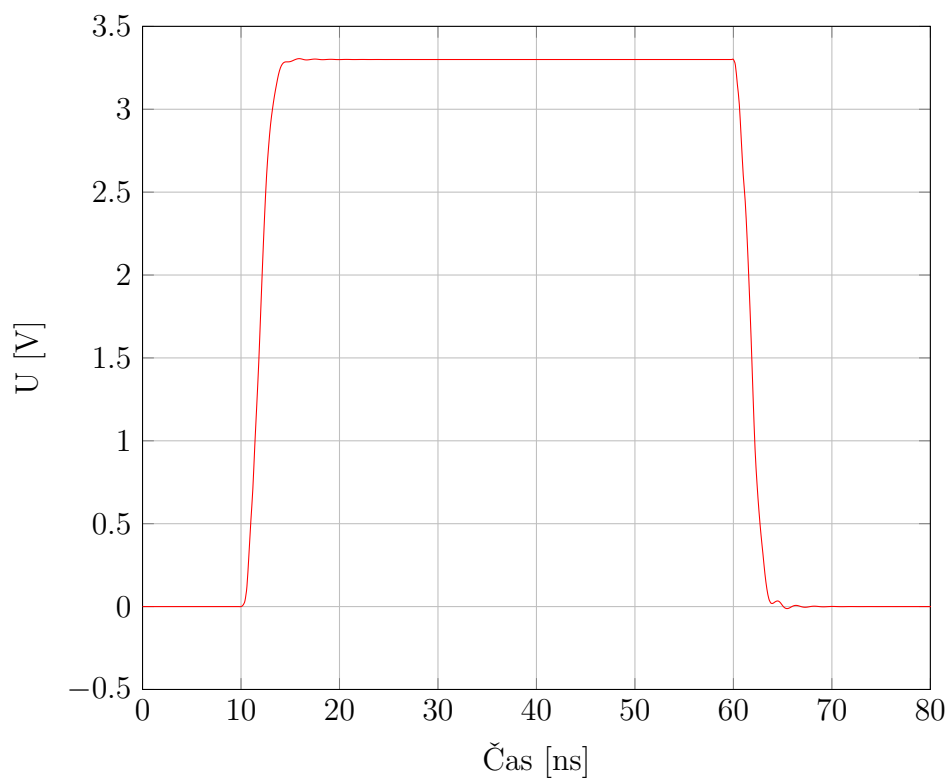
Nejdůležitější zásadou pro správný návrh vysokorychlostních rozhraní a zajištění dobré signálové integrity je kontrola návratových cest signálů. Na nízkých kmitočtech (zhruba do 20 kHz), proud teče cestou nejmenšího odporu. Na vyšších kmitočtech teče proud cestou nejnižší indukčnosti, která vzhledem k nejmenší smyčce dopředného a návratového proudu leží přímo pod vodičem signálu. Aby měl signál jasně definovanou návratovou cestu, je nutné mu zajistit tzv. referenční plochu. Ideální referenční plochou je nepřerušovaná měděná vrstva DPS, typicky připojená na zemní potenciál a sousedící s vrstvou, na níž je veden daný signál. V případě, že tato plocha není souvislá, nebo obsahuje mezeru a signál kříží tuto nespojitost vytvořenou v referenční ploše, návratový proud musí téct kolem této mezery. To zvětšuje plochu smyčky, kterou proud teče a tím pádem zvyšuje elektromagnetické vyzařování. Se zvětšujícím se elektromagnetickým vyzařováním může docházet k přenosu větší části energie daného signálu na jiné signály na DPS pomocí sdílených parazitních indukčností a kapacit. Tento jev se následně projeví jako přeslech a snižuje kvalitu signálové integrity.

K ověření správnosti návrhu vysokorychlostních rozhraní je možné využít simulací integrovaných do návrhového prostředí Altium Designer. Pomocí těchto simulací je možné ověřit signálovou integritu a přeslechy, což pomáhá upravit návrh před jeho dokončením a minimalizovat počet chyb. Graf na obrázku 3.10 zobrazuje příklad simulace přeslechů naindukovaných na datovém bitu 22 paměti DDR3 způsobených přilehlým vodičem téhož rozhraní. Následně na grafu na obrázku 3.11 je vyobrazena výsledná signálová integritu datového bitu 22 paměti DDR3.

Na výstupních průbězích každého ze signálů je možné měřit míru zákmitů na náběžné, respektive sestupné hraně a vyhodnotit, zda byl daný signál navržen



Obr. 3.10: Výsledek simulace přeslechů na 22. datovém bitu paměti DDR3



Obr. 3.11: Výsledek simulace signálové integrity na 22. datovém bitu paměti DDR3

korektně. Za korektně navržený se dá považovat každý signál, na němž objevující se zákmity nepřekročí hranice pro překlopení logické úrovně, které jsou stanovené daným signálovým standardem. To ve výsledku znamená, že návrh neobsahuje žádné rušivé elementy, které by negativně ovlivňovaly signály ve svém okolí a mohly způsobovat potenciální problémy se signálovou integritou. Příklad těchto zákmitů v dovolených mezích je možné vidět na obrázku 3.11 objevujících se na sestupné hraně s dosahovanou amplitudou 35 mV.

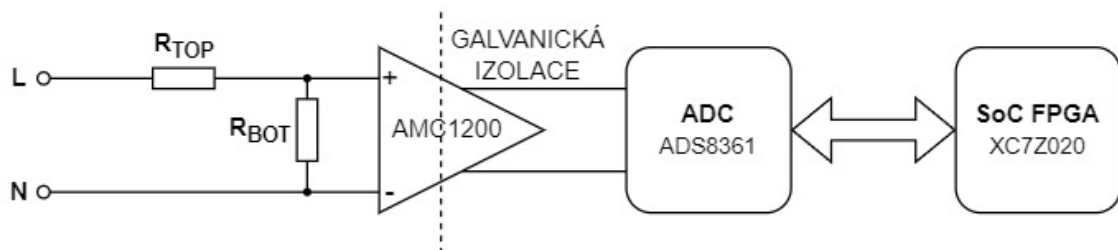
Podrobnější informace k principu simulace signálové integrity je možné nalézt například v literatuře [23].

### 3.2.3 Návrh ostatních periférií

Tato sekce stručně popisuje návrh ostatních periférií, které nejsou nijak spjaty s hardwarovou akcelerací, ale byly vydefinovány zadavatelem práce, firmou MEGA a.s.

Mezi tyto periferie spadá galvanicky izolované měření síťového napětí, možnost připojení externích zařízení (např. světelné čidlo, kouřový detektor) ke vstupně-výstupním pinům řídicího FPGA obvodu pomocí standardních sběrnic (typu I<sup>2</sup>C, SPI apod.), nebo přenos audiovizuálních dat pomocí HDMI konektoru.

Periferie pro galvanicky izolované měření síťového napětí byla navržena na separátní DPS a hlavní vývojová deska integruje pouze konektor pro její připojení. Volba návrhu na separátní desku byla zvolena zejména kvůli oddělení vysokorychlostních periférií od síťového napětí a také za účelem snížení rozměrů, a tedy ceny hlavní vývojové desky. Obvod pro měření síťového napětí je založen na plně diferenciálním galvanicky izolovaném operačním zesilovači s označením *AMC1200*. Na vstupu tohoto zesilovače se nachází odporový dělič pro snížení amplitudy síťového napětí. Tuto sníženou amplitudu snímá operační zesilovač, který upravuje signál na úroveň vhodnou pro analogově-digitální převodník. Data převedeny do digitální podoby jsou poté odeslány na hlavní vývojovou desku do řídicího FPGA. K propojení těchto dvou desek byl zvolen FPC konektor. Principiální zapojení je znázorněno na obrázku 3.12.



Obr. 3.12: Principiální zapojení jednoho kanálu měření síťového napětí

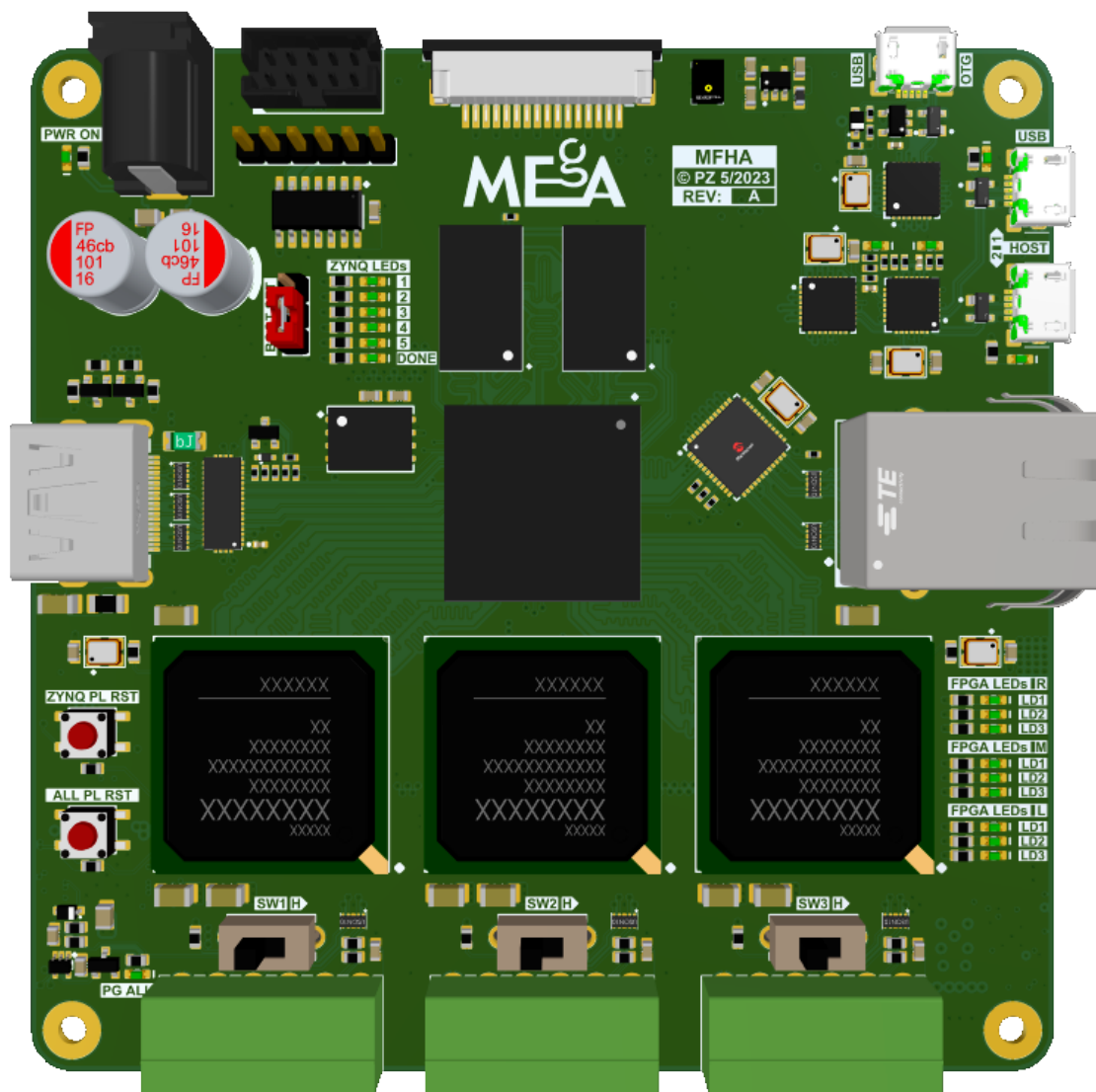
### 3.2.4 Specifikace DPS

Návrh DPS byl realizován ve stejném duchu, jako kompletní návrh zařízení hardwarového akcelarátoru, tedy jako nízko-nákladový. Z toho důvodu byl zvolen kompaktní rozměr DPS 10×10 cm u výrobce JLCPCB. Výrobní cena DPS u tohoto výrobce je nezávislá na rozměrech DPS právě až do uvedeného rozměru, pro větší rozměry již roste cena s plochou DPS. Nejnižší počet vrstev DPS byl determinován zvolenými integrovanými obvody a jejich pouzdry, tedy 8 vrstev. Počet vrstev nebyl navýšen opět s ohledem na cenu výsledného zařízení. Složení DPS, neboli stack-up, je vyobrazen na obrázku 3.13.

#	Name	Material	Type	Weight	Thickness	Dk	Df
	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.01mm	3.5	
1	TOP	CF-004	Signal	1oz	0.035mm		
	Dielectric 2	PP-015	Prepreg		0.0994mm	4.05	0.02
2	L2	CF-004	Signal	1/2oz	0.0152mm		
	Core 2	Core-029	Core		0.2mm	4.5	0.02
3	L3	CF-004	Signal	1/2oz	0.0152mm		
	Dielectric 6	PP-017	Prepreg		0.1088mm	4.25	0.02
4	L4	CF-004	Signal	1/2oz	0.0152mm		
	Core 1	Core-029	Core		0.2mm	4.5	0.02
5	L5	CF-004	Signal	1/2oz	0.0152mm		
	Dielectric 7	PP-017	Prepreg		0.1088mm	4.25	0.02
6	L6	CF-004	Signal	1/2oz	0.0152mm		
	Core 3	Core-029	Core		0.2mm	4.5	0.02
7	L7	CF-004	Signal	1/2oz	0.0152mm		
	Dielectric 3	PP-015	Prepreg		0.0994mm	4.05	0.02
8	BOT	CF-004	Signal	1oz	0.035mm		
	Bottom Solder	Solder Resist	Solder Mask		0.01mm	3.5	
	Bottom Overlay		Overlay				

Obr. 3.13: Stack-up navržené DPS hardwarového akcelarátoru

Na obrázku je uvedeno jak složení DPS, tak typy použitých materiálů, jejich dielektrické konstanty a také tloušťky dielektrik a měděných vrstev. Celkový počet komponent vsazených na DPS je 839 s celkovým počtem propojů 3466. Na obrázku 3.14 je vyobrazen 3D pohled na navrženou desku hardwarového akcelarátoru s více FPGA. Schématické listy zapojení a výsledná soupiska komponent je přiložena v přílohách práce.



Obr. 3.14: 3D pohled na navrženou DPS hardwarového akceleračtoru s více FPGA

# ZÁVĚR

V diplomové práci byla nejprve představena oblast hardwarové akcelerace. Byly uvedeny tři typy obvodů nejčastěji používaných v systémech pro urychlování výpočtů, a to DSP, GPU a FPGA. U každého z těchto obvodů byla popsána architektura a byly představeny jejich výhody a nevýhody. Na základě jejich rozboru byly následně porovnávány a byly diskutovány konkrétní oblasti hardwarové akcelerace vhodné pro aplikaci daných obvodů

Dále byly prozkoumány již navržené systémy pro použití v oblasti urychlování výpočtů a jejich nabídka na trhu. U představených řešení bylo diskutováno jejich aplikační zaměření a bylo zhodnoceno jejich možné využití pro splnění cílů zadaných v této práci.

Z prvních dvou částí práce vyplynula nutnost návrhu vlastního zařízení pro hardwarovou akceleraci. Za tímto účelem byl zvolen koncept heterogenního systému urychlovače výpočtů kombinujícího výpočetní možnosti CPU a FPGA. Hlavní komponentou celého zařízení byl zvolen FPGA obvod *XC7Z020-1CLG484I* od výrobce Xilinx. Jedná se o obvod typu systém na čipu (SoC). To znamená, že tento obvod spolu s FPGA integruje procesor, čímž bylo v systému dosaženo zvolené kombinace CPU a FPGA. Výpočetní FPGA byly stejně tak zvoleny od výrobce Xilinx z rodiny Artix-7.

Na koncepčním návrhu byla představena architektura systému a také jednotlivé periferie zařízení. Následně byl podrobně popsán návrh prototypu hardwarového akcelerátoru s více FPGA. Byly předloženy veškeré potřebné výpočty nutné k realizaci uvedeného návrhu a funkcionality kritických částí byla ověřena simulacemi. Výsledkem diplomové práce je zhotovený kompletní návrh platformy pro urychlování softwarově-náročných výpočtů s více FPGA obvody a tedy splnění všech zadaných cílů.

## LITERATURA

- [1] HAJIRASSOULIHA, Amir. *Signal Processing: Image Communication: Suitability of recent hardware accelerators (DSPs, FPGAs, and GPUs) for computer vision and image processing algorithms*. Auckland, New Zealand, 2018. The University of Auckland.
- [2] SINGH, Jasvir a Davinder SHARMA. *Digital Signal Processing – Advances and Applications*. AMRITSAR, 2001.
- [3] SKOLNICK, David a Noam LEVINE. *Why use a DSP?* [AnalogDialogue [online]. c1995–2022 [cit. 2023-01-04]. Dostupné z: <https://www.analog.com/en/analog-dialogue/articles/dsp-101-part-2.html>
- [4] BRODTKORB, Andre R. a Christopher DYKEN.. *State-of-the-art in heterogeneous computing*. USA, 2010. Dostupné také z: <https://downloads.hindawi.com/journals/sp/2010/540159.pdf>
- [5] ZACH, Petr. *Návrh vývojového kitu s obvodem FPGA* [online]. Brno, 2021 [cit. 2023-01-04]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/134687>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Lukáš Fujcik.
- [6] 7 Series DSP48E1 Slice: User Guide *Xilinx* [online]. c2022 [cit. 2023-01-04]. Dostupné z: [https://docs.xilinx.com/v/u/en-US/ug479\\_7Series\\_DSP48E1](https://docs.xilinx.com/v/u/en-US/ug479_7Series_DSP48E1)
- [7] UltraScale Architecture DSP Slice: User Guide *Xilinx* [online]. c2022 [cit. 2023-01-04]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/ug579-ultrascale-dsp>
- [8] 7 Series Product Selection Guide *Xilinx* [online]. c2022 [cit. 2023-01-04]. Dostupné z: <https://www.xilinx.com/content/dam/xilinx/support/documents/selection-guides/7-series-product-selection-guide.pdf>
- [9] Accelerator Cards. *Xilinx* [online]. c2022 [cit. 2023-01-04]. Dostupné z: <https://www.xilinx.com/products/boards-and-kits/accelerator-cards.html>
- [10] VCK5000 Versal Development Card. *Xilinx* [online]. c2022 [cit. 2023-01-04]. Dostupné z: <https://www.xilinx.com/products/boards-and-kits/vck5000.html>
- [11] FPGA Products. *BittWare: a Molex company* [online]. Concord, c2023 [cit. 2023-01-04]. Dostupné z: <https://www.bittware.com/fpga/>

- [12] FPGA Boards. *Digilent [online]. United States of America, c2023 [cit. 2023-01-04]*. Dostupné z: <https://digilent.com/shop/boards-and-components/system-boards/fpga-boards/?sort=bestselling&page=1>
- [13] Zynq-7000 SoC Technical Reference Manual. *In: Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: <https://docs.xilinx.com/api/khub/documents/mCLiCqNr4H9pQnXfsImzw/content?Ft-Calling-App=ft%2Fturnkey-portal&Ft-Calling-App-Version=4.0.20&filename=ug585-Zynq-7000-TRM.pdf#page=51&zoom=100,72,88>
- [14] 7 Series FPGAs Data Sheet: Overview. *In: Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: [https://docs.xilinx.com/v/u/en-US/ds180\\_7Series\\_Overview](https://docs.xilinx.com/v/u/en-US/ds180_7Series_Overview)
- [15] Zynq-7000 SoC Product Selection Guide *Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: <https://docs.xilinx.com/v/u/en-US/zynq-7000-product-selection-guide>
- [16] AXI Chip2Chip v5.0: LogiCORE IP Product Guide. *Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: [https://www.xilinx.com/content/dam/xilinx/support/documents/ip\\_documentation/axi\\_chip2chip/v5\\_0/pg067-axi-chip2chip.pdf](https://www.xilinx.com/content/dam/xilinx/support/documents/ip_documentation/axi_chip2chip/v5_0/pg067-axi-chip2chip.pdf)
- [17] AMBA AXI and ACE Protocol Specification Version E. *Arm Developer [online]. c1995-2022 [cit. 2023-01-04]*. Dostupné z: <https://developer.arm.com/documentation/ih0022/e/>
- [18] SelectIO Interface wizard v5.1: LogiCORE IP Product Guide *Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: <https://docs.xilinx.com/v/u/en-US/pg070-selectio-wiz>
- [19] Aurora 8B/10B v11.1 LogiCORE IP Product Guide *Xilinx [online]. c2022 [cit. 2023-01-04]*. Dostupné z: <https://docs.xilinx.com/r/en-US/pg046-aurora-8b10b/Aurora-8B/10B-v11.1-LogiCORE-IP-Product-Guide>
- [20] Quad Buck Regulator Integrated Power Solution: ADP5054. *In: Analog Devices [online]. USA: One Technology Way, c2015-2019 [cit. 2023-05-12]*. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/adp5054.pdf>
- [21] Synchronous, Step-Down DC-to-DC Controller with Voltage Tracking and Synchronization: APD1853. *In: Analog Devices [online]. USA: One Technology Way, c2012-2017 [cit. 2023-05-13]*. Dostupné z: <https://www.analog.com/media/en/technical-documentation/data-sheets/APD1853.pdf>

- [22] ZHENG, Scott. *AN-1119: Printed Circuit Board Layout Guidelines for Step-Down Regulators, Optimizing for Low Noise Design with Dual Channel Switching Controllers*. In: *Analog Devices [online]*. c1995–2023 [cit. 2023-05-15]. Dostupné z: <https://wiki.analog.com/resources/app-notes/an-1119?doc=ADP1853.pdf>
- [23] CHENG, Y. Q., M. ZHU a W. GE. *Signal Integrity Simulation Design of Image Processor PCB Combined with Electromagnetic Compatibility Analyses Based on Altium Designer 6*. China, 2009. Dostupné také z: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5138304>

# SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

<b>ALU</b>	Arithmetic-logic Unit
<b>ASIC</b>	Application Specific Integrated Circuit
<b>CLB</b>	Configurable Logic Block
<b>CPU</b>	Central Processing Unit
<b>CUDA</b>	Compute Unified Device Architecture
<b>D/A</b>	Digital/Analog
<b>DDR</b>	Double Data Rate
<b>DRAM</b>	Dynamic Random Access Memory
<b>DSP</b>	Digital Signal Processor
<b>FPGA</b>	Field Programmable Gate Array
<b>GPU</b>	Graphics Processing Unit
<b>HP</b>	High Performance
<b>HR</b>	High Range
<b>I/O</b>	Input-Output
<b>I<sup>2</sup>C</b>	Inter-Integrated Circuit
<b>LUT</b>	Look-Up Table
<b>MAC</b>	Multiply-Accumulate
<b>PC</b>	Personal Computer
<b>PLL</b>	Phase Locked Lop
<b>PLU</b>	Parallel Logic Unit
<b>PTP</b>	Precision Time Protocol
<b>SATA</b>	Multi-Media Cards
<b>SDR</b>	Single Data Rate
<b>SIMD</b>	Single Instruction, Multiple Data

<b>SoC</b>	System on Chip
<b>SPI</b>	Serial Peripheral Interface
<b>SRAM</b>	Static Random Access Memory
<b>UART</b>	Universal asynchronous receiver-transmitter
<b>USB</b>	Universal Serial Bus
<b>VHDL</b>	Very High Speed Integrated Circuit Hardware Description Language

## A SOUPIS KOMPONENT

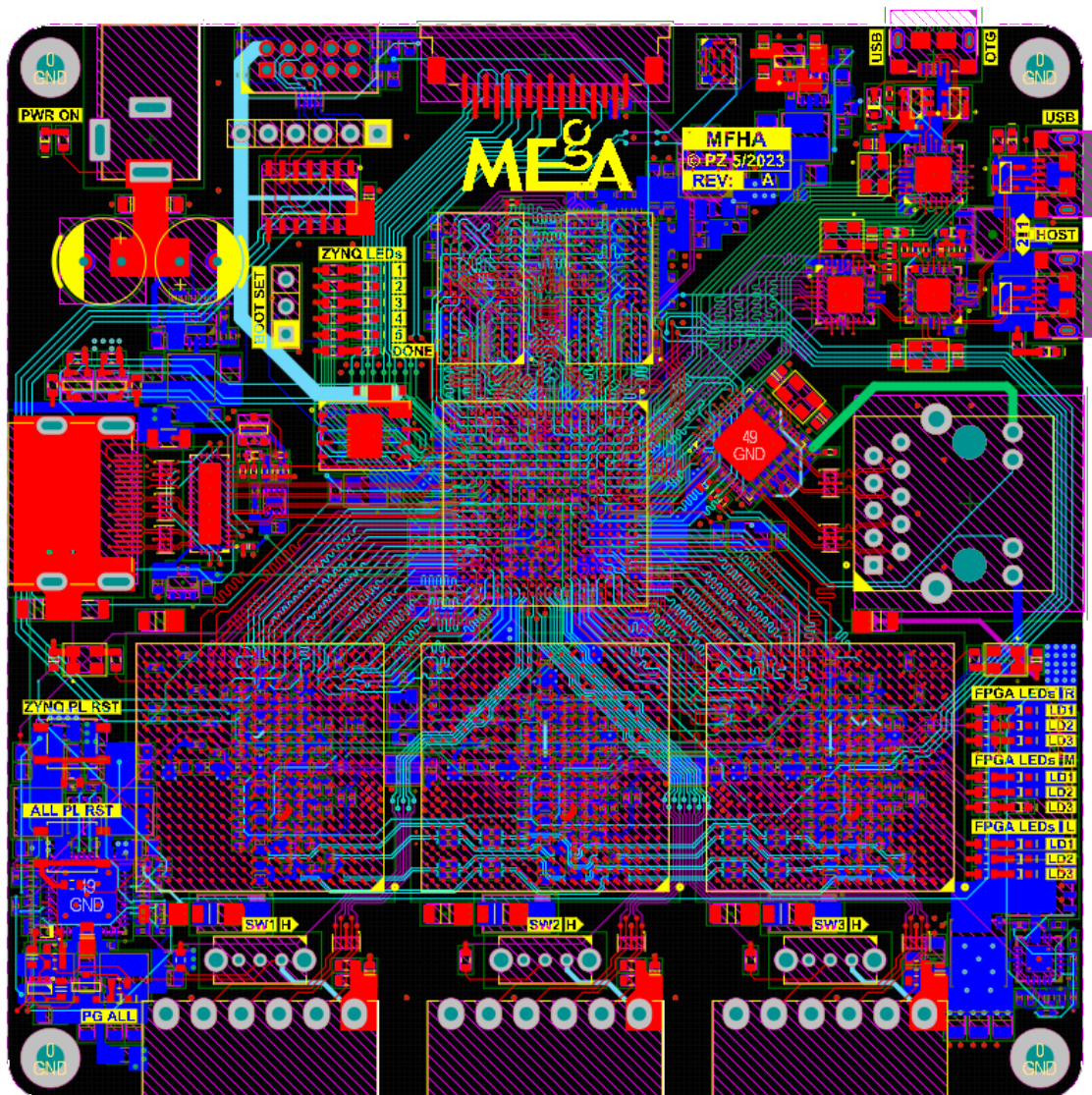
Součástka	Označení	Hodnota	Množství	Cena/ks
<b>Integrované obvody</b>				
FPGA	XC7Z020-2CLG484I	-	1	670,99 Kč
FPGA	XC7A100T-2FGG484I	-	3	954,81 Kč
RAM DDR3L	MT41K256M16TW-107	512 MB	2	159,36 Kč
FLASH paměť	W25N01GWZEIG	128 MB	1	86,64 Kč
Ethernet PHY	88E1518	-	1	477,36 Kč
USB PHY	TUSB1210	-	2	49,68 Kč
USB HUB	USB2412-DZK	-	1	60,72 Kč
USB PWR Switch	MIC2026-1	-	1	32,16 Kč
USB PWR	TPS2051	-	1	15,12 Kč
ESD ochrana	TPD4E05U06	-	1	14,88 Kč
ESD ochrana	PRTR5V0U2X,215	-	3	11,50 Kč
ESD ochrana	RCLAMP3324P	-	1	16,46 Kč
ESD ochrana	SD05C.TCT	-	1	20,09 Kč
ESD ochrana	TPD4E02B04	-	7	13,75 Kč
Multiplexor	TS3DV642	-	1	37,20 Kč
Buffer 4Ch	SN74LVC125A	-	1	9,94 Kč
Buffer 1Ch	SN74LVC1G17DCKR	-	1	6,77 Kč
PMIC	ADP5054	-	1	298,32 Kč
DCDC měnič	ADP1853	-	1	103,44 Kč
DCDC měnič	MP2315S	-	2	47,04 Kč
Napěťová reference	LT6654	-	1	182,16 Kč
Lineární regulátor	LP5907MFX-3.3	-	1	14,21 Kč
Lineární regulátor	AP2303MPTR-G1	-	1	9,48 Kč
Lineární regulátor	ADP223	-	1	46,56 Kč
MEMS Mikrofon	IMP34DT05TR	-	1	62,16 Kč
<b>Konektory, přepínače a tlačítka</b>				
Napájecí konektor	PJ-002BH	-	1	17,83 Kč
Kolíková lišta	DS1021-1X7SF162-B	-	2	0,75 Kč
HDMI konektor	DS1114-BN0 CONNFLY	-	1	21,01 Kč
USB konektor	10118193-0001LF	-	3	10,37 Kč
JTAG konektor	87831-1020	-	1	45,12 Kč
RJ-45 konektor	1-2301994-2	-	1	183,12 Kč
Konektor	68611614422	-	1	36,96 Kč
Konektor	15EDGRC-3.5-06P	-	3	11,87 Kč
Tlačítko	C174049	-	2	6,37 Kč
Přepínač	5MS1S102AM2QE	-	3	24,52 Kč

Krystaly a oscilátory				
LVDS Oscilátor	SIT9121AI-2B2-33E100.000000G	-	3	131,52 Kč
Oscilátor	SG3225CAN 33.3333M-TJGA3	-	1	54,48 Kč
Oscilátor	ECS-3225MVQ-1000-CN-TR	-	4	32,88 Kč
Oscilátor	ECS-3225Q-33-260-BS-TR	-	2	31,92 Kč
Oscilátor	TSX-3225 24.0000MF15V-C0	-	1	9,48 Kč
Oscilátor	ECS-2333-300-BN-TR	-	1	26,88 Kč
Tranzistory a diody				
MOSFET	SIR404DP	-	1	45,36 Kč
MOSFET	FDV301N	-	4	1,52 Kč
MOSFET	DMT3020LDV-7	-	1	12,86 Kč
MOSFET	BSC052N03LS	-	1	24,48 Kč
Dioda	BAS16XV2T1G	-	1	4,51 Kč
Usměrňovací dioda	RB751V40,115	-	1	4,73 Kč
LED zelená	FYLS-0603UGC(G)	-	21	0,15 Kč
Cívky				
Cívka	XAL4020-222	2,2uH	2	53,28 Kč
Cívka	XAL4020-152	1,5uH	1	53,04 Kč
Cívka	XAL4030-332	3,3uH	2	54,72 Kč
Cívka	XAL4040-822	8,2uH	1	56,88 Kč
Cívka	XAL7070-301	300nH	1	93,60 Kč
Feritová perlička	MPZ1608S101ATAH0	-	5	1,32 Kč
Feritová perlička	BMC1EY0240AN	-	9	1,85 Kč
Kondenzátory				
Kondenzátor 0402	CC0402KPX7R9BB102	1nF	1	0,21 Kč
Kondenzátor 0402	JMK105BJ225KV-F	2,2uF	130	0,66 Kč
Kondenzátor 0402	885012205028	3,3nF	3	0,28 Kč
Kondenzátor 0402	885012205065	4,7nF	1	0,28 Kč
Kondenzátor 0402	GRM155R71C103MA01D	10nF	7	0,24 Kč
Kondenzátor 0402	GRM155R71C223JA01D	22nF	1	0,31 Kč
Kondenzátor 0402	885012005042	22pF	1	0,33 Kč
Kondenzátor 0402	04026D104KAT2A	100nF	228	0,21 Kč
Kondenzátor 0402	885012205038	100pF	1	0,28 Kč
Kondenzátor 0603	CL10A225KP8NNNC	1uF	5	0,68 Kč
Kondenzátor 0603	CL10A475KQ8NNND	4,7uF	3	0,88 Kč
Kondenzátor 0603	0603N8R0D500CT	8pF	2	0,52 Kč
Kondenzátor 0603	06035C103KAT2A	10nF	1	0,38 Kč
Kondenzátor 0603	CL10A106KQ8NNNC	10uF	65	0,91 Kč
Kondenzátor 0603	C0603C180K4HACTU	18pF	2	0,45 Kč

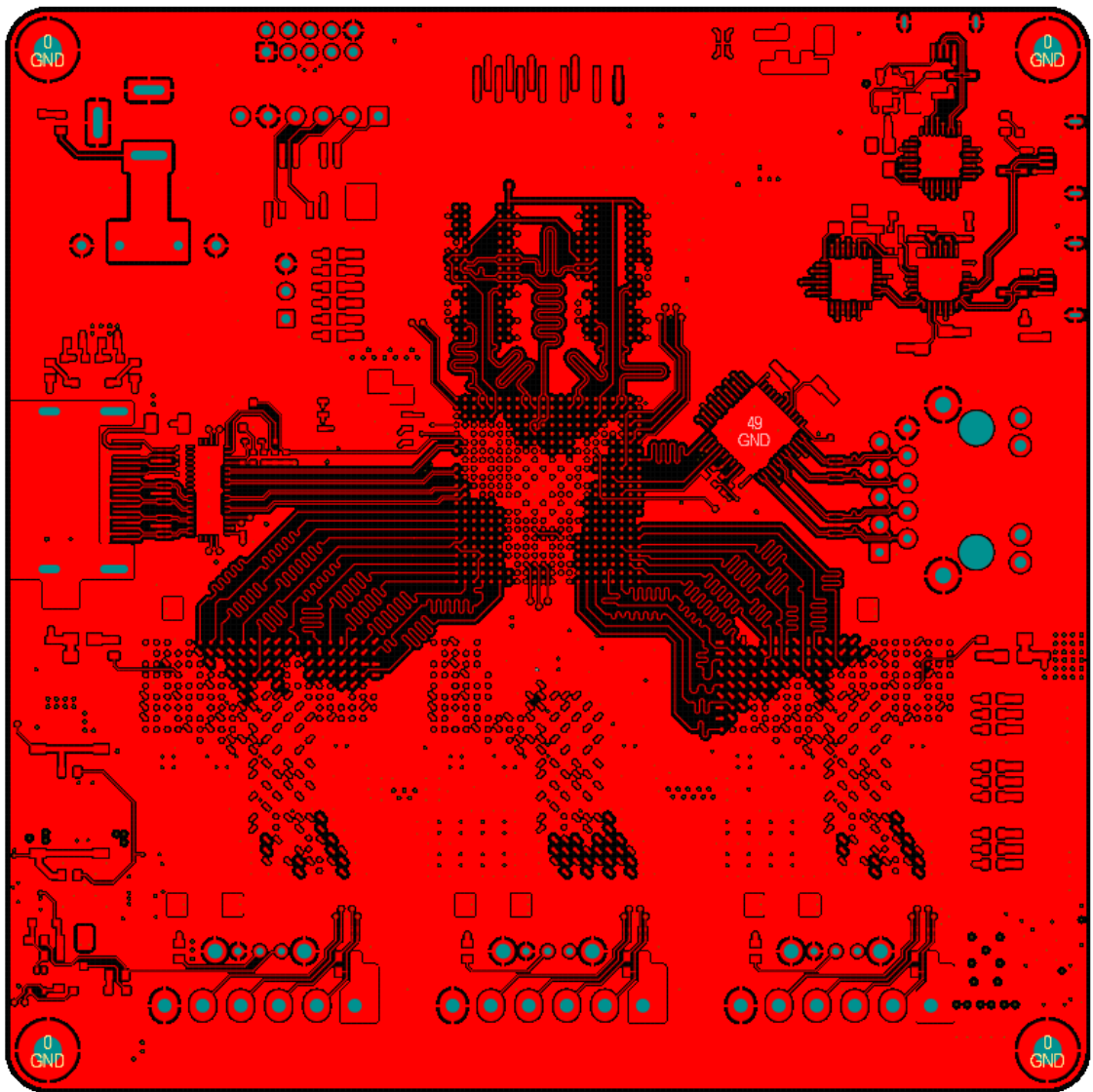
Kondenzátor 0603	C0603C104Z4VACTU	100nF	11	0,24 Kč
Kondenzátor 0805	CL21A226MOQNNNE	22uF/16V	9	2,88 Kč
Kondenzátor 0805	CL21A476MQYNNNG	47uF/6,3V	13	5,15 Kč
Kondenzátor 1206	EMK316BBJ476ML-T	47uF/16V	4	13,31 Kč
Kondenzátor 1206	885342208004	100nF/250V	1	4,06 Kč
Kondenzátor 1206	GRM31CR60J227ME11L	220uF	2	25,92 Kč
Kondenzátor 1206	CL31A107MQHNNWE	100uF/6,3V	25	7,73 Kč
Kondenzátor case C	TAJC337K004RNJ	330uF	4	22,85 Kč
Kondenzátor case C	293D107X0010C2TE3	100uF/6,3V	2	15,58 Kč
Kondenzátor	A750KS567M1CAAE013	330uF/16V	2	17,59 Kč
<b>Rezistory</b>				
Rezistor 0402	WR04X000 PTL	0R	4	0,19 Kč
Rezistor 0402	RC0402FR-071KL	1k	2	0,11 Kč
Rezistor 0402	CRCW04023K90FKEDC	3k9	1	0,71 Kč
Rezistor 0402	RC0402FR-074K7L	4k7	5	0,26 Kč
Rezistor 0402	RC0402FR-074K99L	4k99 1%	1	0,36 Kč
Rezistor 0402	RC0402FR-075K9L	5k9	1	0,26 Kč
Rezistor 0402	CRCW04027K50FKEDC	7k5	1	0,71 Kč
Rezistor 0402	RC0402FR-078K66L	8k6	1	0,36 Kč
Rezistor 0402	CR0402-FX-8061GLF	8k06	1	0,21 Kč
Rezistor 0402	RC0402FR-0710KL	10k	30	0,31 Kč
Rezistor 0402	RMC10K100FTH	10R	2	0,38 Kč
Rezistor 0402	RMC10K123FTH	12k	2	0,38 Kč
Rezistor 0402	RC0402FR-0714KL	14k	1	0,26 Kč
Rezistor 0402	RC0402FR-1015KL	15k	1	0,26 Kč
Rezistor 0402	RC0402FR-0716K9L	16k9	1	0,31 Kč
Rezistor 0402	RC0402FR-7D20KL	20k	7	0,26 Kč
Rezistor 0402	RC0402FR-0720K5L	20k5	1	0,31 Kč
Rezistor 0402	RC0402FR-0721K5L	21k5	1	0,26 Kč
Rezistor 0402	AC0402FR-7W22KL	22k	2	0,47 Kč
Rezistor 0402	RC0402FR-0723K7L	23k7	2	0,31 Kč
Rezistor 0402	RC0402JR-0724KL	24k	2	0,21 Kč
Rezistor 0402	RC0402FR-0725K5L	25k5	1	0,26 Kč
Rezistor 0402	CRCW040227K0FKEDC	27k	1	0,71 Kč
Rezistor 0402	RC0402FR-0727RL	27R	3	0,31 Kč
Rezistor 0402	WR04X2872FTL	28k7	1	0,24 Kč
Rezistor 0402	RC0402FR-1330KL	30k	1	0,26 Kč
Rezistor 0402	RC0402FR-0731K6L	31k6	1	0,26 Kč
Rezistor 0402	WR04X3902FTL	39k	1	0,24 Kč

Rezistor 0402	CR0402-FX-4022GLF	40k2	1	0,37 Kč
Rezistor 0402	RC0402FR-0740R2L	40R2	24	0,14 Kč
Rezistor 0402	RMC1/16S-473JTH	47k	1	0,38 Kč
Rezistor 0402	CR0402-FX-49R9GLF	49R9	8	0,19 Kč
Rezistor 0402	RC0402FR-1368KL	68k	1	0,38 Kč
Rezistor 0402	RMC1/16S-680JTH	68R	1	0,26 Kč
Rezistor 0402	RC0402FR-0775KL	75k	1	0,31 Kč
Rezistor 0402	RC0402FR-0780R6L	80R6	3	0,26 Kč
Rezistor 0402	RMC1/16S-104JTH	100k	4	0,38 Kč
Rezistor 0402	RC0402FR-07100RL	100R 0,1%	3	0,31 Kč
Rezistor 0402	CR0402-FX-1103GLF	110k	1	0,26 Kč
Rezistor 0402	RC0402FR-07140RL	140R	1	0,26 Kč
Rezistor 0402	RC0402FR-07240RL	240R	7	0,31 Kč
Rezistor 0402	RC0402JR-13330RL	330R	1	0,33 Kč
Rezistor 0603	RMCF0603FG1K00	1k	20	0,14 Kč
Rezistor 0603	RMC1/16K1501FTP	1k5	2	0,30 Kč
Rezistor 0603	AC0603FR-104K7L	4k7	8	0,50 Kč
Rezistor 0603	RC0603FR-0710KL	10k	10	0,39 Kč
Rezistor 0603	WR06X100 JTL	10R	1	0,24 Kč
Rezistor 0603	0603SAF1502T5E	15k	2	0,32 Kč
Rezistor 0603	RC0603JR-0720KL	20k	1	0,31 Kč
Rezistor 0603	RC0603JR-0727RL	27R	5	0,14 Kč
Rezistor 0603	AC0603FR-10100RL	100R	1	0,50 Kč
Rezistor 0603	AC0603FR-10330RL	330R	1	0,18 Kč
Rezistor 0805	WR08X000 PTL	0R	7	0,26 Kč
Rezistor 1206	RMC1/16-105JTP	1M	1	0,31 Kč
<b>Ostatní</b>				
DPS	MFHA	-	1	550,00 Kč
Celková cena vývojové desky hardwarového akcelérátoru				8 718,66 Kč

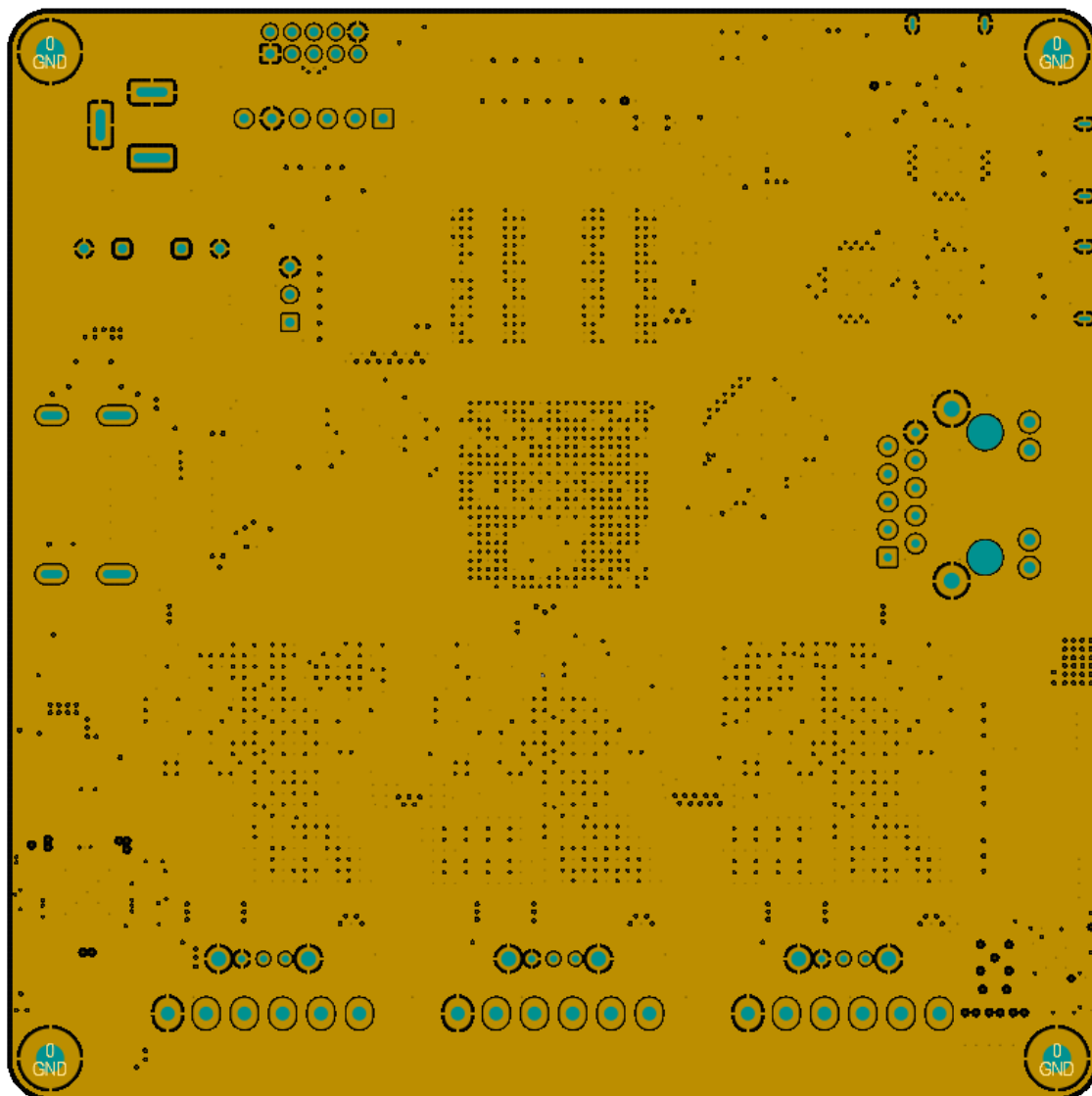
## **B DESKA HARDWAROVÉHO AKCELERÁTORU S VÍCE FPGA**



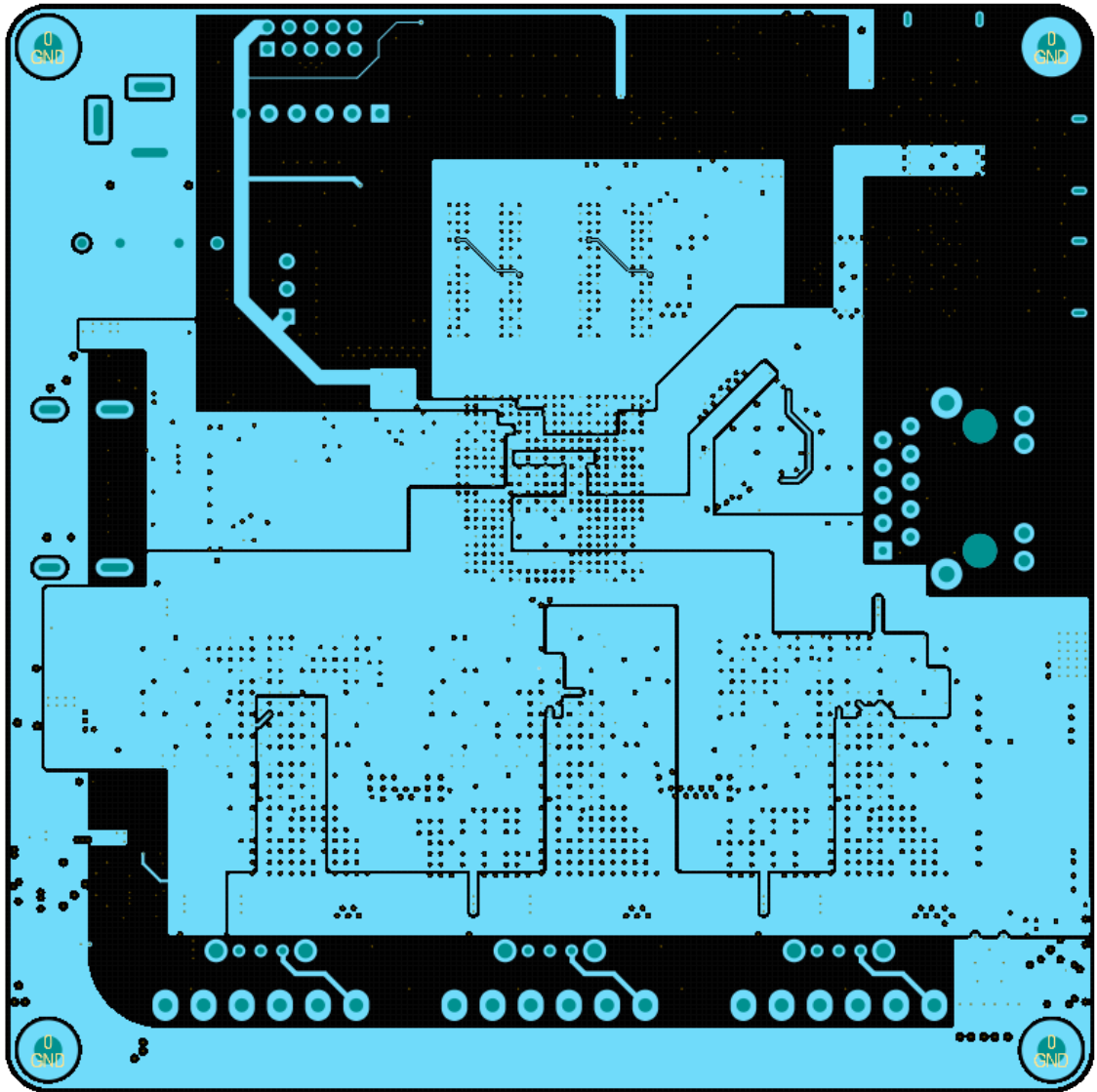
Obr. B.1: Pohled na všechny vrstvy desky hardwarového akcelarátoru



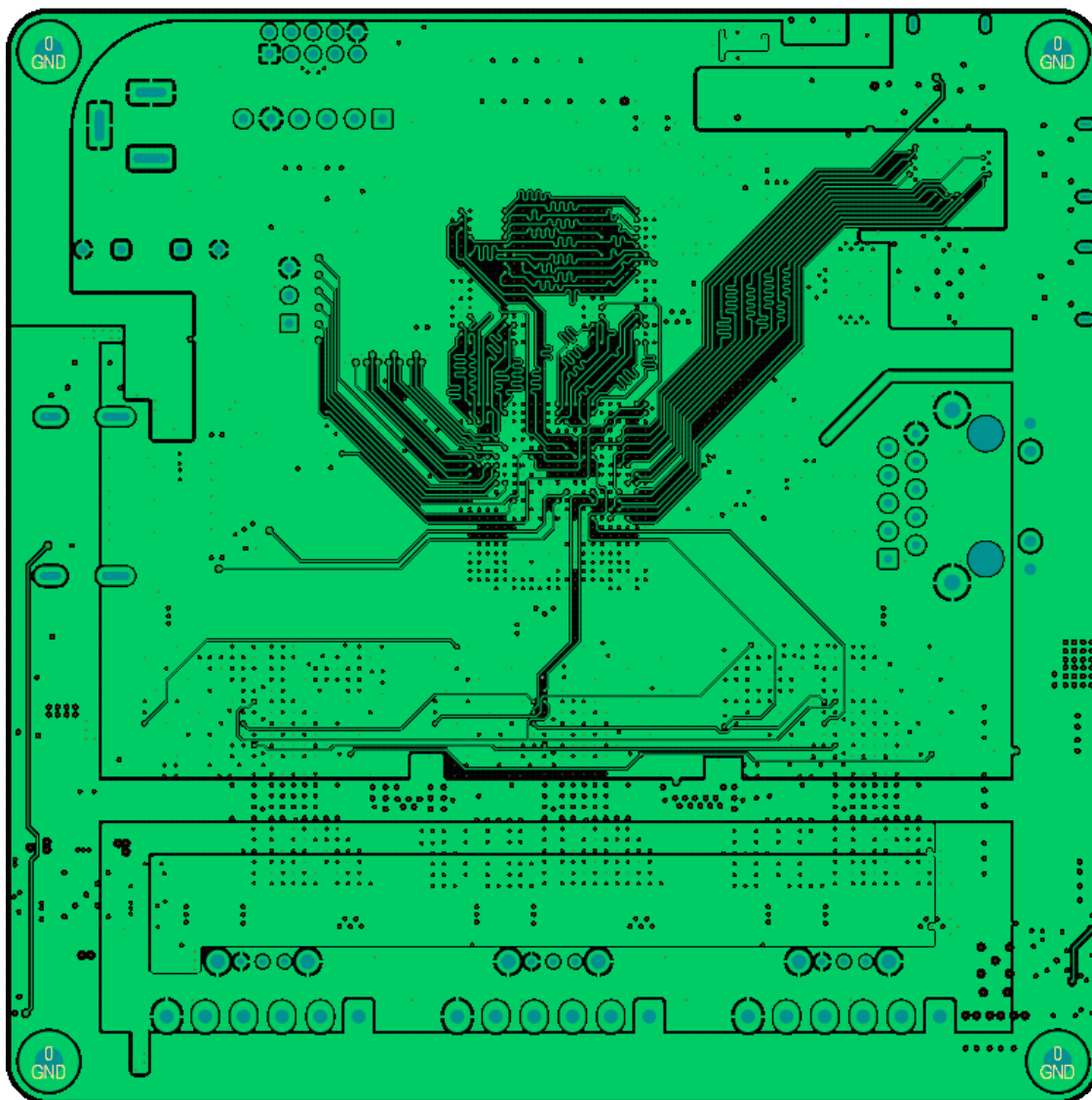
Obr. B.2: Pohled na vrstvu TOP desky hardwarového akcelarátoru



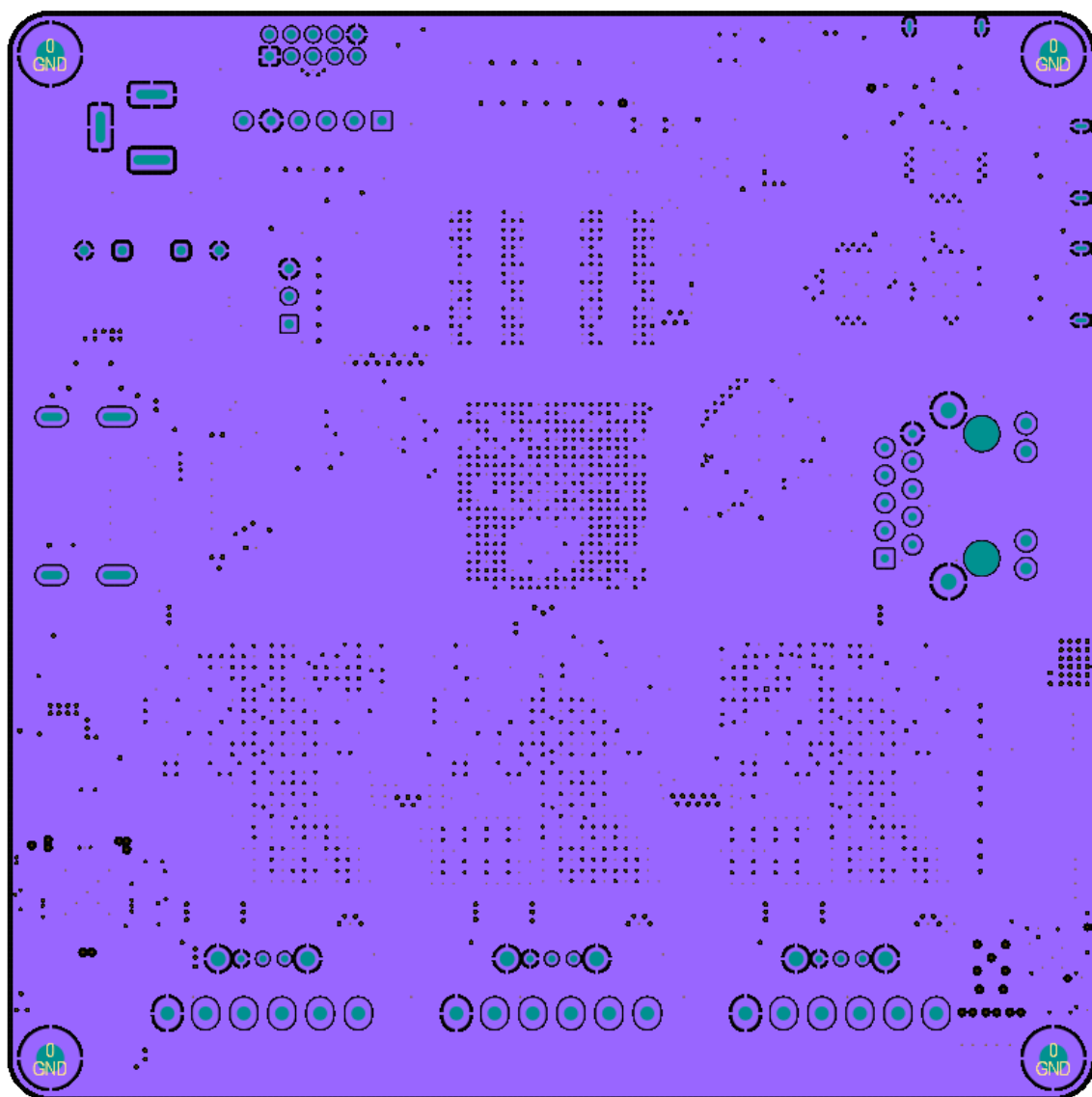
Obr. B.3: Pohled na vrstvu L2 desky hardwarového akcelerátoru



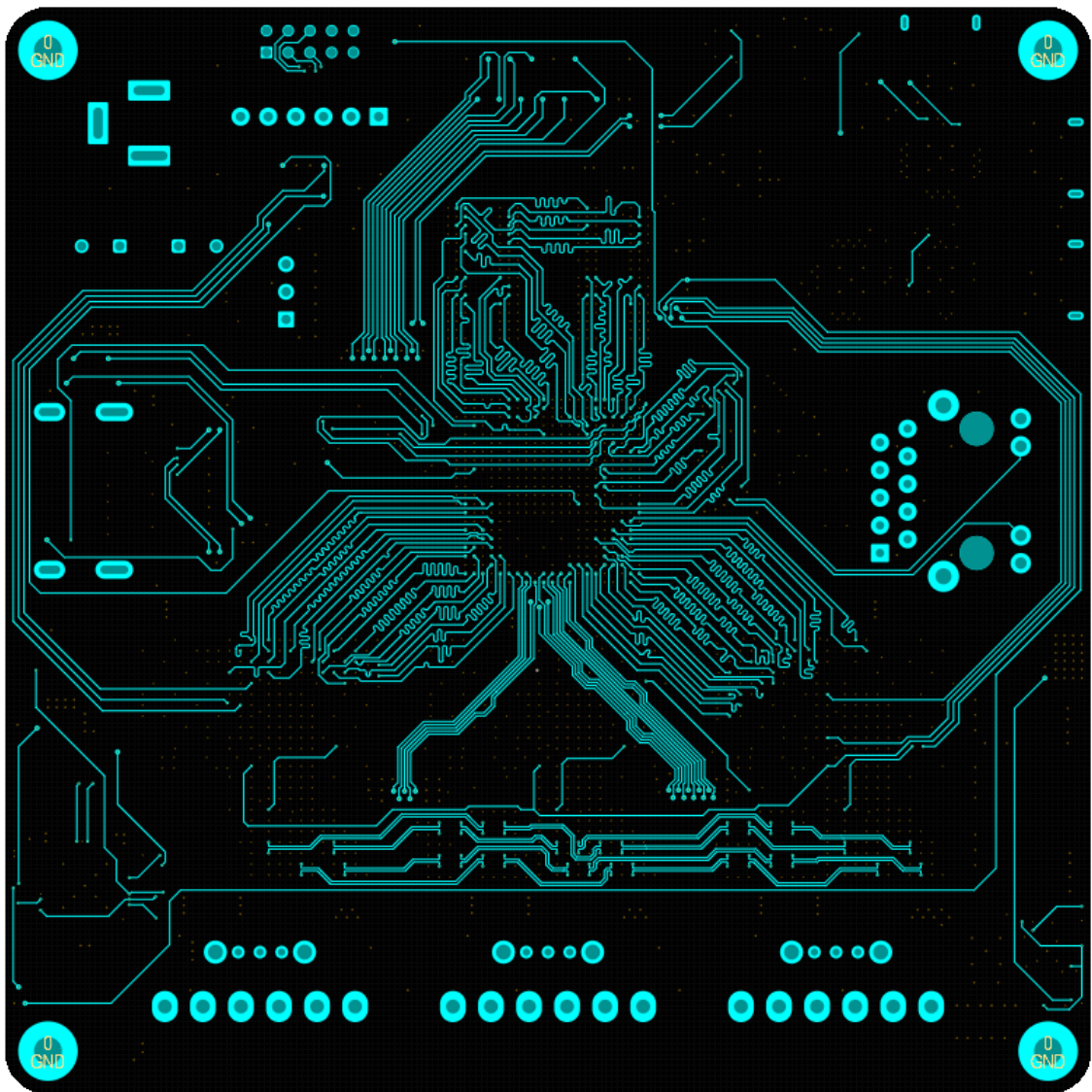
Obr. B.4: Pohled na vrstvu L3 desky hardwarového akcelerátoru



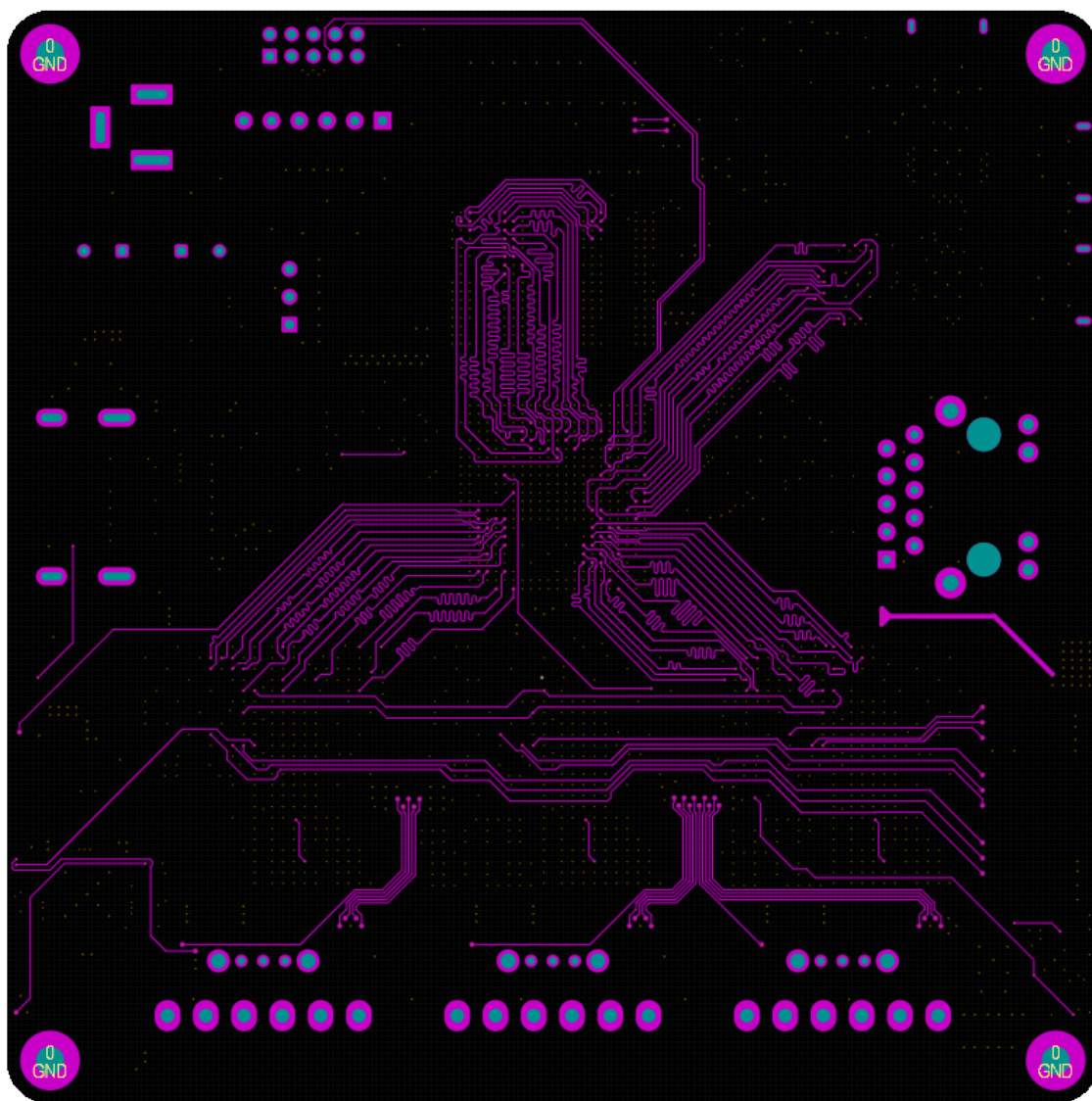
Obr. B.5: Pohled na vrstvu L4 desky hardwarového akcelerátoru



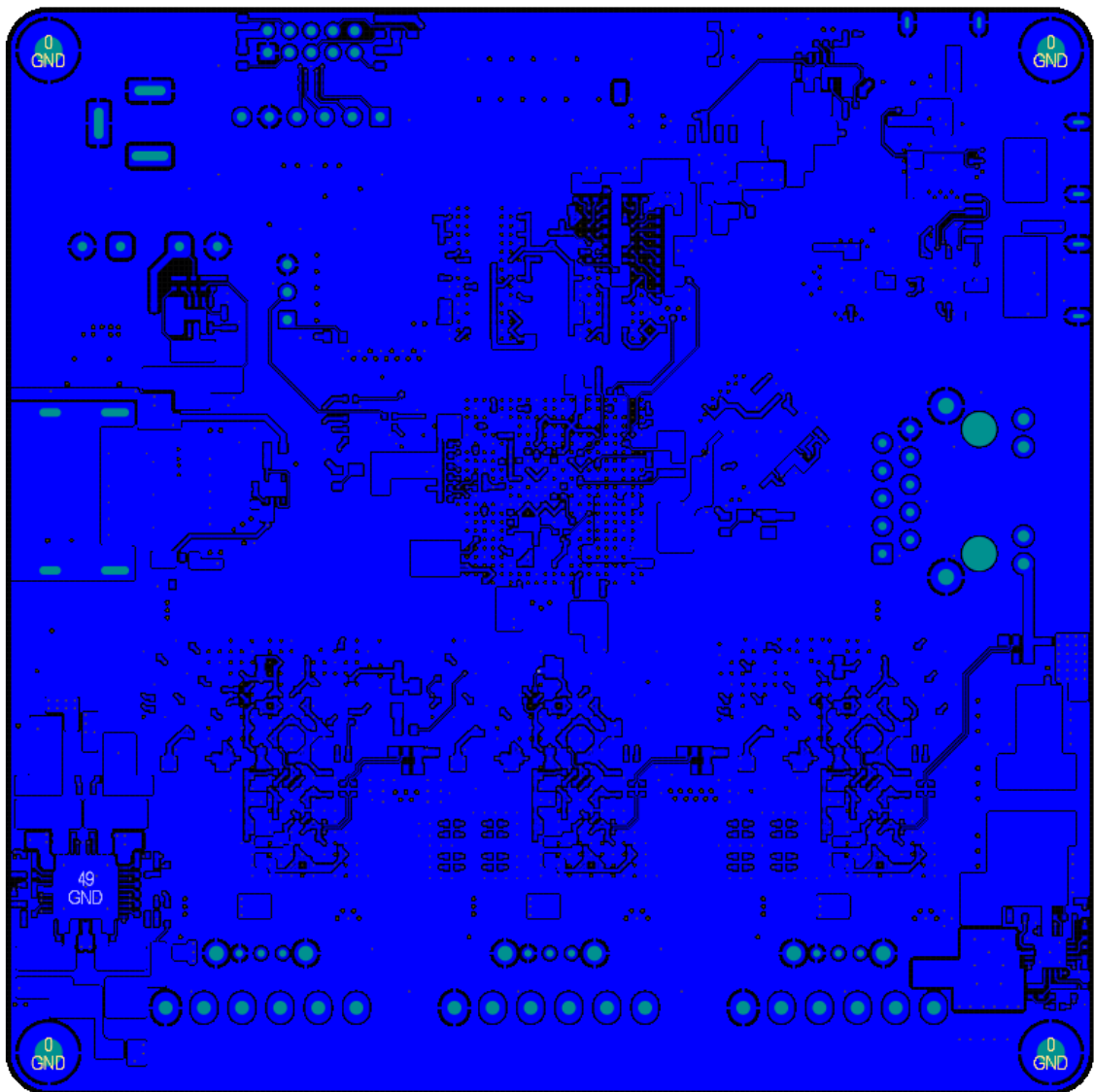
Obr. B.6: Pohled na vrstvu L5 desky hardwarového akcelerátoru



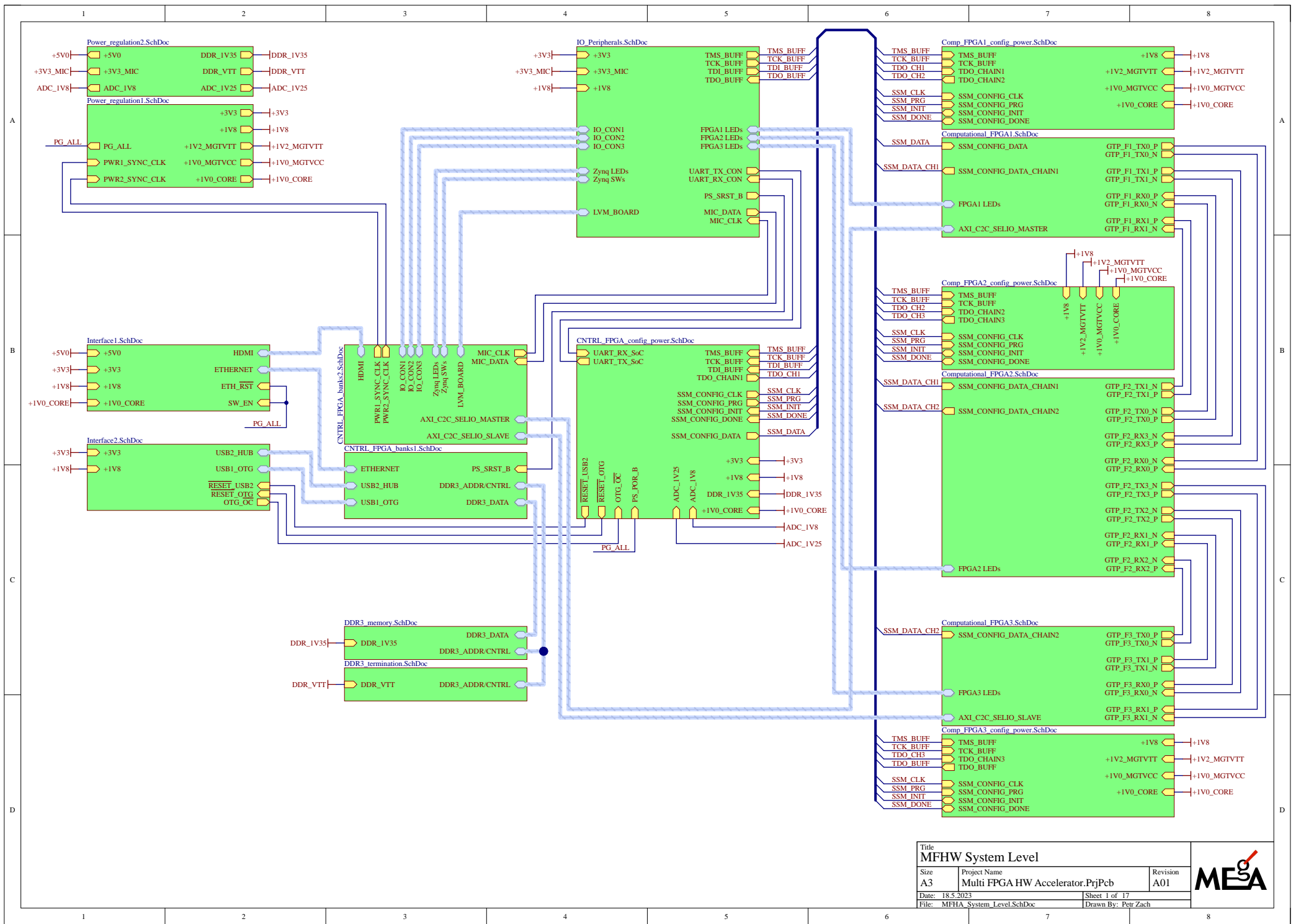
Obr. B.7: Pohled na vrstvu L6 desky hardwarového akcelerátoru



Obr. B.8: Pohled na vrstvu L7 desky hardwarového akcelerátoru



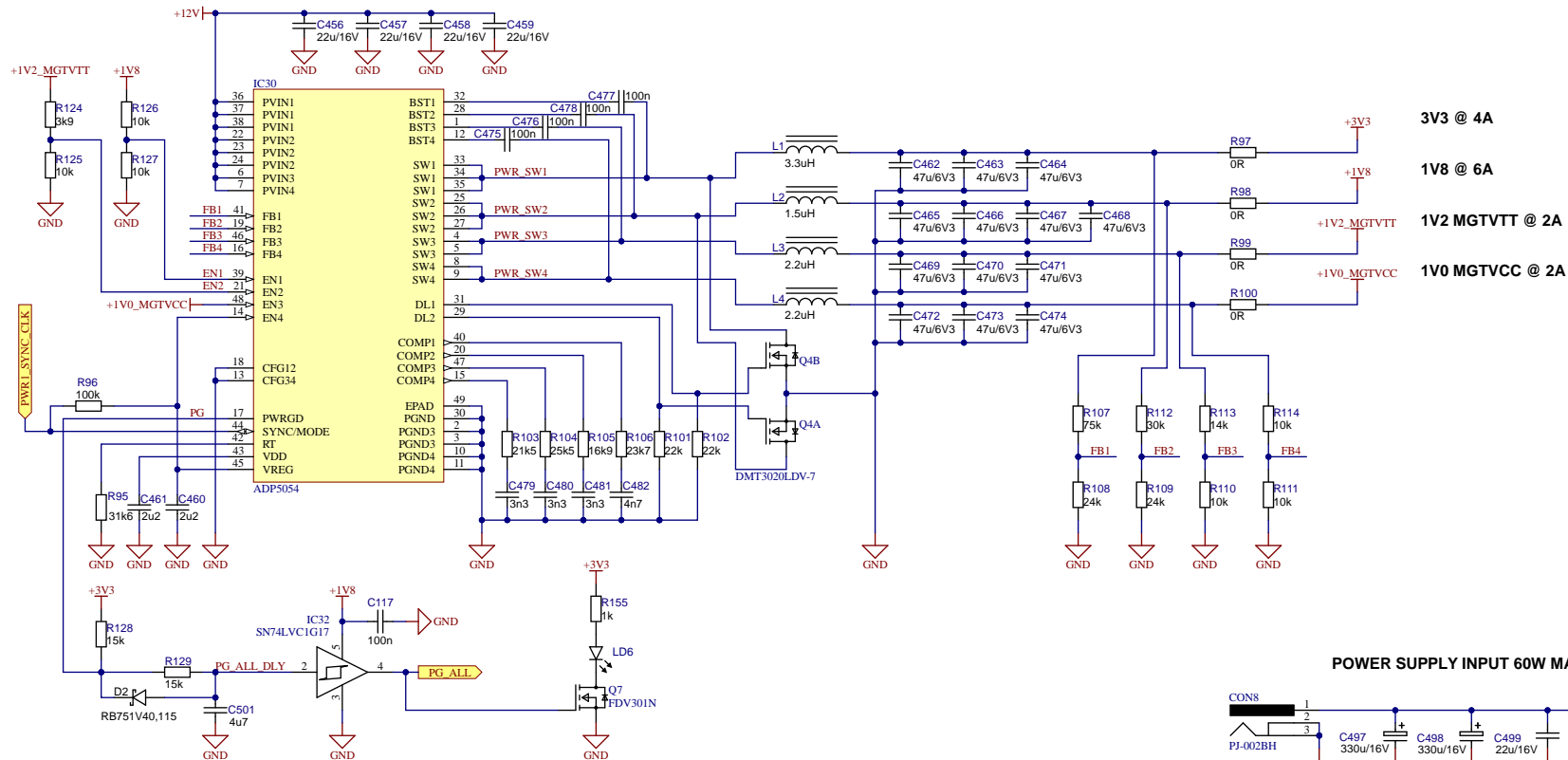
Obr. B.9: Pohled na vrstvu BOT desky hardwarového akcelerátoru



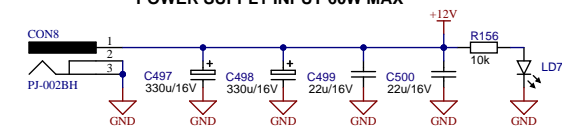
Title MFHW System Level		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 1 of 17	
File: MFHA_System_Level.SchDoc	Drawn By: Petr Zach	



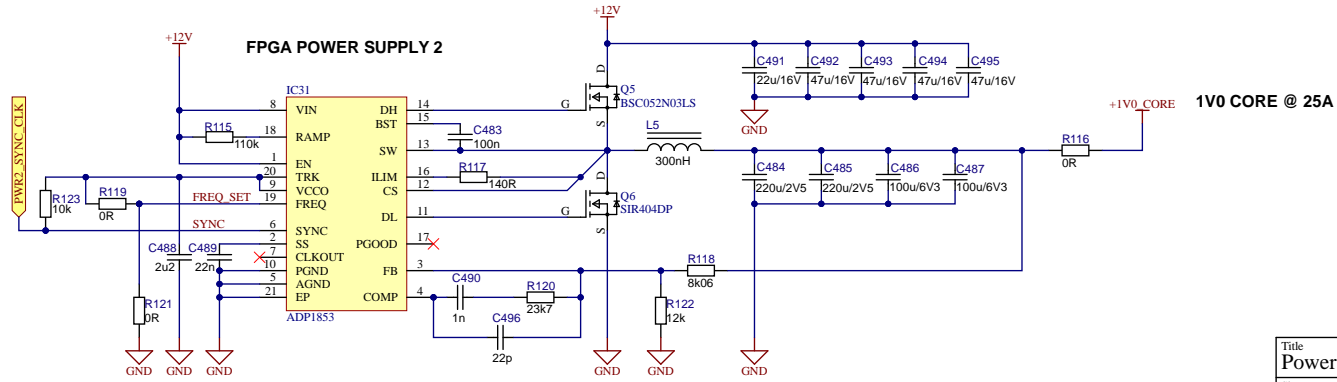
**FPGA POWER SUPPLY 1**



**POWER SUPPLY INPUT 60W MAX**



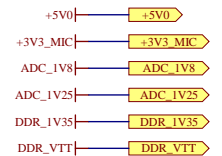
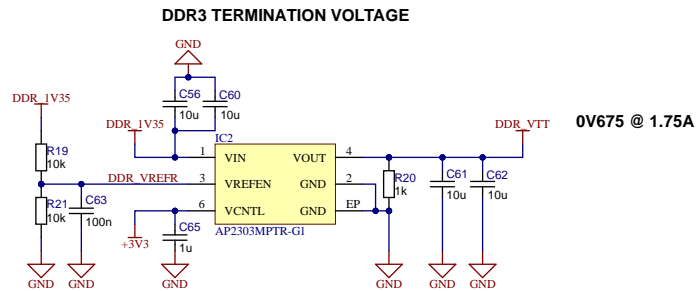
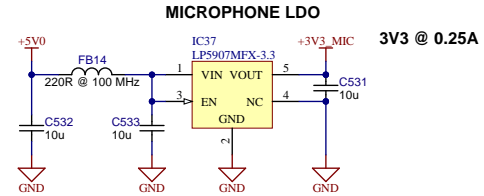
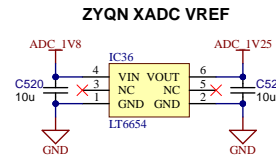
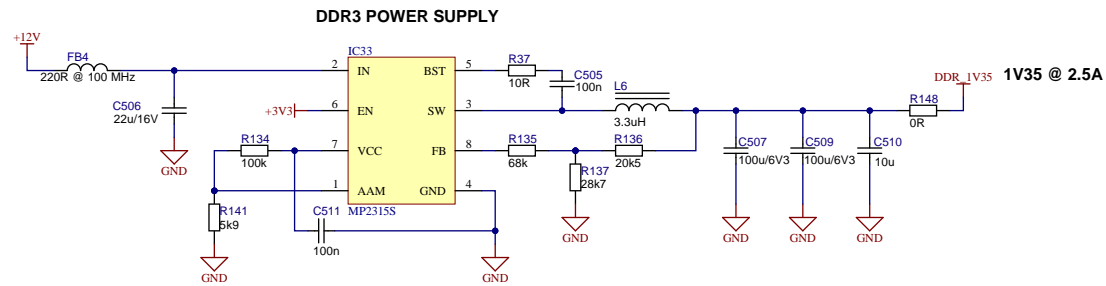
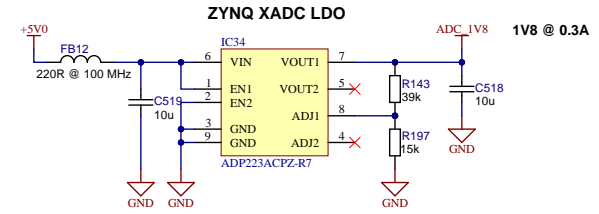
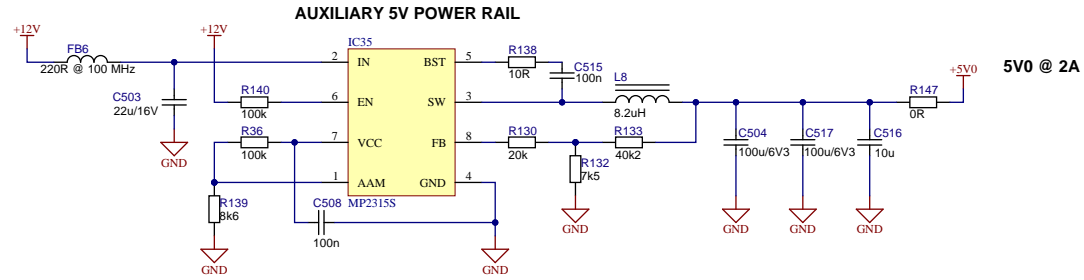
**FPGA POWER SUPPLY 2**



- +3V3
- +1V8
- +1V2\_MGTVTT
- +1V0\_MGTVCC
- +1V0\_CORE

Title <b>Power Regulation 1</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 2 of 17	
File: Power_regulation1.SchDoc	Drawn By: Petr Zach	





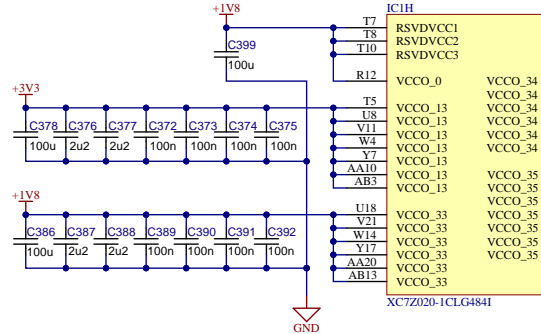
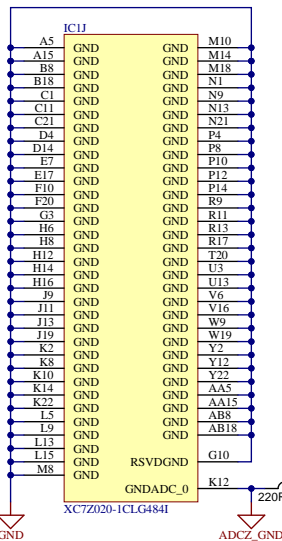
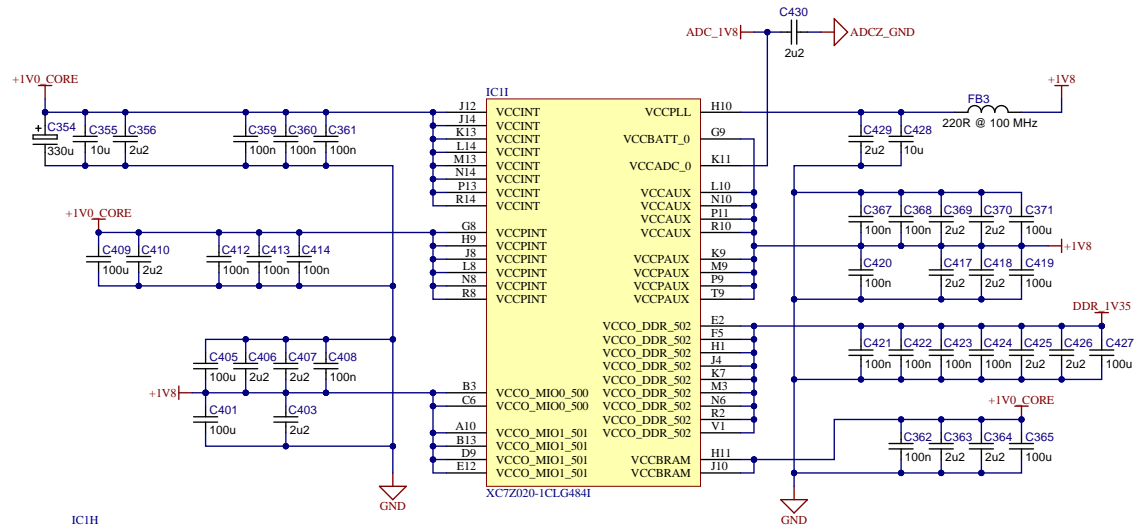
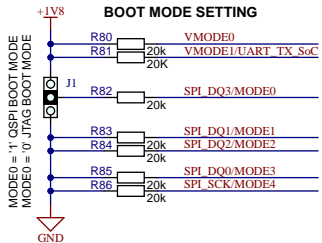
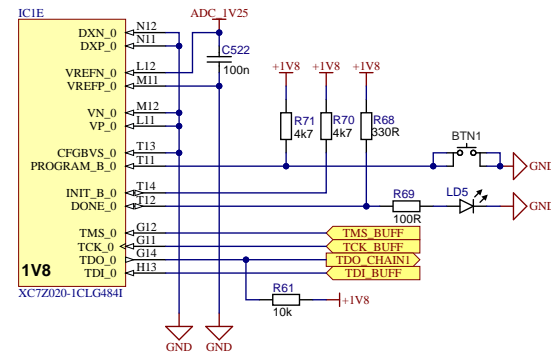
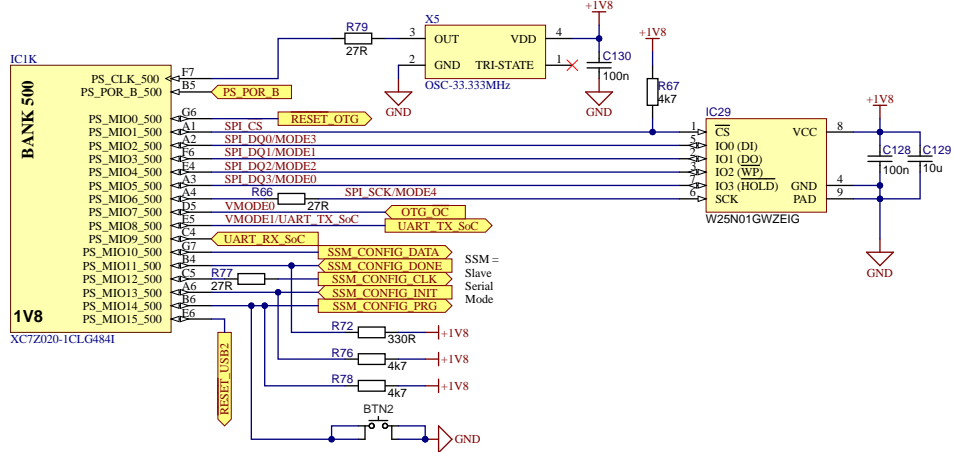
Title <b>Power Regulation 2</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 3 of 17	
File: Power_regulation2.SchDoc	Drawn By: Petr Zach	





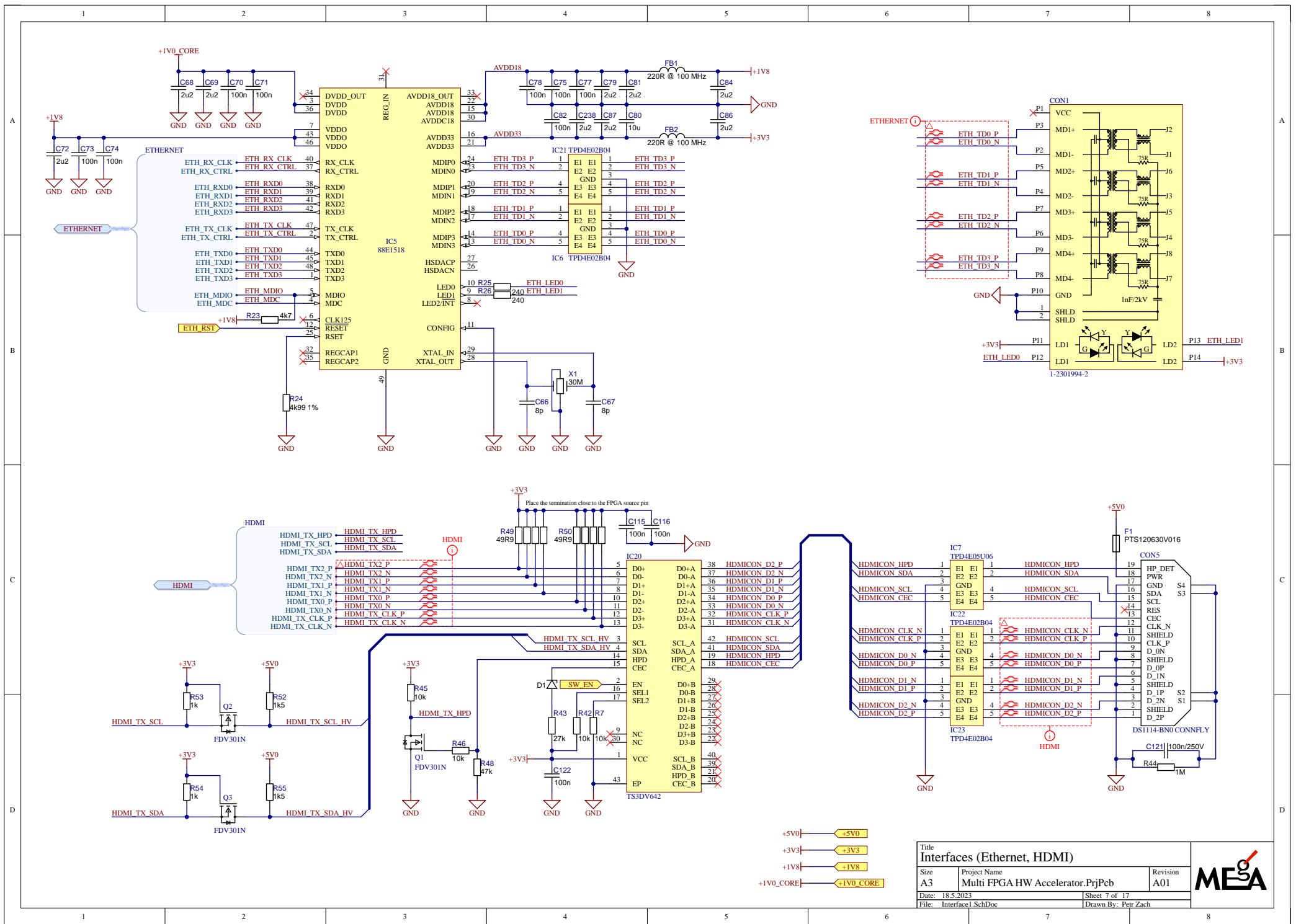


OSCILLATOR 33.333MHz

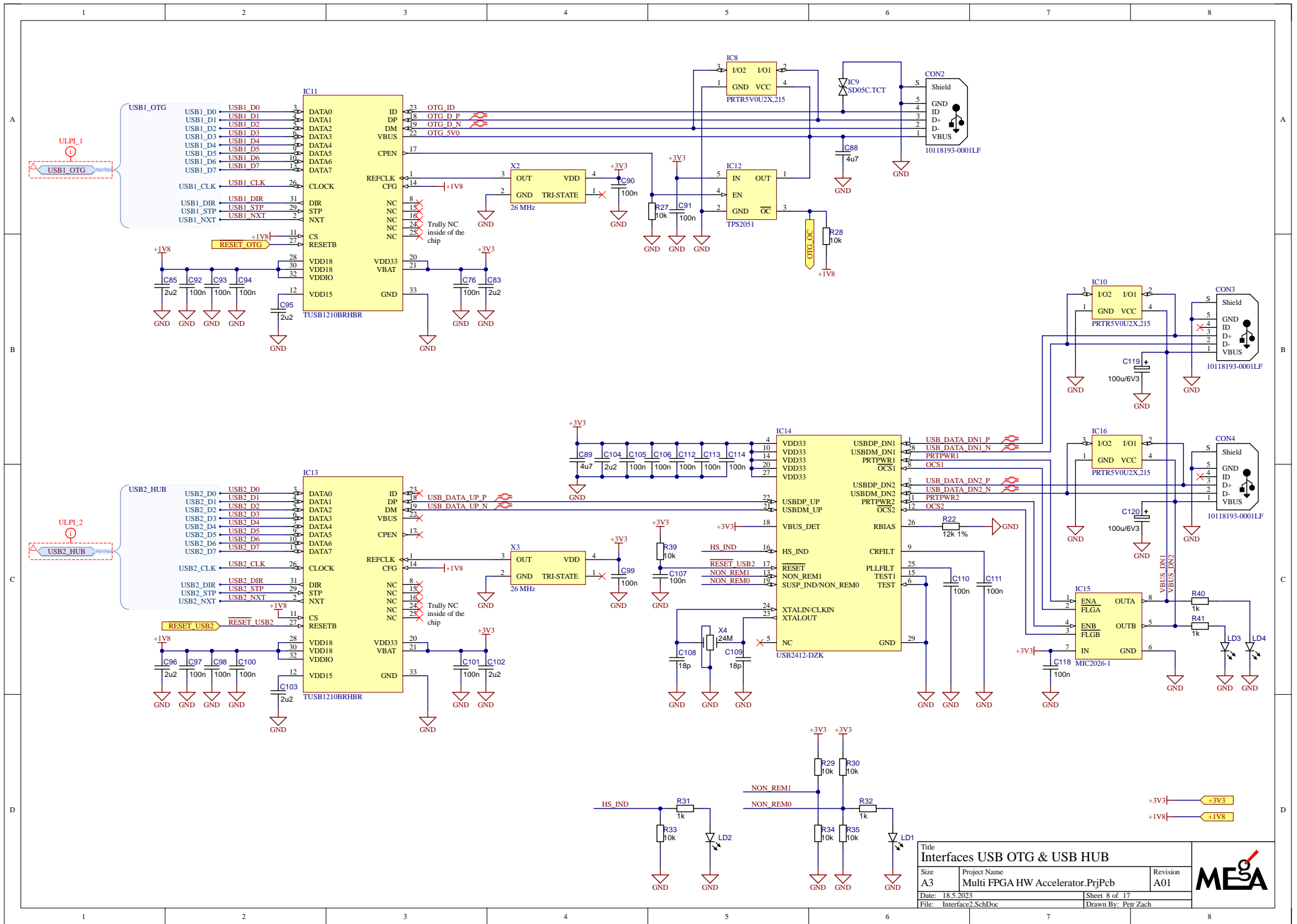


Title Control FPGA Config & Power		
Size A3	Project Name Multi FPGA HW Accelerator.PrfPcb	Revision A01
Date: 18.5.2023	Sheet 6 of 17	Drawn By: Petr Zach
File: CNTRL_FPGA_config_power.SchDoc		



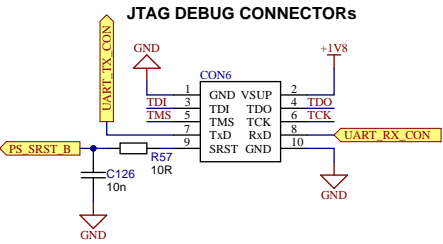
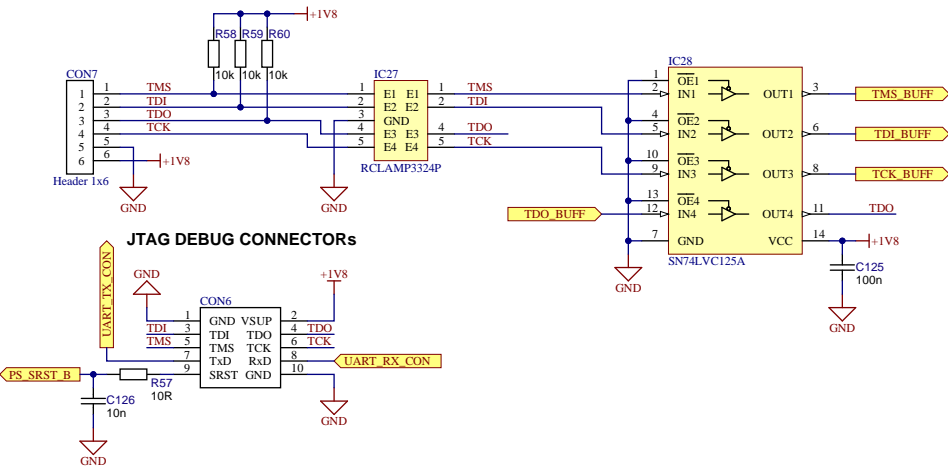


Title			<b>MEGA</b>
Interfaces (Ethernet, HDMI)			
Size	Project Name	Revision	
A3	Multi FPGA HW Accelerator.PrfPcb	A01	
Date: 18.5.2023	Sheet 7 of 17	Drawn By: Petr Zach	
File: Interface1.SchDoc			

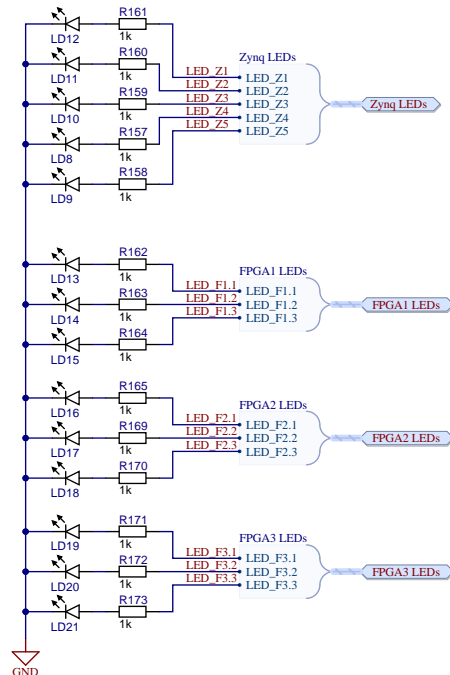
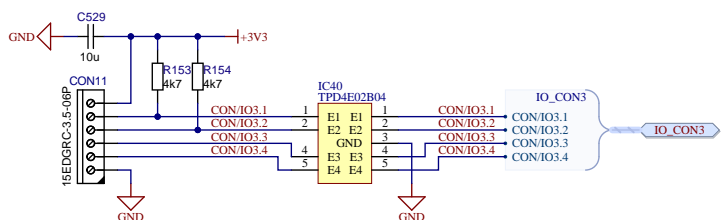
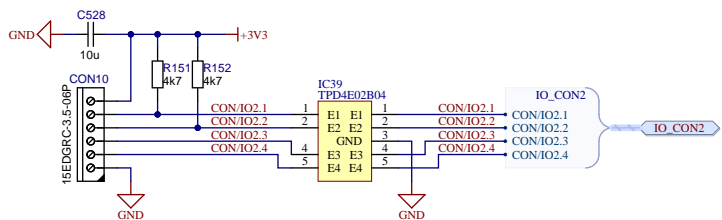
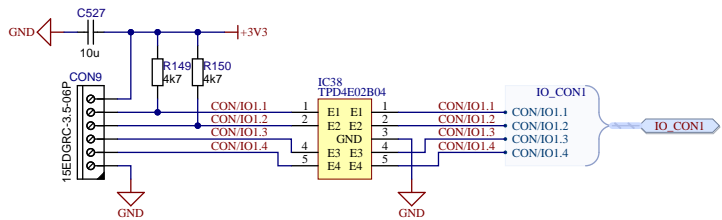


Title <b>Interfaces USB OTG &amp; USB HUB</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 8 of 17	
File: Interface2.SchDoc	Drawn By: Petr Zach	

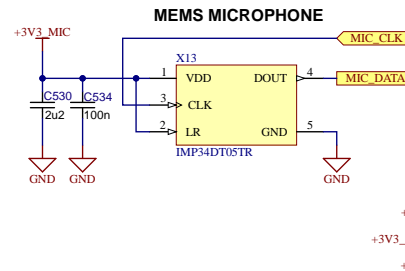
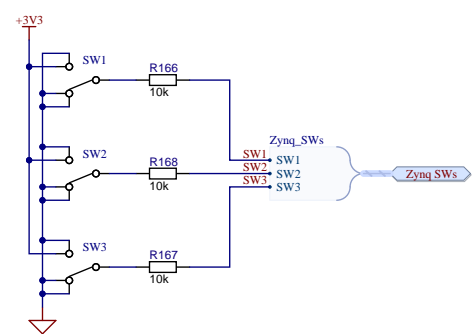
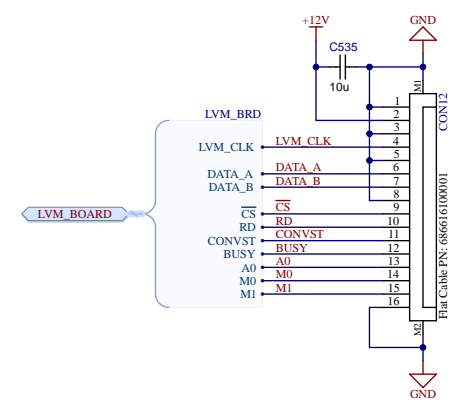




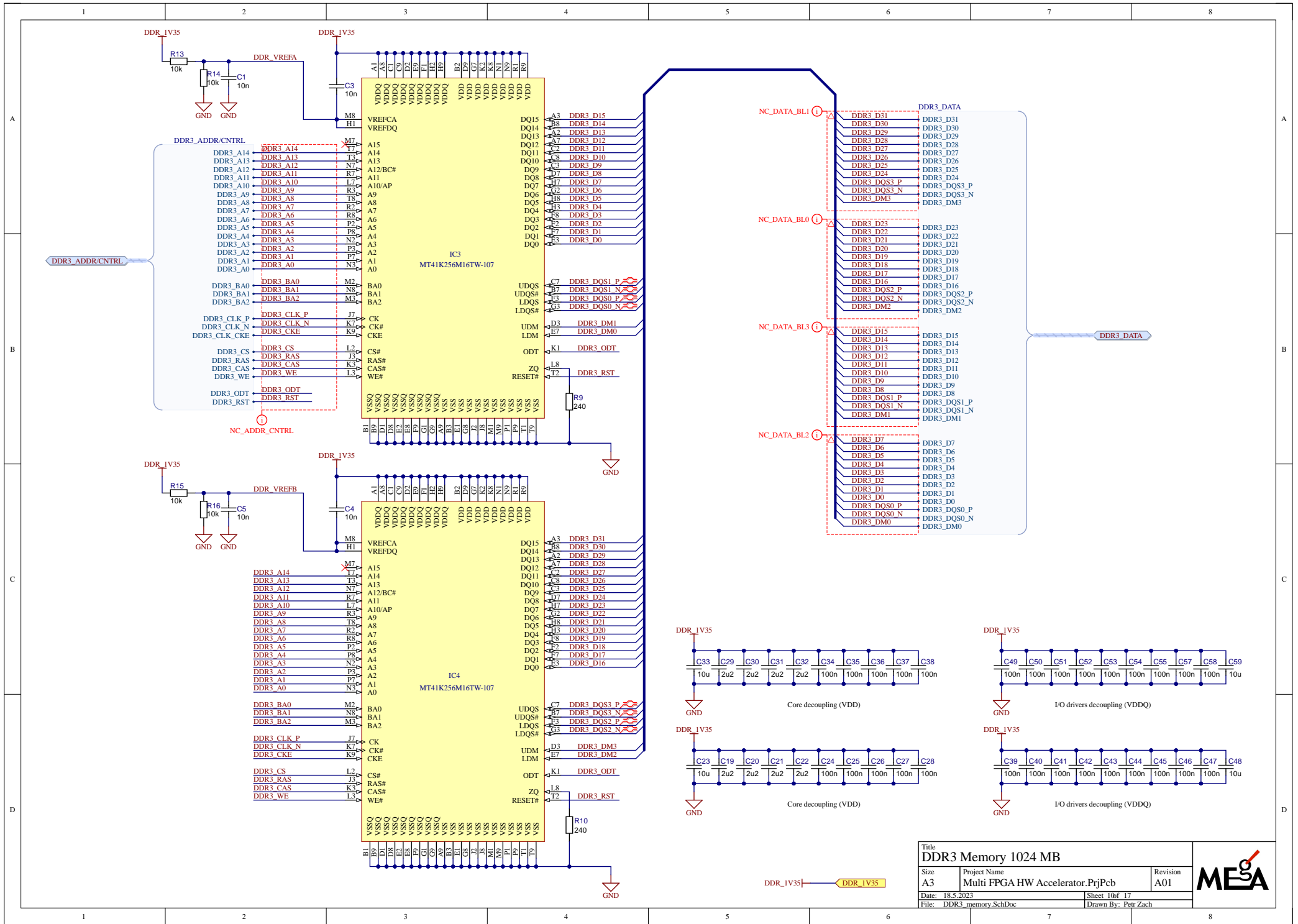
**GENERAL PURPOSE I/O CONNECTORS**



**EXTERNAL LVM BOARD CONNECTION**

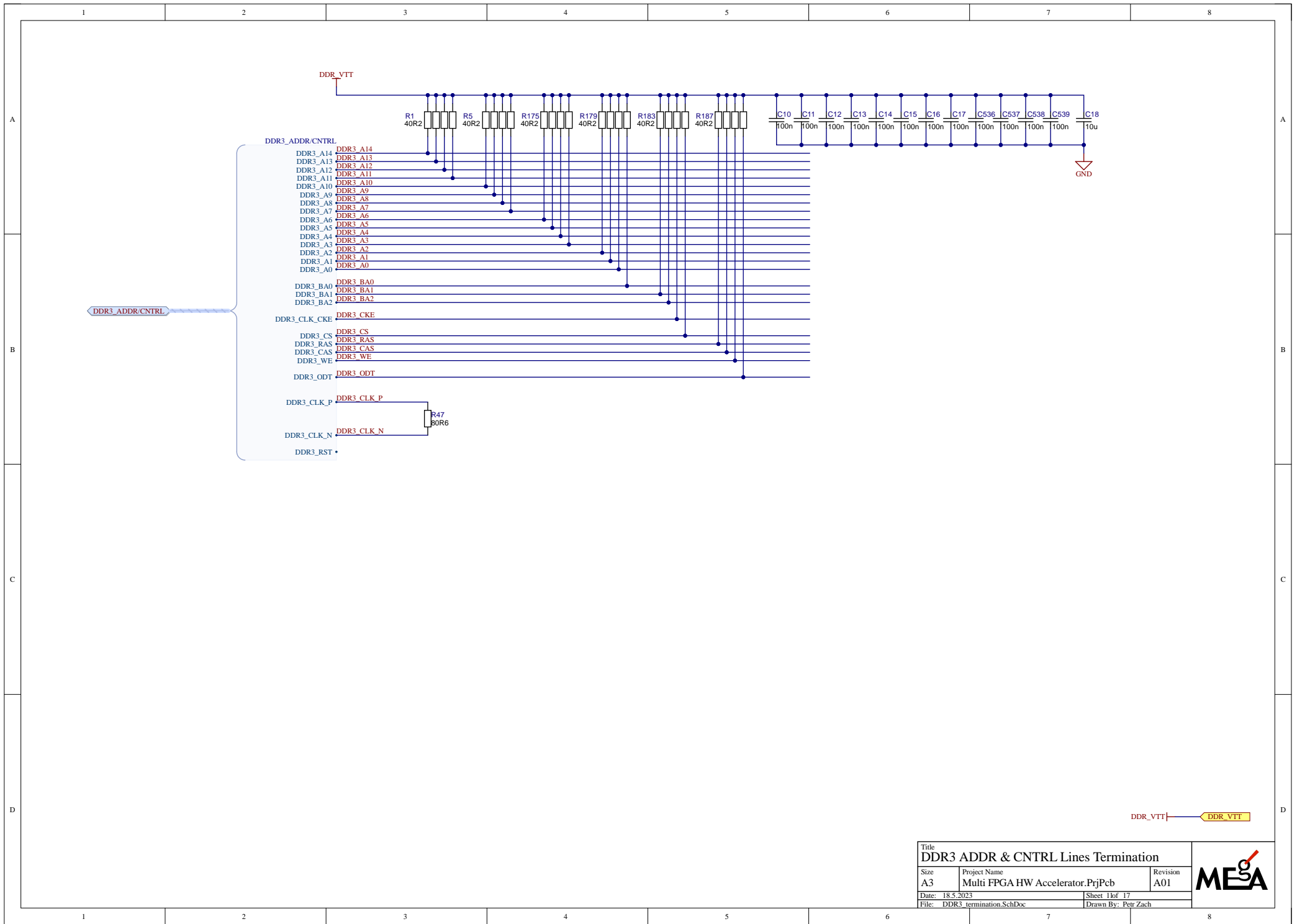


Title <b>I/O Peripherals</b>			
Size A3	Project Name Multi FPGA HW Accelerator.PrfPcb	Revision A01	
Date: 18.5.2023	Sheet 9 of 17		
File: IO_Peripherals.SchDoc	Drawn By: Petr Zach		



Title DDR3 Memory 1024 MB		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 10 of 17	Drawn By: Petr Zach
File: DDR3_memory.SchDoc		





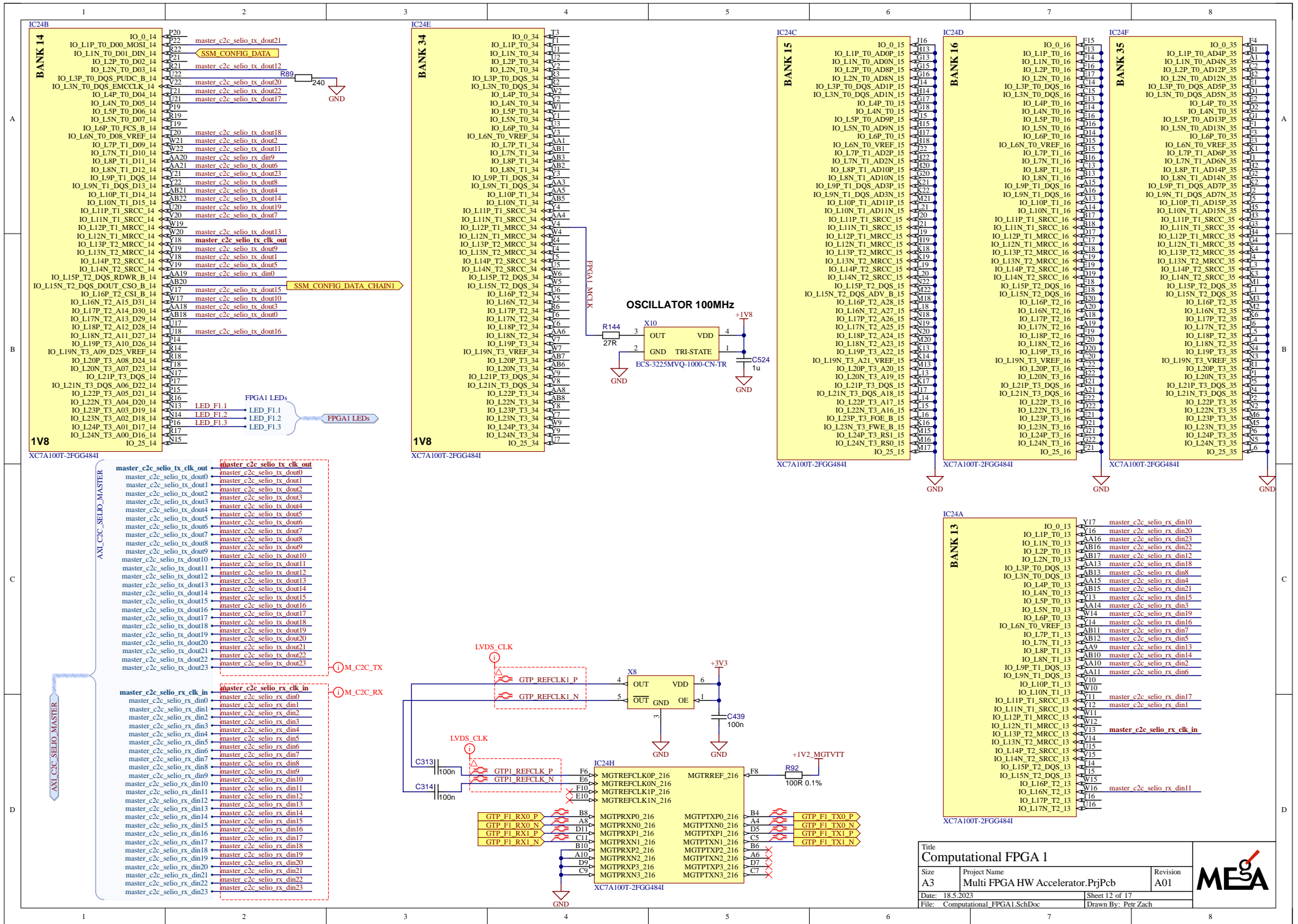
- DDR3\_ADDR/CNTRL
- DDR3\_A14
  - DDR3\_A13
  - DDR3\_A12
  - DDR3\_A11
  - DDR3\_A10
  - DDR3\_A9
  - DDR3\_A8
  - DDR3\_A7
  - DDR3\_A6
  - DDR3\_A5
  - DDR3\_A4
  - DDR3\_A3
  - DDR3\_A2
  - DDR3\_A1
  - DDR3\_A0
  
  - DDR3\_BA0
  - DDR3\_BA1
  - DDR3\_BA2
  
  - DDR3\_CLK\_CKE
  
  - DDR3\_CS
  - DDR3\_RAS
  - DDR3\_CAS
  - DDR3\_WE
  
  - DDR3\_ODT
  
  - DDR3\_CLK\_P
  - DDR3\_CLK\_N
  - DDR3\_RST

DDR3\_ADDR/CNTRL

DDR\_VTT

Title DDR3 ADDR & CNTRL Lines Termination		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 1 of 17	
File: DDR3_termination.SchDoc	Drawn By: Petr Zach	





**IC24B**

P20	IO_0_14
P21	IO_1_1P_T0_D00_MOSI_14
P22	IO_1_1N_T0_D01_DIN_14
P23	IO_1_2P_T0_D02_14
P24	IO_1_2N_T0_D03_14
P25	IO_1_3P_T0_D05_PUDC_B_14
P26	IO_1_3N_T0_D05_EMCCLK_14
P27	IO_1_4P_T0_D04_14
P28	IO_1_4N_T0_D05_14
P29	IO_1_5P_T0_D06_14
P30	IO_1_5N_T0_D07_14
P31	IO_1_6P_T0_FCS_B_14
P32	IO_1_6N_T0_D08_VREF_14
P33	IO_1_7P_T1_D09_14
P34	IO_1_7N_T1_D10_14
P35	IO_1_8P_T1_D11_14
P36	IO_1_8N_T1_D12_14
P37	IO_1_9P_T1_D05_14
P38	IO_1_9N_T1_D05_D13_14
P39	IO_1_10P_T1_D14_14
P40	IO_1_10N_T1_D15_14
P41	IO_1_11P_T1_SRCC_14
P42	IO_1_11N_T1_SRCC_14
P43	IO_1_12P_T1_MRCC_14
P44	IO_1_12N_T1_MRCC_14
P45	IO_1_13P_T2_MRCC_14
P46	IO_1_13N_T2_MRCC_14
P47	IO_1_14P_T2_SRCC_14
P48	IO_1_14N_T2_SRCC_14
P49	IO_1_15P_T2_DQS_R1WR_B_14
P50	IO_1_15N_T2_DQS_DOUT_CSO_B_14
P51	IO_1_16P_T2_CS1_B_14
P52	IO_1_16N_T2_A15_D31_14
P53	IO_1_17P_T2_A14_D30_14
P54	IO_1_17N_T2_A13_D29_14
P55	IO_1_18P_T2_A12_D28_14
P56	IO_1_18N_T2_A11_D27_14
P57	IO_1_19P_T3_A10_D26_14
P58	IO_1_19N_T3_A09_D25_VREF_14
P59	IO_1_20P_T3_A08_D24_14
P60	IO_1_20N_T3_A07_D23_14
P61	IO_1_21P_T3_D05_14
P62	IO_1_21N_T3_D05_A06_D22_14
P63	IO_1_22P_T3_A05_D21_14
P64	IO_1_22N_T3_A04_D20_14
P65	IO_1_23P_T3_A03_D19_14
P66	IO_1_23N_T3_A02_D18_14
P67	IO_1_24P_T3_A01_D17_14
P68	IO_1_24N_T3_A00_D16_14
P69	IO_25_14

**IC24E**

T3	IO_0_34
T4	IO_1_1P_T0_34
T5	IO_1_1N_T0_34
T6	IO_1_2P_T0_34
T7	IO_1_2N_T0_34
T8	IO_1_3P_T0_D05_34
T9	IO_1_3N_T0_D05_34
T10	IO_1_4P_T0_34
T11	IO_1_4N_T0_34
T12	IO_1_5P_T0_34
T13	IO_1_5N_T0_34
T14	IO_1_6P_T0_34
T15	IO_1_6N_T0_VREF_34
T16	IO_1_7P_T1_34
T17	IO_1_7N_T1_34
T18	IO_1_8P_T1_34
T19	IO_1_8N_T1_34
T20	IO_1_9P_T1_D05_34
T21	IO_1_9N_T1_D05_34
T22	IO_1_10P_T1_34
T23	IO_1_10N_T1_34
T24	IO_1_11P_T1_SRCC_34
T25	IO_1_11N_T1_SRCC_34
T26	IO_1_12P_T1_MRCC_34
T27	IO_1_12N_T1_MRCC_34
T28	IO_1_13P_T2_MRCC_34
T29	IO_1_13N_T2_MRCC_34
T30	IO_1_14P_T2_SRCC_34
T31	IO_1_14N_T2_SRCC_34
T32	IO_1_15P_T2_DQS_34
T33	IO_1_15N_T2_DQS_34
T34	IO_1_16P_T2_34
T35	IO_1_16N_T2_34
T36	IO_1_17P_T2_34
T37	IO_1_17N_T2_34
T38	IO_1_18P_T2_34
T39	IO_1_18N_T2_34
T40	IO_1_19P_T3_34
T41	IO_1_19N_T3_VREF_34
T42	IO_1_20P_T3_34
T43	IO_1_20N_T3_34
T44	IO_1_21P_T3_D05_34
T45	IO_1_21N_T3_D05_34
T46	IO_1_22P_T3_34
T47	IO_1_22N_T3_34
T48	IO_1_23P_T3_34
T49	IO_1_23N_T3_34
T50	IO_1_24P_T3_34
T51	IO_1_24N_T3_34
T52	IO_25_34

**IC24C**

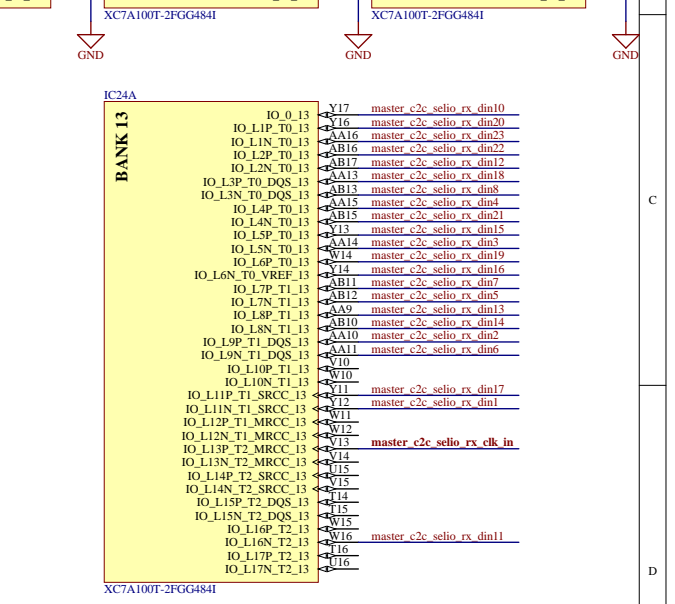
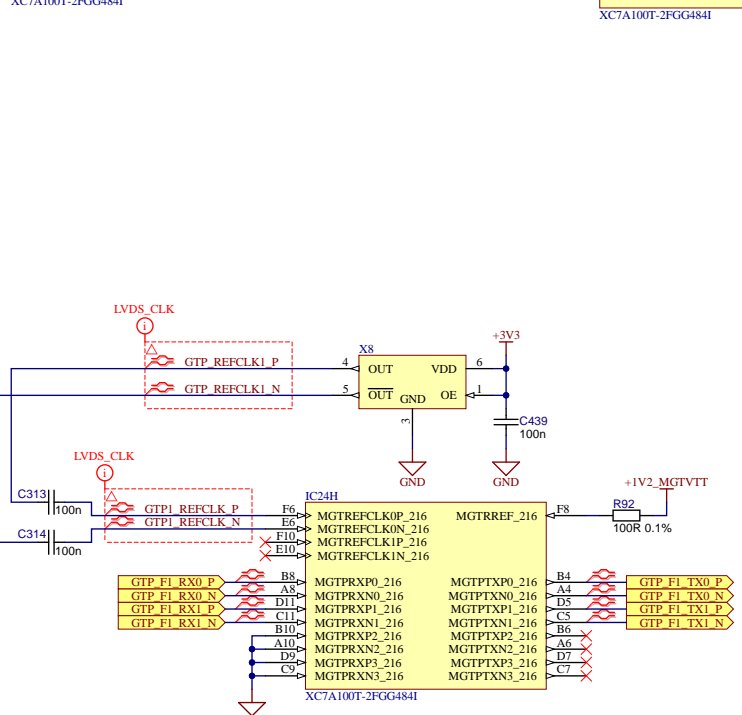
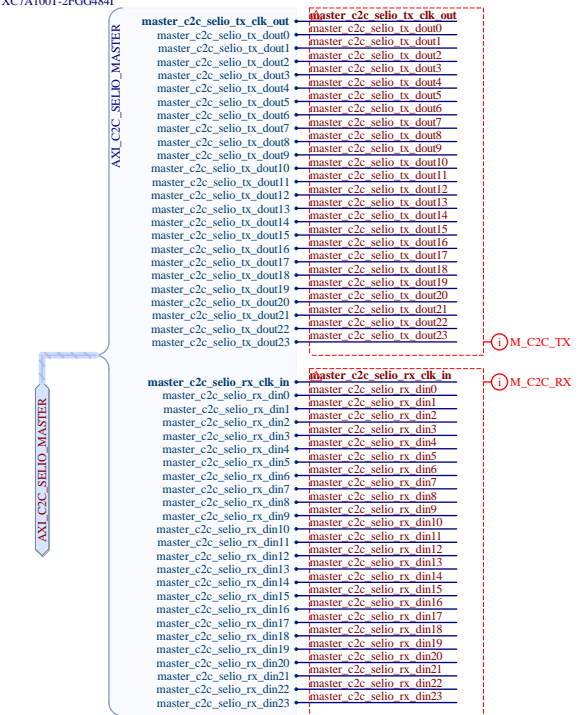
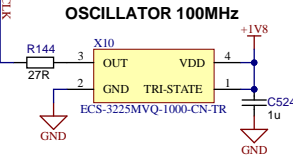
I16	IO_0_15
I17	IO_1_1P_T0_AD0P_15
I18	IO_1_1N_T0_AD0N_15
I19	IO_1_2P_T0_AD0P_15
I20	IO_1_2N_T0_AD0N_15
I21	IO_1_3P_T0_D05_AD1P_15
I22	IO_1_3N_T0_D05_AD1N_15
I23	IO_1_4P_T0_15
I24	IO_1_4N_T0_15
I25	IO_1_5P_T0_AD0P_15
I26	IO_1_5N_T0_AD0N_15
I27	IO_1_6P_T0_15
I28	IO_1_6N_T0_VREF_15
I29	IO_1_7P_T1_AD2P_15
I30	IO_1_7N_T1_AD2N_15
I31	IO_1_8P_T1_AD10P_15
I32	IO_1_8N_T1_AD10N_15
I33	IO_1_9P_T1_D05_AD3P_15
I34	IO_1_9N_T1_D05_AD3N_15
I35	IO_1_10P_T1_AD11P_15
I36	IO_1_10N_T1_AD11N_15
I37	IO_1_11P_T1_SRCC_15
I38	IO_1_11N_T1_SRCC_15
I39	IO_1_12P_T1_MRCC_15
I40	IO_1_12N_T1_MRCC_15
I41	IO_1_13P_T2_MRCC_15
I42	IO_1_13N_T2_MRCC_15
I43	IO_1_14P_T2_SRCC_15
I44	IO_1_14N_T2_SRCC_15
I45	IO_1_15P_T2_DQS_15
I46	IO_1_15N_T2_DQS_ADV_B_15
I47	IO_1_16P_T2_A28_15
I48	IO_1_16N_T2_A27_15
I49	IO_1_17P_T2_15
I50	IO_1_17N_T2_A25_15
I51	IO_1_18P_T2_A24_15
I52	IO_1_18N_T2_A23_15
I53	IO_1_19P_T3_A22_15
I54	IO_1_19N_T3_A21_VREF_15
I55	IO_1_20P_T3_A20_15
I56	IO_1_20N_T3_A19_15
I57	IO_1_21P_T3_D05_15
I58	IO_1_21N_T3_D05_15
I59	IO_1_22P_T3_15
I60	IO_1_22N_T3_15
I61	IO_1_23P_T3_15
I62	IO_1_23N_T3_15
I63	IO_1_24P_T3_R51_15
I64	IO_1_24N_T3_R50_15
I65	IO_25_15

**IC24D**

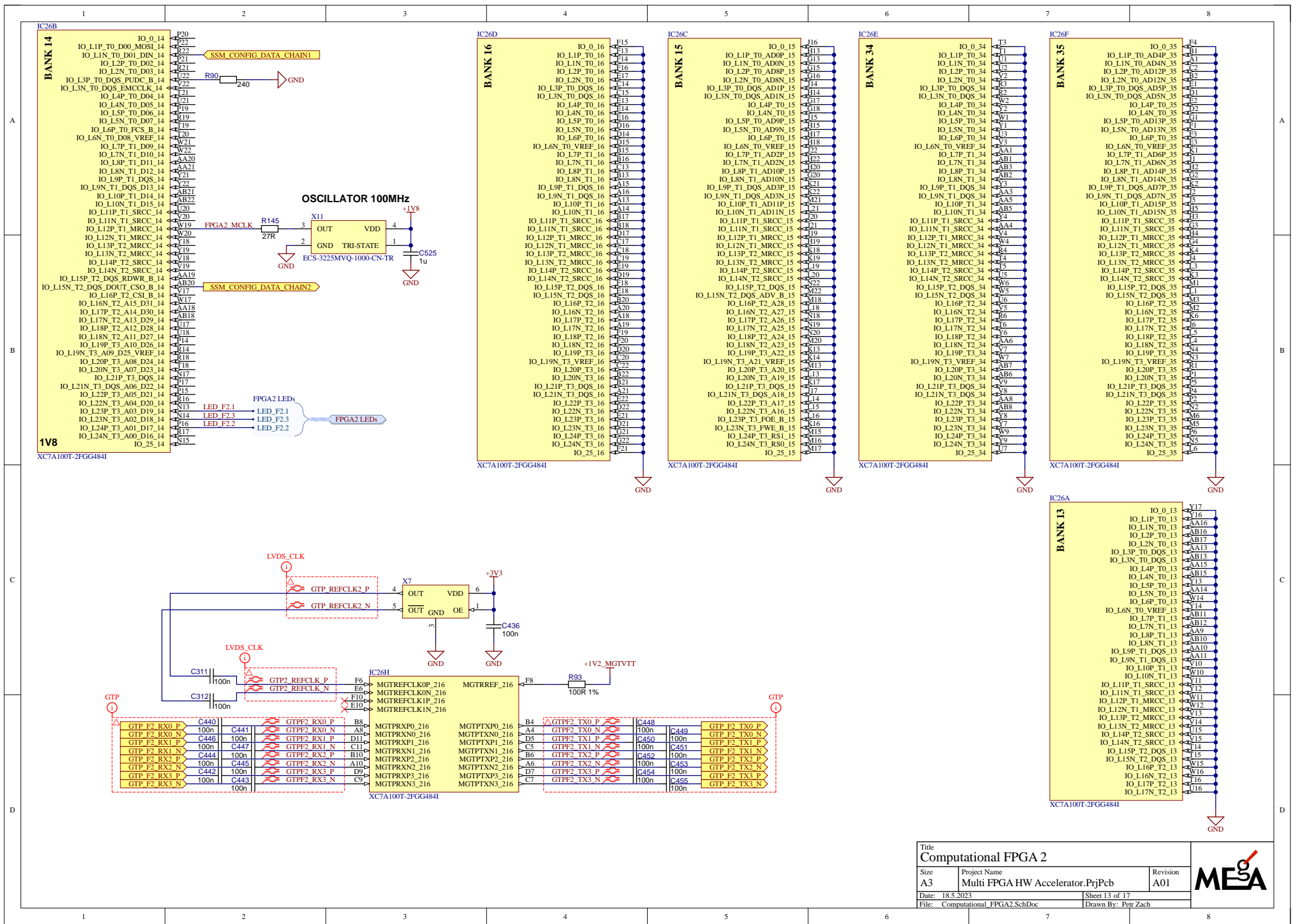
F15	IO_0_16
F16	IO_1_1P_T0_16
F17	IO_1_1N_T0_16
F18	IO_1_2P_T0_16
F19	IO_1_2N_T0_16
F20	IO_1_3P_T0_D05_16
F21	IO_1_3N_T0_D05_16
F22	IO_1_4P_T0_16
F23	IO_1_4N_T0_16
F24	IO_1_5P_T0_16
F25	IO_1_5N_T0_16
F26	IO_1_6P_T0_16
F27	IO_1_6N_T0_VREF_16
F28	IO_1_7P_T1_16
F29	IO_1_7N_T1_16
F30	IO_1_8P_T1_16
F31	IO_1_8N_T1_16
F32	IO_1_9P_T1_D05_16
F33	IO_1_9N_T1_D05_16
F34	IO_1_10P_T1_AD15P_16
F35	IO_1_10N_T1_AD15N_16
F36	IO_1_11P_T1_SRCC_16
F37	IO_1_11N_T1_SRCC_16
F38	IO_1_12P_T1_MRCC_16
F39	IO_1_12N_T1_MRCC_16
F40	IO_1_13P_T2_MRCC_16
F41	IO_1_13N_T2_MRCC_16
F42	IO_1_14P_T2_SRCC_16
F43	IO_1_14N_T2_SRCC_16
F44	IO_1_15P_T2_DQS_16
F45	IO_1_15N_T2_DQS_16
F46	IO_1_16P_T2_16
F47	IO_1_16N_T2_16
F48	IO_1_17P_T2_16
F49	IO_1_17N_T2_16
F50	IO_1_18P_T2_16
F51	IO_1_18N_T2_16
F52	IO_1_19P_T3_16
F53	IO_1_19N_T3_VREF_16
F54	IO_1_20P_T3_16
F55	IO_1_20N_T3_16
F56	IO_1_21P_T3_D05_16
F57	IO_1_21N_T3_D05_16
F58	IO_1_22P_T3_16
F59	IO_1_22N_T3_16
F60	IO_1_23P_T3_16
F61	IO_1_23N_T3_16
F62	IO_1_24P_T3_R51_16
F63	IO_1_24N_T3_R50_16
F64	IO_25_16

**IC24F**

F4	IO_0_35
F5	IO_1_1P_T0_AD4P_35
F6	IO_1_1N_T0_AD4N_35
F7	IO_1_2P_T0_AD12P_35
F8	IO_1_2N_T0_AD12N_35
F9	IO_1_3P_T0_D05_AD5P_35
F10	IO_1_3N_T0_D05_AD5N_35
F11	IO_1_4P_T0_35
F12	IO_1_4N_T0_35
F13	IO_1_5P_T0_AD14P_35
F14	IO_1_5N_T0_AD14N_35
F15	IO_1_6P_T0_35
F16	IO_1_6N_T0_VREF_35
F17	IO_1_7P_T1_AD6P_35
F18	IO_1_7N_T1_AD6N_35
F19	IO_1_8P_T1_AD14P_35
F20	IO_1_8N_T1_AD14N_35
F21	IO_1_9P_T1_D05_AD7P_35
F22	IO_1_9N_T1_D05_AD7N_35
F23	IO_1_10P_T1_AD15P_35
F24	IO_1_10N_T1_AD15N_35
F25	IO_1_11P_T1_SRCC_35
F26	IO_1_11N_T1_SRCC_35
F27	IO_1_12P_T1_MRCC_35
F28	IO_1_12N_T1_MRCC_35
F29	IO_1_13P_T2_MRCC_35
F30	IO_1_13N_T2_MRCC_35
F31	IO_1_14P_T2_SRCC_35
F32	IO_1_14N_T2_SRCC_35
F33	IO_1_15P_T2_DQS_35
F34	IO_1_15N_T2_DQS_35
F35	IO_1_16P_T2_35
F36	IO_1_16N_T2_35
F37	IO_1_17P_T2_35
F38	IO_1_17N_T2_35
F39	IO_1_18P_T2_35
F40	IO_1_18N_T2_35
F41	IO_1_19P_T3_35
F42	IO_1_19N_T3_VREF_35
F43	IO_1_20P_T3_35
F44	IO_1_20N_T3_35
F45	IO_1_21P_T3_D05_35
F46	IO_1_21N_T3_D05_35
F47	IO_1_22P_T3_35
F48	IO_1_22N_T3_35
F49	IO_1_23P_T3_35
F50	IO_1_23N_T3_35
F51	IO_1_24P_T3_R51_35
F52	IO_1_24N_T3_R50_35
F53	IO_25_35

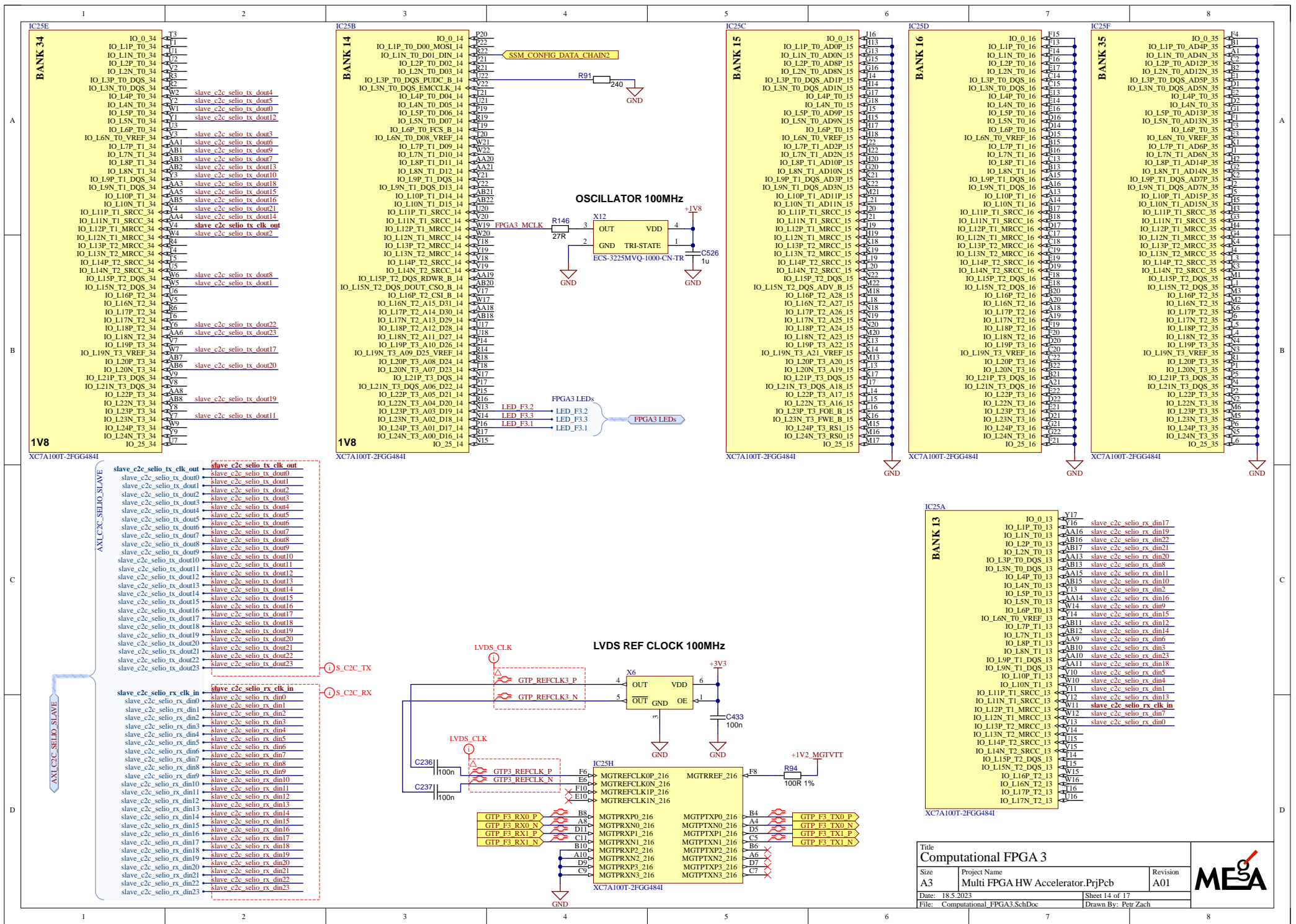


Title			
Computational FPGA 1			
Size	Project Name	Revision	MESA
A3	Multi FPGA HW Accelerator.PrjPcb	A01	
Date: 18.5.2023	Sheet 12 of 17	Drawn By: Petr Zach	
File: Computational FPGA1.SchDoc			



Title <b>Computational FPGA 2</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 13 of 17	
File: Computational FPGA2.SchDoc	Drawn By: Petr Zach	





**BANK 34**

IO_0_34	F3
IO_L1P_T0_34	F11
IO_L1N_T0_34	F12
IO_L2P_T0_34	F13
IO_L2N_T0_34	F14
IO_L3P_T0_DQS_34	F15
IO_L3N_T0_DQS_34	F16
IO_L4P_T0_34	F17
IO_L4N_T0_34	F18
IO_L5P_T0_34	F19
IO_L5N_T0_34	F20
IO_L6P_T0_34	F21
IO_L6N_T0_VREF_34	F22
IO_L7P_T1_34	F23
IO_L7N_T1_34	F24
IO_L8P_T1_34	F25
IO_L8N_T1_34	F26
IO_L9P_T1_DQS_34	F27
IO_L9N_T1_DQS_34	F28
IO_L10P_T1_34	F29
IO_L10N_T1_34	F30
IO_L11P_T1_SRCC_34	F31
IO_L11N_T1_SRCC_34	F32
IO_L12P_T1_MRCC_34	F33
IO_L12N_T1_MRCC_34	F34
IO_L13P_T2_MRCC_34	F35
IO_L13N_T2_MRCC_34	F36
IO_L14P_T2_SRCC_34	F37
IO_L14N_T2_SRCC_34	F38
IO_L15P_T2_DQS_34	F39
IO_L15N_T2_DQS_34	F40
IO_L16P_T2_34	F41
IO_L16N_T2_34	F42
IO_L17P_T2_34	F43
IO_L17N_T2_34	F44
IO_L18P_T2_34	F45
IO_L18N_T2_34	F46
IO_L19P_T3_34	F47
IO_L19N_T3_VREF_34	F48
IO_L20P_T3_34	F49
IO_L20N_T3_34	F50
IO_L21P_T3_DQS_34	F51
IO_L21N_T3_DQS_34	F52
IO_L22P_T3_34	F53
IO_L22N_T3_34	F54
IO_L23P_T3_34	F55
IO_L23N_T3_34	F56
IO_L24P_T3_34	F57
IO_L24N_T3_34	F58
IO_25_34	F59

**BANK 14**

IO_0_14	P20
IO_L1P_T0_D00_MOSI_14	P21
IO_L1N_T0_D01_DIN_14	P22
IO_L2P_T0_D02_14	P23
IO_L2N_T0_D03_AD8N_15	P24
IO_L3P_T0_DQS_PUCLK_B_14	P25
IO_L3N_T0_DQS_EMCLK_B_14	P26
IO_L4P_T0_D04_14	P27
IO_L4N_T0_D05_14	P28
IO_L5P_T0_D06_14	P29
IO_L5N_T0_D07_14	P30
IO_L6P_T0_FCS_B_14	P31
IO_L6N_T0_D08_VREF_14	P32
IO_L7P_T1_D09_14	P33
IO_L7N_T1_D10_14	P34
IO_L8P_T1_D11_14	P35
IO_L8N_T1_D12_14	P36
IO_L9P_T1_DQS_14	P37
IO_L9N_T1_DQS_D13_14	P38
IO_L10P_T1_D14_14	P39
IO_L10N_T1_D15_14	P40
IO_L11P_T1_SRCC_14	P41
IO_L11N_T1_SRCC_14	P42
IO_L12P_T1_MRCC_14	P43
IO_L12N_T1_MRCC_14	P44
IO_L13P_T2_MRCC_14	P45
IO_L13N_T2_MRCC_14	P46
IO_L14P_T2_SRCC_14	P47
IO_L14N_T2_SRCC_14	P48
IO_L15P_T2_DQS_RDWR_B_14	P49
IO_L16P_T2_CSI_B_14	P50
IO_L16N_T2_A15_D31_14	P51
IO_L17P_T2_A14_D30_14	P52
IO_L17N_T2_A13_D29_14	P53
IO_L18P_T2_A12_D28_14	P54
IO_L18N_T2_A11_D27_14	P55
IO_L19P_T3_A10_D26_14	P56
IO_L19N_T3_A09_D25_VREF_14	P57
IO_L20P_T3_A08_D24_14	P58
IO_L20N_T3_A07_D23_14	P59
IO_L21P_T3_DQS_14	P60
IO_L21N_T3_DQS_A06_D22_14	P61
IO_L22P_T3_A05_D21_14	P62
IO_L22N_T3_A04_D20_14	P63
IO_L23P_T3_A03_D19_14	P64
IO_L23N_T3_A02_D18_14	P65
IO_L24P_T3_A01_D17_14	P66
IO_L24N_T3_A00_D16_14	P67
IO_25_14	P68

**BANK 15**

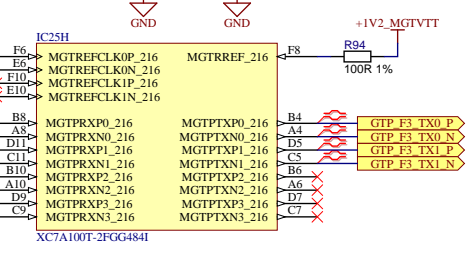
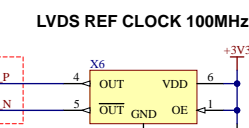
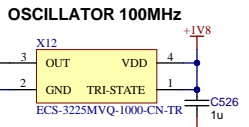
IO_0_15	H16
IO_L1P_T0_AD0P_15	H17
IO_L1N_T0_AD0N_15	H18
IO_L2P_T0_AD8P_15	H19
IO_L2N_T0_AD8N_15	H20
IO_L3P_T0_DQS_AD1P_15	H21
IO_L3N_T0_DQS_AD1N_15	H22
IO_L4P_T0_15	H23
IO_L4N_T0_15	H24
IO_L5P_T0_AD9P_15	H25
IO_L5N_T0_AD9N_15	H26
IO_L6P_T0_15	H27
IO_L6N_T0_VREF_15	H28
IO_L7P_T1_AD2P_15	H29
IO_L7N_T1_AD2N_15	H30
IO_L8P_T1_AD10P_15	H31
IO_L8N_T1_AD10N_15	H32
IO_L9P_T1_DQS_AD3P_15	H33
IO_L9N_T1_DQS_AD3N_15	H34
IO_L10P_T1_AD11P_15	H35
IO_L10N_T1_AD11N_15	H36
IO_L11P_T1_SRCC_15	H37
IO_L11N_T1_SRCC_15	H38
IO_L12P_T1_MRCC_15	H39
IO_L12N_T1_MRCC_15	H40
IO_L13P_T2_MRCC_15	H41
IO_L13N_T2_MRCC_15	H42
IO_L14P_T2_SRCC_15	H43
IO_L14N_T2_SRCC_15	H44
IO_L15P_T2_DQS_15	H45
IO_L15N_T2_DQS_ADV_B_15	H46
IO_L16P_T2_A28_15	H47
IO_L16N_T2_A27_15	H48
IO_L17P_T2_A26_15	H49
IO_L17N_T2_A25_15	H50
IO_L18P_T2_A24_15	H51
IO_L18N_T2_A23_15	H52
IO_L19P_T3_A22_15	H53
IO_L19N_T3_A21_VREF_15	H54
IO_L20P_T3_A20_15	H55
IO_L20N_T3_A19_15	H56
IO_L21P_T3_DQS_15	H57
IO_L21N_T3_DQS_A18_15	H58
IO_L22P_T3_A17_15	H59
IO_L22N_T3_A16_15	H60
IO_L23P_T3_F0E_B_15	H61
IO_L23N_T3_FWE_B_15	H62
IO_L24P_T3_RS0_15	H63
IO_L24N_T3_RS0_15	H64
IO_25_15	H65

**BANK 16**

IO_0_16	F15
IO_L1P_T0_16	F14
IO_L1N_T0_16	F13
IO_L2P_T0_16	F12
IO_L2N_T0_16	F11
IO_L3P_T0_DQS_16	F10
IO_L3N_T0_DQS_16	F9
IO_L4P_T0_16	F8
IO_L4N_T0_16	F7
IO_L5P_T0_16	F6
IO_L5N_T0_16	F5
IO_L6P_T0_16	F4
IO_L6N_T0_VREF_16	F3
IO_L7P_T1_16	F2
IO_L7N_T1_16	F1
IO_L8P_T1_AD14P_35	F15
IO_L8N_T1_AD14N_35	F14
IO_L9P_T1_DQS_AD7P_35	F13
IO_L9N_T1_DQS_AD7N_35	F12
IO_L10P_T1_AD15P_35	F11
IO_L10N_T1_AD15N_35	F10
IO_L11P_T1_SRCC_35	F9
IO_L11N_T1_SRCC_35	F8
IO_L12P_T1_MRCC_35	F7
IO_L12N_T1_MRCC_35	F6
IO_L13P_T2_MRCC_35	F5
IO_L13N_T2_MRCC_35	F4
IO_L14P_T2_SRCC_35	F3
IO_L14N_T2_SRCC_35	F2
IO_L15P_T2_DQS_35	F1
IO_L15N_T2_DQS_35	F15
IO_L16P_T2_35	F14
IO_L16N_T2_35	F13
IO_L17P_T2_35	F12
IO_L17N_T2_35	F11
IO_L18P_T2_35	F10
IO_L18N_T2_35	F9
IO_L19P_T3_35	F8
IO_L19N_T3_VREF_35	F7
IO_L20P_T3_35	F6
IO_L20N_T3_35	F5
IO_L21P_T3_DQS_35	F4
IO_L21N_T3_DQS_35	F3
IO_L22P_T3_35	F2
IO_L22N_T3_35	F1
IO_L23P_T3_35	F15
IO_L23N_T3_35	F14
IO_L24P_T3_35	F13
IO_L24N_T3_35	F12
IO_25_35	F11

**BANK 35**

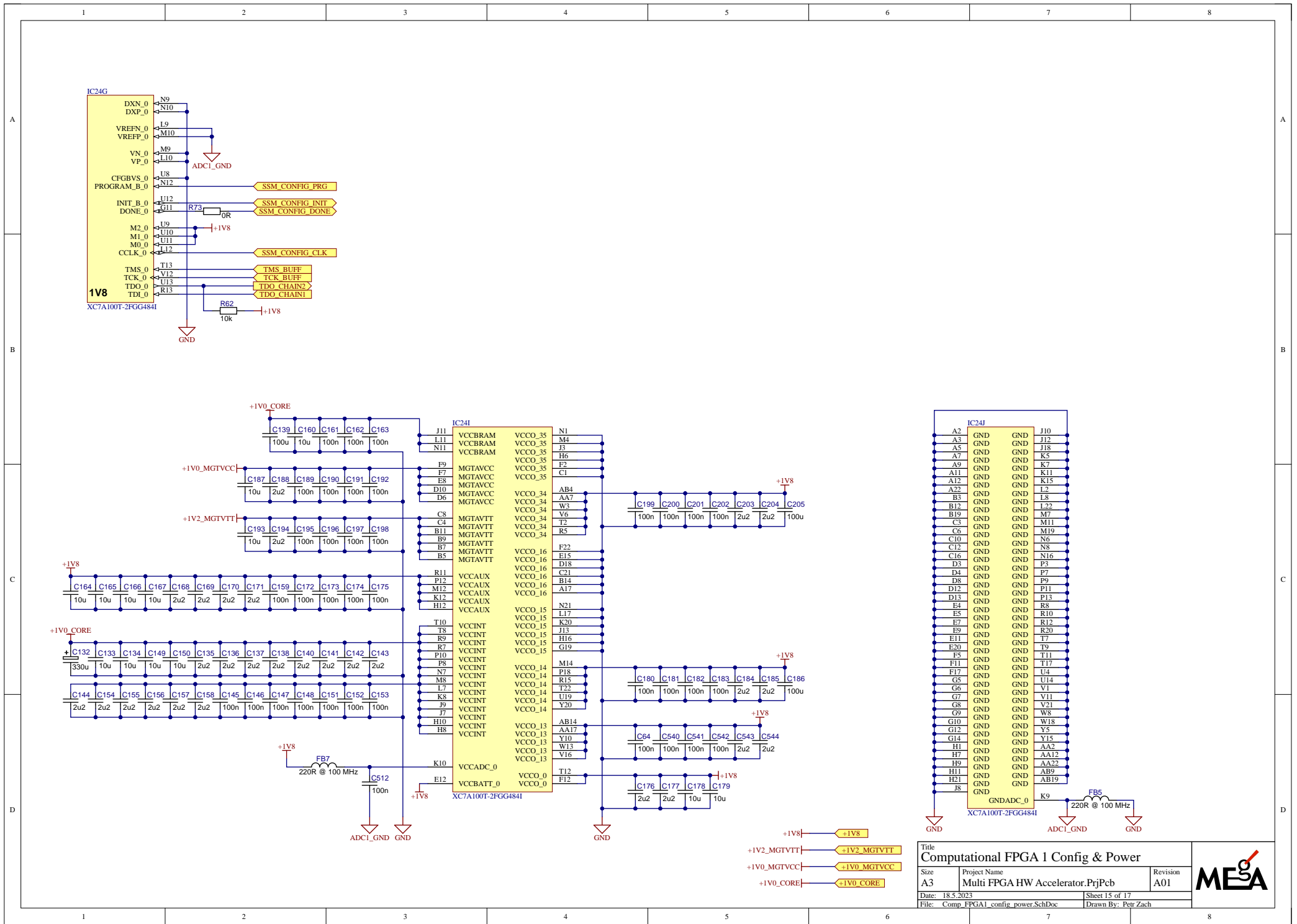
IO_0_35	F4
IO_L1P_T0_AD4P_35	F3
IO_L1N_T0_AD4N_35	F2
IO_L2P_T0_AD12P_35	F1
IO_L2N_T0_AD12N_35	F15
IO_L3P_T0_DQS_AD5P_35	F14
IO_L3N_T0_DQS_AD5N_35	F13
IO_L4P_T0_35	F12
IO_L4N_T0_35	F11
IO_L5P_T0_AD13P_35	F10
IO_L5N_T0_AD13N_35	F9
IO_L6P_T0_35	F8
IO_L6N_T0_VREF_35	F7
IO_L7P_T1_AD6P_35	F6
IO_L7N_T1_AD6N_35	F5
IO_L8P_T1_AD14P_35	F4
IO_L8N_T1_AD14N_35	F3
IO_L9P_T1_DQS_AD7P_35	F2
IO_L9N_T1_DQS_AD7N_35	F1
IO_L10P_T1_AD15P_35	F15
IO_L10N_T1_AD15N_35	F14
IO_L11P_T1_SRCC_35	F13
IO_L11N_T1_SRCC_35	F12
IO_L12P_T1_MRCC_35	F11
IO_L12N_T1_MRCC_35	F10
IO_L13P_T2_MRCC_35	F9
IO_L13N_T2_MRCC_35	F8
IO_L14P_T2_SRCC_35	F7
IO_L14N_T2_SRCC_35	F6
IO_L15P_T2_DQS_35	F5
IO_L15N_T2_DQS_35	F4
IO_L16P_T2_35	F3
IO_L16N_T2_35	F2
IO_L17P_T2_35	F1
IO_L17N_T2_35	F15
IO_L18P_T2_35	F14
IO_L18N_T2_35	F13
IO_L19P_T3_35	F12
IO_L19N_T3_VREF_35	F11
IO_L20P_T3_35	F10
IO_L20N_T3_35	F9
IO_L21P_T3_DQS_35	F8
IO_L21N_T3_DQS_35	F7
IO_L22P_T3_35	F6
IO_L22N_T3_35	F5
IO_L23P_T3_35	F4
IO_L23N_T3_35	F3
IO_L24P_T3_35	F2
IO_L24N_T3_35	F1
IO_25_35	F15



**BANK 13**

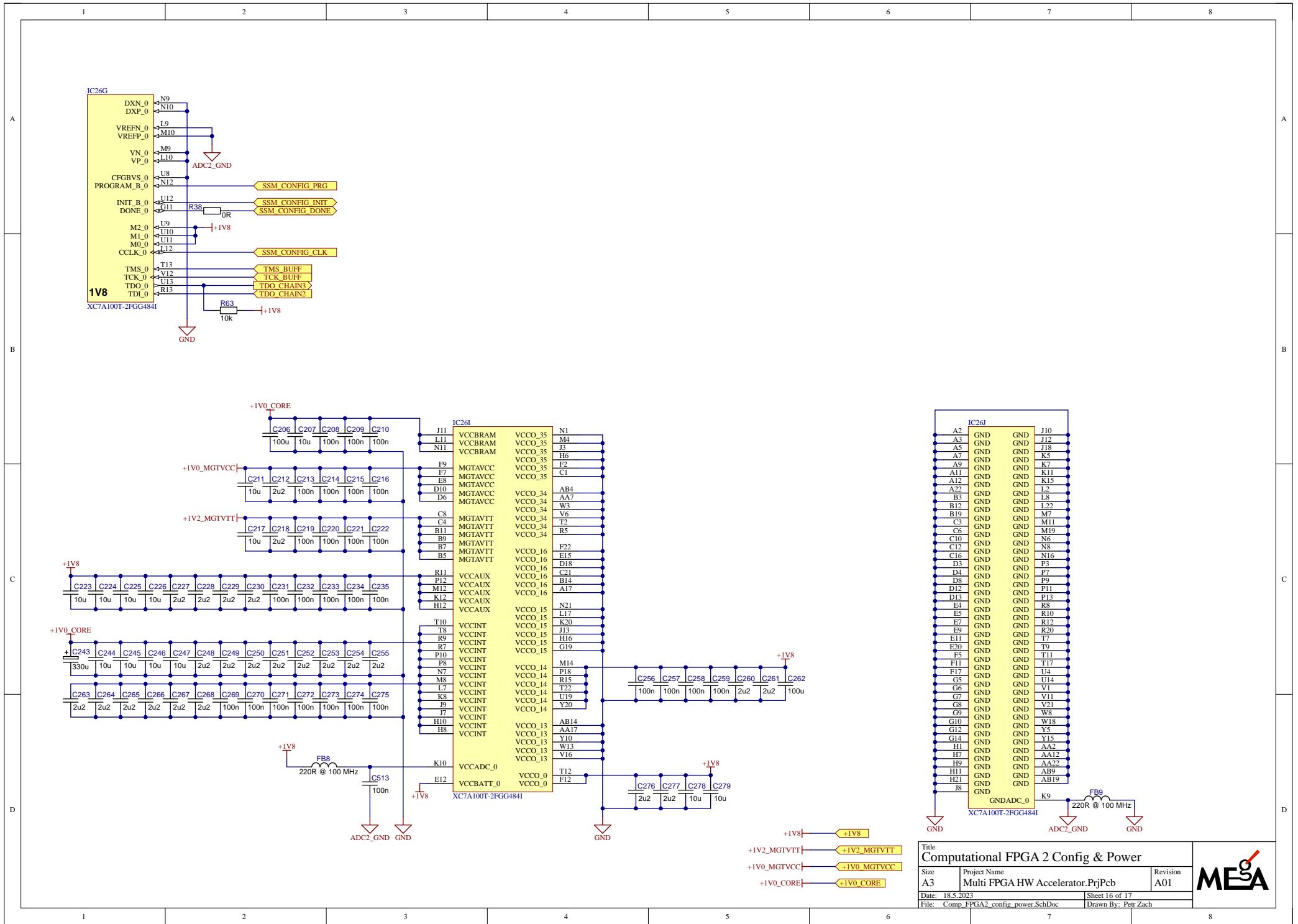
IO_0_13	Y17
IO_L1P_T0_13	Y16
IO_L1N_T0_13	AA16
IO_L2P_T0_13	AB16
IO_L2N_T0_13	AB17
IO_L3P_T0_DQS_13	AA13
IO_L3N_T0_DQS_13	AA15
IO_L4P_T0_13	AB15
IO_L4N_T0_13	AB14
IO_L5P_T0_13	AA9
IO_L5N_T0_13	AA14
IO_L6P_T0_13	W14
IO_L6N_T0_VREF_13	W14
IO_L7P_T1_13	AB11
IO_L7N_T1_13	AB12
IO_L8N_T1_13	AB10
IO_L9P_T1_DQS_13	AA10
IO_L9N_T1_DQS_13	AA11
IO_L10P_T1_13	W10
IO_L10N_T1_13	W11
IO_L11N_T1_SRCC_13	Y12
IO_L12P_T1_MRCC_13	W11
IO_L12N_T1_MRCC_13	W12
IO_L13P_T2_MRCC_13	Y14
IO_L13N_T2_MRCC_13	Y15
IO_L14P_T2_SRCC_13	F14
IO_L14N_T2_SRCC_13	F15
IO_L15P_T2_DQS_13	W16
IO_L15N_T2_DQS_13	W15
IO_L16N_T2_13	F16
IO_L17N_T2_13	F16

Title			
Computational FPGA 3			
Size	Project Name	Revision	MEGA
A3	Multi FPGA HW Accelerator.PrjPcb	A01	
Date:	18.5.2023	Sheet 14 of 17	
File:	Computational FPGA3.SchDoc	Drawn By: Petr Zach	



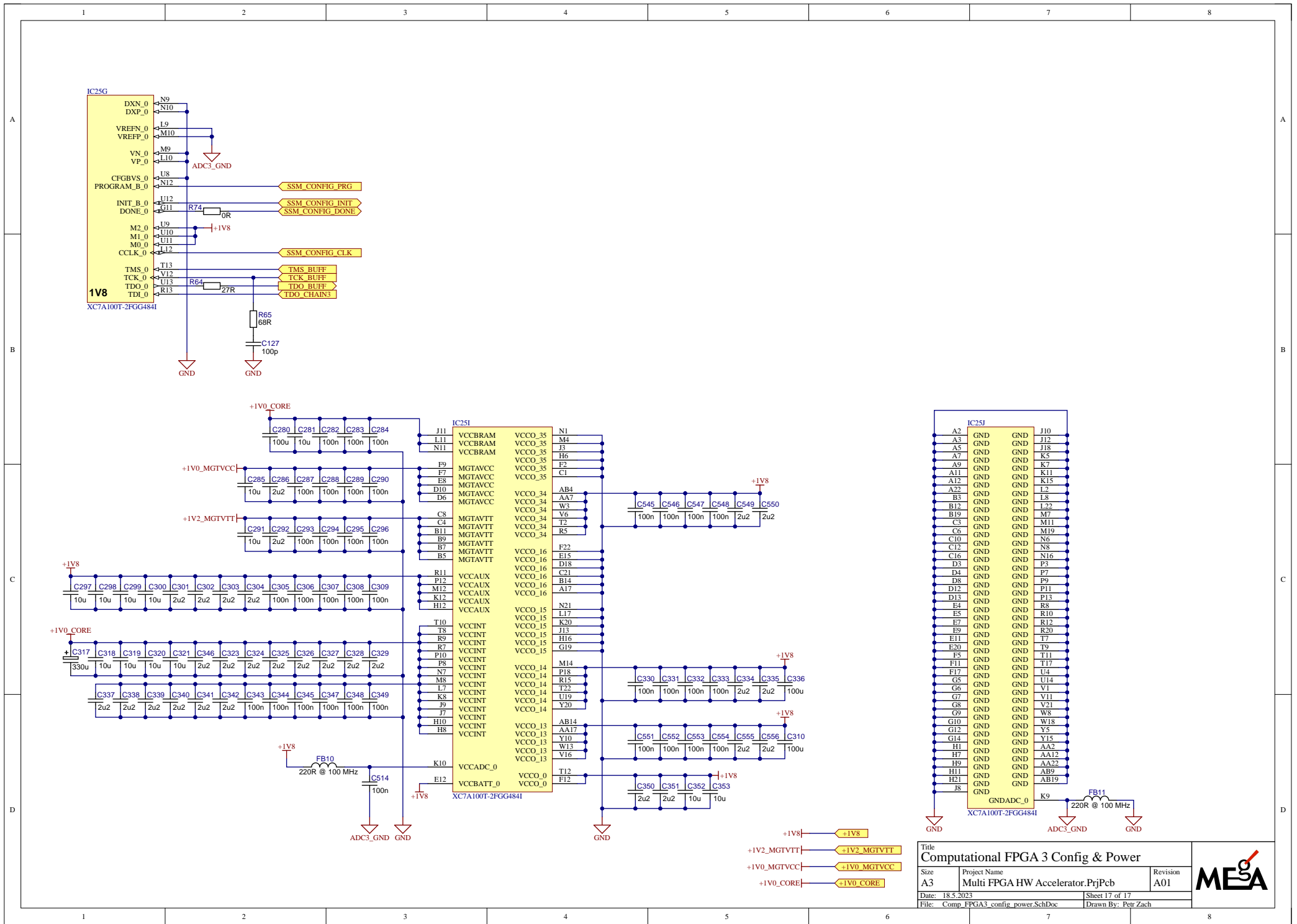
Title <b>Computational FPGA 1 Config &amp; Power</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 15 of 17	
File: Comp_FPGA1_config_power.SchDoc	Drawn By: Petr Zach	





Title <b>Computational FPGA 2 Config &amp; Power</b>		
Size A3	Project Name Multi FPGA HW Accelerator.PrjPcb	Revision A01
Date: 18.5.2023	Sheet 16 of 17	
File: Comp_FPGA2_config_power.SchDoc	Drawn By: Petr Zach	





Title		
Computational FPGA 3 Config & Power		
Size	Project Name	Revision
A3	Multi FPGA HW Accelerator.PrjPcb	A01
Date:	18.5.2023	Sheet 17 of 17
File:	Comp_FPGA3_config_power.SchDoc	Drawn By: Petr Zach

