

A Obsah elektronické přílohy

Elektronická příloha obsahuje adresář se zdrojovými kódy pro FPGA v jazyce VHDL a adresář se zdrojovými kódy pro prostředí Matlab. Pro vývoj zdrojových kódů v jazyce VHDL bylo použito prostředí Vivado ML Edition 2023.2 a pro aplikaci Matlab ve verzi R2023b. Pro testování byl využit notebook s procesorem Intel Core i7-4900MQ, s operační pamětí 16 GB a systémem Windows 10.

Z důvodu rozsáhlosti projektu nemohl být celý projekt v programu Vivado umístěn do školního informačního systému, a proto je celý projekt vytvořený v programu Vivado i projekt vytvořený v prostředí Matlab dostupný na adrese: https://vutbr-my.sharepoint.com/:f:/g/personal/xtomes07_vutbr_cz/EtF2a-3z_8FPpznYChPCFzcB9_RcW45aJzSfsFm4qhUStQ?e=KIQc7i.

```
/ .....kořenový adresář přiloženého archivu
├── Matlab ..... zdrojové soubory počítačové aplikace
│   ├── app.mlapp.....spustitelný soubor
│   ├── ftd2xx.lib.....knihovna výrobce pro komunikaci s FTDI
│   ├── ftd2xx.h.....hlavičkový soubor ke knihovně ftd2xx.lib
│   ├── Ambisonie.....adresář s funkcemi pro ambisonii
│   ├── Beamforming.....adresář s funkcemi pro beamforming
│   ├── ExportData.....adresář s funkcemi pro export dat
│   └── FTDI_function.....adresář s funkcemi pro komunikaci s FTDI
└── FPGA.....kompletní projekt ve Vivado
    ├── SOURCES ..... adresář se zdrojovými kódy
    │   ├── CLK_MAKING ..... adresář s VHDL kódy pro tvorbu hodinového signálu
    │   ├── FTDI ..... adresář s VHDL kódy pro komunikace s FTDI
    │   ├── TDM_interface ..... adresář s VHDL kódy pro řízení mikrofونů
    │   ├── XDC ..... adresář s xdc souborem
    │   ├── Top.VHDL ..... soubor top modulu VHDL návrhu
    │   ├── generovani_dat.VHDL ..... soubor ve VHDL pro testování komunikace
    │   └── TOP_TB.VHDL .....soubor pro simulaci VHDL návrhu
    └── diplomova_prace.gen ..... adresář s IP jádry
        ├── clk_wiz_12MHz288_to_98MHz304.....IP jádro pro clk 98,304MHz
        ├── clk_wiz_100MHz_to_12MHz288.....IP jádro pro clk 12,288MHz
        ├── clk_wiz_delay.....IP jádro pro změnu fáze clk
        ├── fifo_data_from_pc.....IP jádro pro FIFO paměť data z PC
        └── fifo_data_to_pc.....IP jádro pro FIFO paměť data do PC
```