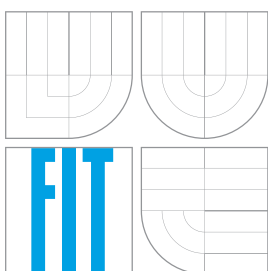


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

RONJA TWISTER POMOCÍ FPGA

FPGA-BASED RONJA TWISTER

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

JAN MATYÁŠ

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. ZDENĚK VAŠÍČEK

BRNO 2011

Abstrakt

RONJA je open-source hardwarový projekt, jehož výsledkem je stejnojmenné zařízení umožňující bezdrátový přenos dat pomocí světelného paprsku. Tato práce se zabývá elektronickým modulem RONJA Twister, tvořícím rozhraní mezi metalickým Ethernetem a vlastním optickým přenosem. Cílem práce je reimplementovat modul pomocí technologie FPGA při zachování zpětné kompatibility. V rámci práce je modul navíc rozšířen o technologii Auto-Negotiation, čímž dochází k prevenci některých problémů spojených s používáním původní varianty modulu Twister.

Abstract

RONJA is an open-source hardware project for an optical data-link device which utilizes a visible-light beam for wireless data transmission. This thesis focuses on a single electronic module called RONJA Twister, which forms an interface between metallic Ethernet and the optical transmission itself. The purpose of this project is to reimplement the original Twister module design in a backward-compatible manner using FPGA technology. Furthermore, the proposed and implemented solution enhances the module by incorporating the Auto-Negotiation capability which mitigates several issues of the original Twister module.

Klíčová slova

Bezvláknová optika, FSO, RONJA, Twister, Ethernet, IEEE 802.3, Auto-Negotiation, FPGA, VHDL

Keywords

Free space optics, FSO, RONJA, TWISTER, Ethernet, IEEE 802.3, Auto-Negotiation, FPGA, VHDL

Citace

Jan Matyáš: RONJA TWISTER pomocí FPGA, bakalářská práce, Brno, FIT VUT v Brně, 2011

RONJA TWISTER pomocí FPGA

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně pod vedením pana Ing. Zdeňka Vašíčka. Všechny publikace a prameny, z nichž jsem čerpal, jsem uvedl v seznamu literatury na konci práce.

.....
Jan Matyáš
17. května 2011

Poděkování

Děkuji vedoucímu práce, panu Ing. Zdeňku Vašíčkovi, za odborné vedení a cenné rady. Dále děkuji Ústavu počítačových systémů Fakulty informačních technologií VUT Brno za umožnění přístupu k pokročilé laboratorní technice v laboratořích ústavu, neboť bez ní by zdárná realizace práce byla velmi obtížná.

© Jan Matyáš, 2011.

Tato práce vznikla jako školní dílo na Vysokém učení technickém v Brně, Fakultě informačních technologií. Práce je chráněna autorským zákonem a její užití bez udělení oprávnění autorem je nezákonné, s výjimkou zákonem definovaných případů.

Názvy produktů a společností uvedené v rámci textu práce mohou být registrovanými ochrannými známkami nebo obchodními značkami svých vlastníků.

Obsah

1	Úvod	3
2	Komunikační technologie FSO a projekt RONJA	4
2.1	Princip technologie FSO	4
2.2	Obecná struktura systému FSO	4
2.3	Vlastnosti a možnosti uplatnění technologie FSO	5
2.4	Komerčně dostupné produkty	6
2.5	Projekt RONJA	6
2.6	Parametry zařízení RONJA	6
2.7	Struktura zařízení RONJA	7
2.8	Význam a rozšíření spojů na bázi zařízení RONJA	8
3	Ethernet 10Base-T	10
3.1	Ethernet z pohledu referenčního modelu ISO/OSI	11
3.2	Formát datového rámce v sítích Ethernet	11
3.3	Duplexní režimy vrstvy MAC	12
3.4	Fyzická vrstva Ethernetu 10Base-T	12
3.5	Technologie Auto-Negotiation	14
4	Původní implementace modulu Twister	17
4.1	Úloha modulu Twister	17
4.2	Způsob transformace signálu	17
4.3	Struktura modulu Twister	18
4.4	Modul Twister a standard 10Base-T	19
4.5	Konstrukce modulu Twister	19
5	Návrh rozšířeného modulu Twister	20
5.1	Nevýhody původní varianty zařízení Twister	20
5.2	Navržené řešení	21
5.3	Volba vývojové a cílové platformy	22
5.4	Implementační nástroje a jazyk	24
6	Popis implementovaného systému	25
6.1	Hierarchická struktura systému	25
6.2	Řízení stavu rozšířeného modulu Twister	29
6.3	Problémy ve fázi implementace systému	31
6.4	Organizace zdrojového textu	31
6.5	Simulace a syntéza systému	32

7	Návrh a realizace desky plošných spojů	33
7.1	Struktura elektrického obvodu	33
7.2	Fyzické parametry DPS	37
7.3	Problémy ve fázi realizace DPS	37
8	Závěr	39
	Seznam použitých zkratek	41
	Literatura	43
A	Schéma původní implementace modulu RONJA Twister	47
B	Hlavní řídicí automat modulu Twister	49
C	Schéma rozšířené implementace modulu Twister	51
D	Testování systému pomocí přípravku FITkit	55
E	Osazovací plán DPS rozšířeného modulu Twister	57
F	Obsah příloženého CD	60

Kapitola 1

Úvod

Bezdrátový přenos digitálních dat je zajisté jedním z moderních výtobytků, který zastává klíčovou roli v rámci soudobé lidské společnosti a bez nějž bychom si život už nejspíše nedovedli představit. Možnost bezdrátové výměny informací — bezdrátové komunikace — přináší užitek, ať už přímý či nepřímý, snad pro všechny obory lidské činnosti.

V praxi se bezdrátová komunikace uplatňuje v nejrůznějších situacích a jsou na ni kladeny rozličné požadavky. Společnou vlastností drtivé většiny bezdrátových komunikačních technologií však je přenos informace pomocí elektromagnetického záření ve spektru radiových vln nebo mikrovln¹.

Existuje ovšem alternativní přístup, kdy se pro bezkabelový přenos dat uplatňuje světelný paprsek ve viditelné nebo infračervené části elektromagnetického spektra. Tento princip se označuje pojmem *bezvláknová optika* (*free space optics*, FSO)². Zařízení *RONJA* je jedním příkladem komunikačního zařízení z této kategorie, neboť využívá světelného paprsku k realizaci bezdrátového datového spoje.

Tato práce se zaměřuje na jeden z elektronických modulů zařízení *RONJA*, na modul *RONJA Twister*. Tento modul tvoří rozhraní mezi metalickým Ethernetem a vlastním optickým přenosem. Cílem práce je reimplementovat zařízení Twister s využitím rekonfigurovatelných hradlových polí při zachování zpětné kompatibility. Výsledná implementace je oproti původní verzi poněkud rozšířena. Jádrem práce je doplnění podpory mechanismu Auto-Negotiation pro uvedený modul Twister, což dovolí snáze uplatnit zařízení *RONJA* v sítích typu Ethernet a také předejít některým potenciálním problémům původní implementace, které jsou v rámci této práce rovněž diskutovány.

Text práce je členěn následovně. Kapitola 2 uvádí problematiku řešenou v rámci práce do širšího kontextu, neboť seznamuje čtenáře se specifickými vlastnostmi komunikační technologie FSO a také s projektem *RONJA*. Kapitola 3 se zabývá popisem standardu Ethernet 10Base-T s důrazem na ty principy, jejichž znalost je nutná pro studium kapitol následujících. Ve čtvrté kapitole podrobněji zanalyzujeme stávající implementaci modulu Twister. Na základě teoretických znalostí shrnutých v předchozích kapitolách je v kapitole 5 navržena rozšířená implementace modulu Twister. Následující, šestá kapitola popisuje strukturu samotného systému implementovaného v jazyce VHDL. Kapitola 7 pojednává o poslední části práce — autonomní realizaci rozšířeného modulu *RONJA Twister* formou desky plošných spojů.

¹Jde o část elektromagnetického spektra s vlnovou délkou v řádu jednotek milimetrů a vyšší.

²Termín *Free space optics* bývá do češtiny překládán jako *bezvláknová optika*, případně *bezdrátový optický spoj*; neexistuje ovšem ustálený překlad. V rámci této práce proto budu používat původní anglickou terminologii, případně zkratku FSO.

Kapitola 2

Komunikační technologie FSO a projekt RONJA

Kapitola stručně charakterizuje technologii *free space optics* (FSO) jako jeden z možných prostředků pro realizaci bezdrátových počítačových sítí. V následujícím textu jsou shrnuty specifické vlastnosti této komunikační technologie, její výhody, nevýhody a také typické možnosti uplatnění v praxi. V této kapitole je dále představeno zařízení RONJA – jeden ze zástupců komunikačních zařízení typu FSO, který je předmětem této bakalářské práce.

2.1 Princip technologie FSO

Jako *Free space optics* (FSO) označujeme bezdrátovou komunikační technologii, jejímž principem je přenos informace pomocí modulovaného světelného svazku procházejícího prostředím volné atmosféry (zpravidla troposférou, tj. nejnižší vrstvou atmosféry). [35, 31]

V rámci této práce se zaměříme výhradně na bezdrátové optické systémy velkého dosahu, které je možno použít pro realizaci bezdrátových počítačových sítí. Tyto systémy se vyznačují následujícími vlastnostmi:

- zařízení je přizpůsobeno pro venkovní provoz (tj. pro provoz vně budov),
- maximální dosažitelná délka spoje se pohybuje v řádu minimálně stovek metrů,
- přenosová rychlost systému dosahuje řádově alespoň 1 Mb/s.

2.2 Obecná struktura systému FSO

Typický komunikační systém FSO sestává ze dvou koncových zařízení, jejichž optickým propojením vznikne obousměrný bezdrátový spoj – jedná se tedy o topologii *point-to-point* [35, 37]. V každém z koncových zařízení FSO systému, bez ohledu na výrobce a konkrétní produkt, lze zpravidla nalézt tři základní podsystémy. Jsou jimi *optický vysílač*, *optický přijímač* a *datové a řídicí rozhraní*. Tyto moduly mohou být fyzicky realizovány jako samostatné jednotky nebo integrovány do jediného fyzického zařízení.

Podsystém optického vysílače je vybaven modulovatelným zdrojem světla pracujícím v infračervené nebo viditelné oblasti elektromagnetického záření. Jedná se nejčastěji o LED diodu nebo laser [31].

Optický přijímač obsahuje fotodetektor pro převod optického signálu na elektrický. V praxi se běžně uplatňují tzv. *PIN fotodiody* nebo *lavinové diody* (*avalanche diodes*) [31, 29].

2.3 Vlastnosti a možnosti uplatnění technologie FSO

Jednou z hlavních předností komunikačních systémů na bázi FSO je bezlicenční provoz. Komunikace v infračerveném spektru a ve spektru viditelného světla nespadá v rámci České republiky do kompetence Českého telekomunikačního úřadu [35]. Jako taková nevyžaduje ke svému provozu po právní stránce nákup dodatečných licenčních povolení, na rozdíl od komunikačních technologií pracujících v radiových pásmech s individuálním licencováním.

V porovnání se systémy založenými na optických vláknech pak technologie FSO přináší výhodu v podobě nižších pořizovacích nákladů (absence investic spojených s pokládáním optické kabeláže), s čímž souvisí možnost výrazně kratší doby instalace. Tyto i další výhody a nevýhody zařízení na bázi FSO shrnuje tab. 2.1.

Komunikační zařízení FSO často nacházejí uplatnění v telekomunikačních sítích jako jedna z vhodných technologií pro řešení tzv. *problému poslední míle* (angl. *last mile problem*). [37] Jako *poslední míle* se označuje ta část telekomunikační infrastruktury, jejímž účelem je „rozdistribučovat“ telekomunikační služby až k jednotlivým koncovým zákazníkům (domácnostem, firmám, školám apod.). Problém poslední míle tedy spočívá v hledání technicky a ekonomicky vhodných řešení pro připojení koncových zákazníků a jejich lokálních sítí do distribuční sítě poskytovatele telekomunikačních služeb. [34]

Technologie FSO je ekonomicky výhodným kandidátem pro realizaci spoje poslední míle především v těch případech, je-li požadován přenos dat s velmi vysokou propustností (stovky Mb/s až desítky Gb/s) a na nepříliš velkou vzdálenost, tj. na vzdálenost maximálně jednotek kilometrů [35, 37]

Výhody technologie FSO	Nevýhody technologie FSO
<ul style="list-style-type: none"> • bezlicenční provoz • úzký svazek, nízká interference • vysoká datová propustnost (až desítky Gb/s) • rychlá instalace a nízké pořizovací náklady (vůči systémům založeným na optických vláknech) 	<ul style="list-style-type: none"> • nutnost přímé viditelnosti • závislost na aktuálních atmosférických podmínkách a počasí • pouze topologie <i>point-to-point</i> • omezení maximální dosažitelné vzdálenosti spojení vyplývající z fyzikální podstaty šíření světla • nutnost precizního zaměření a stabilního mechanického upevnění optické aparatury

Tabulka 2.1: Vlastnosti zařízení založených na principu FSO [31, 35, 37]

2.4 Komerčně dostupné produkty

K nejvýznamnějším výrobcům zařízení typu *free space optics* patří společnosti: MRV Communications (produkty TereScope)¹, Canon (produktová řada CanoBeam)², LightPointe (produktové řady AireBeam, FlightStrata, FlightLite)³ a fSona (produkty SONAbeam)⁴.

Souhrnný přehled konkrétních produktů výše uvedených výrobců spolu s důležitými technickými parametry lze nalézt např. v [36]. Z citovaného přehledu je zřejmé, že maximální délka optických spojů dosahuje stovek metrů až jednotek kilometrů, přičemž hranici tří kilometrů překračují jen nejvýkonnější varianty produktů některých výrobců. Propustnost komerčně dostupných produktů se pohybuje v rozsahu stovek Mb/s až jednotek Gb/s. Nejčastějším datovým rozhraním, kterým jsou zařízení FSO vybavena pro připojení do kabelové sítě, je jednovidové či mnohavidové optické vlákno, popřípadě metalický Ethernet (kroucený pár).

Optický spoj FSO o délce 1,2 km je provozován i v rámci akademické sítě CESNET v Plzni v lokalitě Jižní předměstí. Pro jeho realizaci byl zvolen produkt LB-1500 společnosti LaserBit (podrobněji viz příslušná technická zpráva [39]).

2.5 Projekt RONJA

RONJA (zkr. *Reasonable Optical Near Joint Access*) je hardwarovým projektem, jehož výsledkem je stejnojmenné komunikační zařízení FSO umožňující bezdrátový přenos dat pomocí světelného paprsku. Autorem projektu je pan Karel Kulhavý. Nejvýraznější odlišností zařízení RONJA od komerčních produktů, zmíněných v kapitole 2.4, je skutečnost, že veškeré výrobní podklady a dokumentaci autor uvolnil na domovských stránkách projektu [23] pod otevřenými licencemi.

Zařízení RONJA je navrženo s ohledem na to, aby bylo možné ho snadno zkonstruovat z běžně dostupných materiálů a součástek a bez nutnosti použít specializované nástroje nebo měřicí techniku.

2.6 Parametry zařízení RONJA

Komunikační zařízení RONJA využívá k přenosu informace světelného svazku ve viditelném spektru elektromagnetického záření. Zdrojem modulovaného světla je vysocesvítivá LED dioda. K vytvoření jednoho optického spoje, jehož maximální délka může dosahovat až 1,4 km, je třeba dvojice shodných zařízení RONJA (viz obr. 2.1). Popisovaný komunikační systém dovoluje přenášet data rychlostí 10 Mb/s v režimu plného duplexu. Rozhraním pro připojení zařízení do kabelové sítě je metalický Ethernet 10Base-T, o němž je podrobněji pojednáno v kapitole 3. Detailní specifikaci zařízení RONJA lze nalézt v [27].

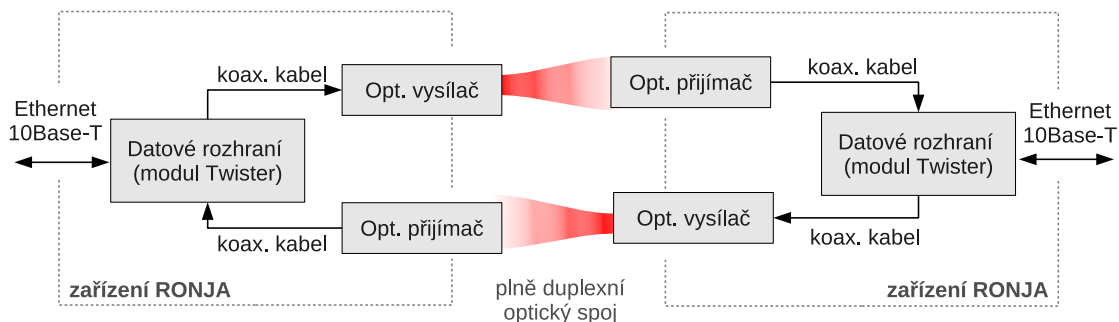
Cena součástek a materiálu pro konstrukci jednoho kompletního spoje RONJA (tj. dvojice zařízení) se v roce 2005 pohybovala kolem 5000 Kč.

¹<http://www.mrv.com/wireless/>

²<http://www.canon.com/bctv/canobeam/index.html>

³<http://www.lightpointe.com/products/default.cfm>

⁴<http://www.fsona.com/index.php>



Obrázek 2.1: Schéma optického spoje RONJA

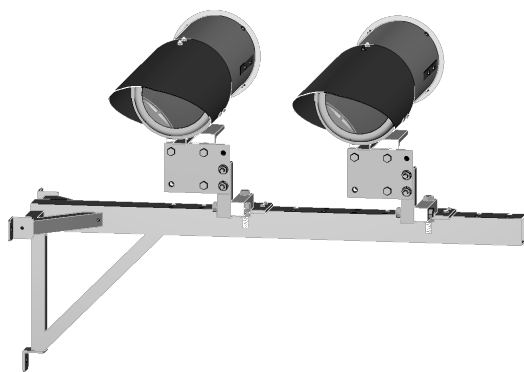
2.7 Struktura zařízení RONJA

Struktura zařízení RONJA odpovídá obecným principům zmíněným v kapitole 2.2. Jedno zařízení RONJA, tvořící jeden z koncových bodů optického spoje, se skládá z několika funkčních jednotek, tzv. *modulů*. Tyto moduly je možné rozdělit do dvou hlavních skupin: mechanické a elektronické moduly.

2.7.1 Elektronické moduly

Elektronické moduly jsou realizovány jako samostatná, fyzicky oddělená zařízení, která jsou navzájem propojena způsobem naznačeným na obr. 2.1. Jedno zařízení RONJA obsahuje následující tři elektronické moduly:

- *RONJA Twister* (datové rozhraní).
Reimplementace modulu RONJA Twister, tvořícího rozhraní mezi optickým přenosem a metalickým Ethernetem 10Base-T, je jádrem této bakalářské práce. Popisu modulu Twister je proto věnována samostatná kapitola 4.
- *RONJA 10M Transmitter* (modul optického vysílače).
Optický vysílač je modul zodpovědný za odvysílání datového signálu v podobě modulovaného světelného svazku. Vstupem modulu vysílače je koaxiální rozhraní, pomocí něhož přijímá od modulu datového rozhraní (modul RONJA Twister) signál určený k odvysílání. Čelní strana vysílače je osazena vysocecitlivou LED diodou, emitující světlo o vlnové délce 625 nm. Tento světelný signál po zaostření pomocí spojné čočky opouští aparaturu zařízení RONJA.
- *RONJA 10M Receiver* (modul optického přijímače).
Modul optického přijímače vykonává opačnou funkci. Na jeho čelní straně je umístěna PIN dioda, která plní roli fotodetektoru – převádí optický signál zachycený od protistrany na signál elektrický; ten je pak dále zesílen pomocí několika zesilovacích stupňů. Modul optického přijímače poskytuje dva výstupy – jednak přijatý datový signál, který je pomocí koaxiálního kabelu veden do modulu datového rozhraní, jednak indikátor síly přijatého signálu označovaný zkratkou RSSI (*Received Signal Strength Indicator*).



(a) Nákres mechanické konstrukce



(b) Fotografie nainstalovaného zařízení

Obrázek 2.2: Mechanické prvky zařízení RONJA. Převzato z [23]

2.7.2 Mechanické moduly

Mechanické montážní a upevňovací prvky zastávají v rámci systémů FSO důležitou roli: Musí zajistit velmi přesné a zároveň odolné upevnění zařízení, neboť i malá výchylka směru aparatury by se kvůli vysoké směrovosti světelného paprsku mohla negativně projevit na spolehlivosti optického spoje. Zmíněné mechanické prvky musí být dostatečně dimenzovány pro nasazení ve venkovním prostředí, a to zejména s přihlédnutím k vlivům povětrnosti a počasí.

Systém RONJA obsahuje mechanické dva typy mechanických prvků: tzv. *optické hlavice* a *mechanické konzole a držáky* sloužící k montáži zařízení (viz obr. 2.2).

Optická hlavice [25] je kovovým tubusem, který poskytuje vodotěsné krytí elektronickým modulům za účelem instalace ve venkovním prostředí. Jedno zařízení RONJA obsahuje dvě konstrukčně shodné optické hlavice – jedna je určena pro modul vysílače, druhá pro přijímací modul. Optická hlavice je z přední strany osazena spojnou čočkou sloužící k zaostrění přijímaného nebo vysílaného světelného svazku. Čočka je z části zastíněna plechovou clonou za účelem redukce světelného šumu způsobeného okolním osvětlením.

V rámci projektu RONJA byl navržen také univerzální držák pro optické hlavice, který umožňuje jemnou korekci směru paprsku s využitím gumových silentbloků. Na domovském webu projektu RONJA je také publikováno několik konzolí pro montáž zařízení do různých pozic (komín, zábradlí, podélná zeď aj.). Detailní popis a výrobní podklady mechanických konzolí a držáků pro zařízení RONJA čtenář nalezne v [24].

2.8 Význam a rozšíření spojů na bázi zařízení RONJA

Největší popularity dosáhlo zařízení RONJA v letech 2003 – 2006. Uvedené období je charakteristické rozvojem komunitních metropolitních sítí (např. CZFree.Net, HKFree.net) a značným rozšířením bezdrátových spojů založených na technologii Wi-Fi (IEEE 802.11b/g) pracujících v bezlicenčním radiovém pásmu ISM 2,4 GHz. Zaplněnost uvedeného frekvenčního pásma a nemožnost budovat nové spoje bez interference se spoji stávajícími vynutila potřebu hledat alternativní komunikační technologie. Proto, převážně v rámci komunitních sítí, docházelo k uplatňování optických spojů postavených na zařízení RONJA. [26]

Od přelomu let 2005 a 2006 zájem o projekt RONJA postupně upadá. Příčinou bylo vydání všeobecného povolení ČTU k provozování radiových datových spojů ve frekvenčním

pásmu 5 GHz⁵ a také postupné snížení ceny radiových zařízení využívajících tyto frekvenční rozsahy.

Po stránce technologické je dnes již projekt RONJA pravděpodobně do značné míry překonán. Autor této práce je však přesvědčen, že díky dostupnosti úplné dokumentace a výrobních podkladů se stále jedná o zajímavé a vhodné téma přinejmenším z hlediska studijního.

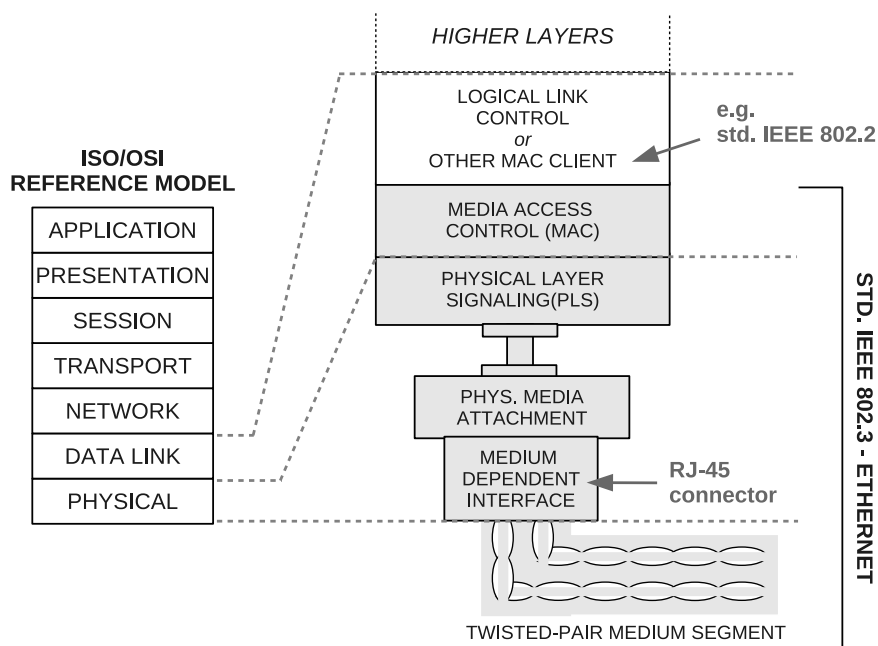
⁵Jedná se o všeobecné povolení VO-R/12/08.2005-34, které nabylo účinnosti dne 1. září 2005. [7]

Kapitola 3

Ethernet 10Base-T

Ethernet je souhrnným názvem pro skupinu komunikačních technologií definovaných standardem IEEE 802.3 [13], které jsou určeny k realizaci lokálních počítačových sítí (LAN). Technologie Ethernet existuje ve více variantách pro různé typy komunikačních médií a různé datové propustnosti. Společnými charakteristickými vlastnostmi všech variant je přenos dat formou tzv. rámců a využití metody CSMA/CD pro přístup ke sdílenému médiu (viz podkapitola 3.3.1).

Následující odstavce shrnují z pohledu práce nejdůležitější principy technologie Ethernet, které slouží jako teoretická východiska pro kapitoly následující. Důraz je kladen především na fyzickou vrstvu Ethernetu 10Base-T a na popis mechanismu Auto-Negotiation. Text je doplněn o odkazy na související pasáže zmíněného standardu.



Obrázek 3.1: Vztah Ethernetu a ref. modelu ISO/OSI. Převzato z [13], upraveno

3.1 Ethernet z pohledu referenčního modelu ISO/OSI

Vztah technologie Ethernet vůči referenčnímu síťovému modelu ISO/OSI znázorňuje obr. 3.1. Z obrázku je zřejmé, že technologie Ethernet pokrývá dvě nejnižší vrstvy referenčního modelu – fyzickou vrstvu (*physical layer*) a dále vrstvu linkovou (*datalink layer*). [13, Clause 1]

Vrstva Ethernetu, jejíž postavení odpovídá linkové vrstvě referenčního modelu, se nazývá vrstva MAC (*Media Access Control Layer*, vrstva řízení přístupu k médiu). Implementace této vrstvy je společná všem variantám technologie Ethernet, nezávisle na typu fyzického média. Vrstva MAC:

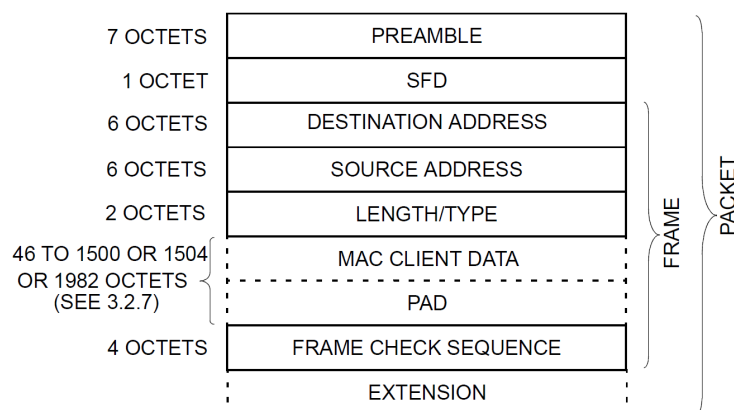
- poskytuje rozhraní pro komunikaci s technologiemi pracujícími v rámci vyšších vrstev referenčního modelu ISO/OSI [13, Clause 2],
- určuje strukturu datového rámce Ethernetu a pořadí vysílání jeho jednotlivých částí [13, Clause 3],
- definuje algoritmus CSMA/CD pro přístup ke sdílenému fyzickému médiu [13, Clause 4].

Úkolem fyzické vrstvy Ethernetu je zajišťovat kódování a přenos jednotlivých bitů prostřednictvím fyzického přenosového média. Fyzická vrstva dále poskytuje vrstvě MAC informace o stavu fyzického média – příznak navázaného spojení, přítomnost nosného signálu (*carrier*) apod. [13, Clause 6]

3.2 Formát datového rámce v sítích Ethernet

Přenos dat v sítích Ethernet probíhá formou segmentace do menších bloků, tzv. rámců (*frames*). Každý takový rámec je strukturován dle schématu na obr. 3.2. [13, Clause 3.1.1]

Z hlediska zpracování signálu na úrovni fyzické vrstvy Ethernetu a konstrukce modulu Twister popsaného v následující kapitole hraje významnou roli první část datové jednotky, tzv. *preamble*. Ta je složena ze sedmi oktětů s bitovým vzorem 10101010. Důvodem přítomnosti této sekvence je poskytnutí možnosti pro obvody přijímače synchronizovat svůj



Obrázek 3.2: Struktura datového rámce v sítích Ethernet. Převzato z [13]

hodinový kmitočet s obvodu vysílače. Preamble je zakončena jedním oktetem s bitovým vzorem 10101011, který indikuje začátek datové části rámce (tzv. *Start of Frame Delimiter*, SFD). Datový rámec spolu s preambulí a SFD se jako celek v rámci standardu IEEE 802.3 označuje pojmem *paket* (viz obr. 3.2).

3.3 Duplexní režimy vrstvy MAC

Vrstva MAC je schopna pracovat v jednom ze dvou duplexních režimů: v režimu plného duplexu (*full-duplex mode*) nebo v režimu polovičního duplexu (*half-duplex mode*). Tyto režimy se zásadním způsobem liší v tom, jaký mechanismus je zvolen pro přístup k fyzickému médiumu.

3.3.1 Režim polovičního duplexu a přístupová metoda CSMA/CD

V režimu polovičního duplexu jednotlivé komunikující stanice používají pro přístup k médiumu algoritmus označovaný jako CSMA/CD (*Carrier-sense Multiple Access/Collision-Detection*). Jeho princip spočívá v tom, že stanice monitorují stav fyzického média (*carrier sensing*) a o vyslání dat se pokusí pouze za té podmínky, že médium je volné. Během vysílání daná stanice opět monitoruje přenosové médium a v případě, že zjistí porušení integrity vysílané sekvence kvůli tomu, že jiné zařízení se pokusilo o vysílání dat v přibližně stejnou dobu, všechna zúčastněná zařízení vysílání přeruší a o opakované přenesení dat se pokusí až po uplynutí určitého (náhodně zvoleného) časového intervalu. Popsaný konflikt se označuje jako kolize (*collision*). [13, Clause 4.2.1]

3.3.2 Režim plného duplexu

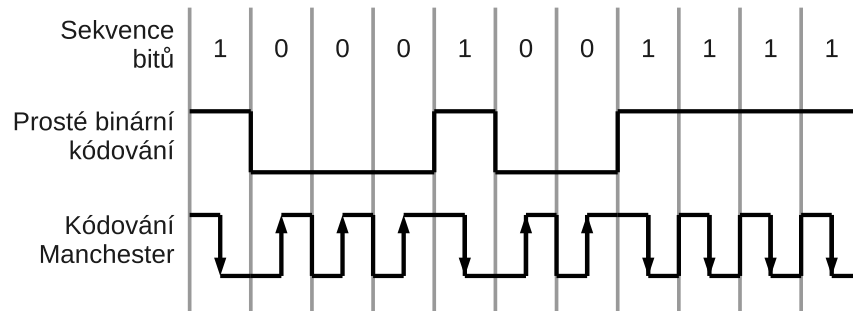
Režim plného duplexu, vyznačující se možností současného přenosu dat v obou směrech bez vzniku kolize, je možný při splnění těchto podmínek [13, Clause 1.1.2.2]:

1. Fyzické médium je schopné současného vysílání a příjmu dat bez interference.
2. Jeden segment fyzického média je sdílen právě dvěma zařízeními.
3. Obě stanice jsou schopny práce v režimu plného duplexu a jsou pro tento mód nakonfigurovány.

Jelikož v režimu plného duplexu nevznikají kolize, přístupová metoda CSMA/CD se nevyužívá a stanice může vždy ihned vysílat či přijímat data bez nutnosti kontrolovat stav média.

3.4 Fyzická vrstva Ethernetu 10Base-T

10Base-T je označení varianty Ethernetu, která jako fyzické médium využívá metalický kroucený pár (*twisted-pair wire*). Dovoluje přenos dat s propustností až 10 Mb/s, a to v kterémkoli z duplexních režimů. [13, Clause 14]



Obrázek 3.3: Princip kódování Manchester

3.4.1 Kódování bitů

Jednotlivé bity datového rámce určené k odvysílání jsou kódované pomocí tzv. kódování Manchester. Principem tohoto kódování je reprezentace bitů pomocí změny logické úrovně signálu (tj. pomocí hrany), jak ukazuje obr. 3.3. Každý bitový interval v čase obsahuje jednu změnu logické úrovně, jejíž směr udává hodnotu bitu. V případě přenosu dvojice shodných bitů po sobě je tedy nutné mezi ně vložit ještě jeden další přechod. [13, Clause 7.3]

Z uvedeného vyplývá, že kódování Manchester je příkladem kódování dat ze skupiny tzv. *kódování v základním pásmu (baseband encoding)* a výsledný signál je tvořen kombinací signálů o frekvencích daných základní přenosovou rychlostí a polovinou této základní frekvence. V případě Ethernetu 10Base-T s přenosovou rychlostí 10 Mb/s tedy půjde o kombinaci obdélníkových průběhů s frekvencemi 10 MHz a 5 MHz. [30]

3.4.2 Indikace navázaného spojení

Za účelem indikace fyzického spojení norma zavádí tzv. *linkové pulzy (link-integrity pulses)*, označované také jako *normal link pulses (NLP)*. V prodlevách mezi datovými rámci odesílá stanice v intervalech $16ms \pm 8ms$ jeden pulz, čímž protistraně potvrzuje platnost spojení. NLP pulz je široký 100 ns a má kladnou polaritu. [13, Clause 14.3]

Standard specifikuje, že pokud je linka neaktivní po dobu 50 – 150 ms (tj. stanice neobdržela datový rámec ani NLP), pak je spojení prohlášeno za rozpojené. [13, Clause 14.2.1.7]

3.4.3 Fyzické médium a konektory

Fyzické médium je tvořeno osmižilovým měděným kabelem označovaným zkratkou UTP (*Unshielded Twisted Pair*, nestíněný kroucený pár), obsahujícím čtyři páry kroucených vodičů. Varianta Ethernetu 10Base-T využívá k přenosu dat pouze dva ze čtyř párů (jeden pro směr vysílání, druhý pro příjem), zbylé dva páry vodičů nejsou využity. Elektrické charakteristiky segmentu média, které musí být splněny, definuje standard v oddíle [13, Clause 14.4]. Segment UTP kabelu je zakončen osmivývodovými koncovkami (konektory) typu RJ-45. [13, Clause 14.5]

Technologie Ethernet pracuje s diferenciální signalizací, tzn. pro přenos informace je využita dvojice komplementárních vodičů s opačnou polaritou, přičemž přijímací strana vyhodnocuje logickou úroveň signálu jako rozdíl potenciálu mezi uvedenými vodiči, nikoli vůči společnému referenčnímu bodu.

3.5 Technologie Auto-Negotiation

Auto-Negotiation je mechanismus, který dovoluje zařízením v sítích Ethernet navzájem se informovat o množině dostupných rychlostních a duplexních režimů a z nich následně vybrat nejvhodnější variantu podporovanou oběma komunikujícími stranami. Technologie Auto-Negotiation je součástí fyzické vrstvy Ethernetu. [13, Clause 28]

Fáze Auto-Negotiation probíhá ihned po vzniku fyzického spojení, tj. např. po fyzickém připojení kabelu do zařízení. Obě komunikující zařízení si, dříve než je spojení ustaveno, vymění informace o podporovaných režimech činnosti. Po ukončení této operace je řízení předáno subsystému realizujícímu vyjednaný komunikační režim. Jednotka, která zajišťovala mechanismus Auto-Negotiation, se stává transparentní a do navázaného spojení již žádným způsobem nezasahuje. Takto vyjednaný režim spojení zůstává v platnosti až do okamžiku, kdy je navázané spojení přerušeno (viz oddíl 3.4.2). Detailní popis mechanismu Auto-Negotiation je obsahem dokumentu [4].

Bit č.	Pole	Ozn.	Význam bitu (bitů)
0 (LSB) - 4	Selector field	S0:S4	Označení technologie (00001 pro IEEE 802.3)
5	Ability field	A0	Podpora režimu 10Base-T
6		A1	Podpora režimu 10Base-T, plný duplex
7		A2	Podpora režimu 100Base-TX
8		A3	Podpora režimu 100Base-TX, plný duplex
9		A4	Podpora režimu 100Base-T4
10 - 11		A5:A6	Podpora rámců typu PAUSE ¹
12	Příznaky	XNP	Podpora tzv. „ <i>extended next pages</i> “ ²
13		RF	Remote Fault (indikace obecného selhání)
14		ACK	Potvrzení přijetí LCW od protistrany
15 (MSB)		NP	Funkce <i>next pages</i> (viz. 3.5.3)

Tabulka 3.1: Struktura kódového slova LCW [13]

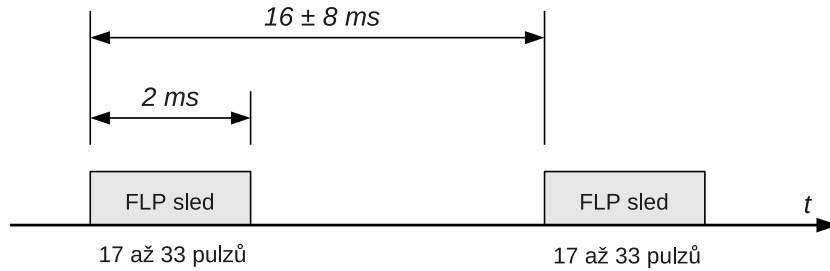
3.5.1 Kódování a přenos informace o podporovaných režimech

Informace o podporovaných režimech je reprezentována tzv. kódovým slovem (*link code word*, LCW) o délce 16 bitů [13, Clause 28.2.1.2]. Kódové slovo je rozděleno do 3 částí: označení technologie (tzv. *selector field*, 5 bitů), pole podporovaných režimů (*technology ability field*, 7 bitů) a příznaky (zbývající 4 bity). Význam jednotlivých bitů je podrobněji uveden v tabulce 3.1.

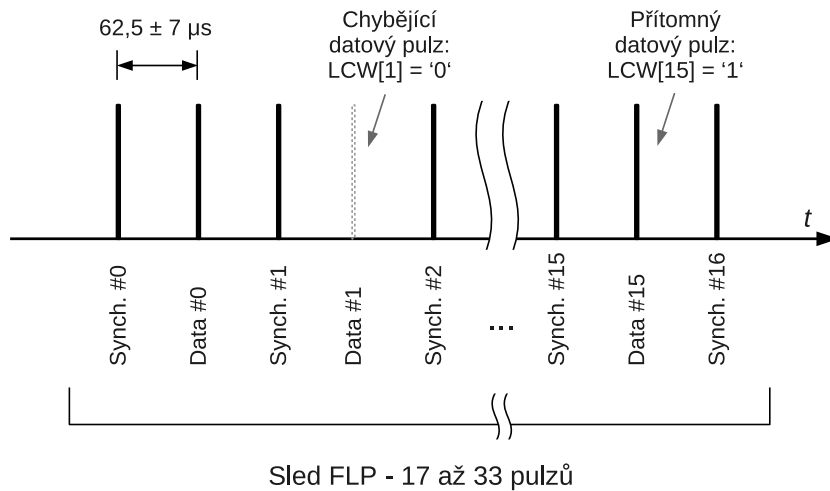
Přenos kódového slova po fyzickém médiu je realizován pomocí série (sledu) linkových pulzů, které mají stejný tvar jako NLP pulzy zmíněné v oddíle 3.4.2, ovšem prodleva mezi

¹Rámce typu PAUSE představují v sítích Ethernet mechanismus pro řízení toku (*flow control*) a předcházení zahlcení některé z komunikujících stran (*congestion control*). V rámci této práce není podpora tohoto mechanismu řešena. Více informací lze nalézt v [13, Annex 31B].

²*Extended Next Pages* (rozšířené dodatečné stránky) je nepovinné rozšíření standardu, které umožňuje výměnu kódových slov o délce 48 bitů místo základních 16 bitů. Pro vypracování této práce nebyla podpora tohoto volitelného prvku nutná. Podrobnější informace nalezne čtenář v [13, Clause 28.2.3.4].



Obrázek 3.4: Časování sledů FLP pulzů



Obrázek 3.5: Reprezentace kódového slova prostřednictvím FLP pulzů

jednotlivými pulzy je podstatně kratší. Tyto pulzy se označují jako *rychlé linkové pulzy* (*fast link pulses*, FLP). [13, Clause 28.2.1.1.2]

Jeden sled FLP sestává z 17 až 33 pulzů, přičemž 17 pulzů je hodinových a nesou informaci o synchronizaci. Zbylé pulzy, tzv. datové pulzy, jsou rozmístěny vždy střídavě mezi dvojice pulzů synchronizačních. Je-li mezi dvojicí hodinových pulzů datový pulz přítomen, je to přijímající stranou vyhodnoceno jako bit s hodnotou 1. Absence datového pulzu znamená příjem nulového bitu. Popsaným způsobem je odesláno všech 16 bitů kódového slova, přičemž prvním odeslaným bitem je bit nejméně významný (LSB). Uvedený způsob kódování LCW pomocí pulzů FLP spolu s časovými relacemi je znázorněn na obr. 3.5. [13, Clause 28.2.1.1.1]

3.5.2 Popis procedury Auto-Negotiation

Procedura Auto-Negotiation je typickým příkladem tzv. protokolů typu *handshake*, neboť dvojice komunikujících zařízení si nejdříve vymění informace o podporovaných režimech (tj. kódová slova LCW) a v další fázi si korektní příjem kódových slov vzájemně potvrdí. K potvrzení korektního příjmu slouží příznakový bit ACK.

Protokol Auto-Negotiation je symetrický — obě komunikující strany prochází stejnou sekvencí událostí. Mechanismus Auto-Negotiation sestává z následujících pěti fází [4]:

1. Stanice periodicky vysílá LCW s přehledem vlastních schopností, příznak ACK je nastaven na hodnotu 0.
2. Po přijetí 3 shodných LCW s výčtem podporovaných režimů protistrany (stav příznaku ACK není porovnáván) nastavuje stanice svůj vlastní příznak ACK na hodnotu 1, čímž indikuje úspěšné přijetí slova LCW.
3. Stanice čeká na příjem 3 shodných LCW od protistrany s nastaveným příznakem ACK — tj. na indikaci, že protistrana obdržela a úspěšně dekodovala zasláné LCW.
4. Na závěr odešle stanice vlastní LCW s nastaveným příznakem ACK ještě 6-8krát.
5. Fáze Auto-Negotiation je ukončena, odesílání LCW je zastaveno a řízení předáno subsystému, který realizuje spojení v režimu s nejvyššími podporovanými parametry. Linka je pak nadále udržována v aktivním stavu zasíláním běžných pulzů NLP (viz 3.4.2).

Výběr rychlostní a duplexní varianty, která bude použita pro ustavení spojení, je dán standardem pomocí předdefinovaných priorit. Z množiny variant, která jsou podporována oběma zařízeními současně, se vybere varianta s nejvyšší prioritou. Priority odpovídají pozici bitů ve slově LCW (viz tab. 3.1) — vyšší prioritu má varianta, jejíž bit má v rámci slova LSB vyšší váhu. Uvedený mechanismus volby režimu spojení podle priorit se označuje jako *priority resolution*. [13, 28.2.3.3]

Podrobnou formální specifikaci procedury Auto-Negotiation ve podobě stavových automatů je možné nalézt v příslušné sekci standardu: [13, Clause 28.3].

3.5.3 Rozšiřitelnost mechanismu Auto-Negotiation

Technologie Auto-Negotiation obsahuje dva prvky, jimiž je možné standard v budoucnu rozšiřovat a umožnit výměnu dalších informací při zachování zpětné kompatibility.

První možností je definovat další hodnoty pro pětibitové pole *selector field* [13, Annex 28A]. Druhou variantou je funkčnost *next page*, která umožňuje výměnu dalších 16bitových slov nad rámec základního kódového slova LCW, jak bylo popsáno výše. Implementace uvedené rozšiřující funkcionality je nepovinná a výměna dalších šestnáctibitových sekvencí proběhne pouze v tom případě, že obě komunikující strany tuto možnost podporují a daly to najevo nastavením příznaku NP (*next page*) v základním slově LCW. [13, Clause 28.2.3.4]

Mechanismus *next page* nachází uplatnění např. u standardu 1000Base-T, kdy pomocí dodatečných kódových slov dojde k výměně informací nutných pro korektní ustavení spojení. Pro realizaci rozšířeného modulu Twister, jehož návrh je obsahem kapitoly 5, však není implementace volitelné funkce *next page* nutná.

Kapitola 4

Původní implementace modulu Twister

V následujícím textu autor této bakalářské práce podrobněji analyzuje elektrické zapojení stávajícího modulu RONJA Twister a vysvětluje principy fungování jednotlivých podsystémů uvedeného modulu. Ze zde prezentovaných informací vychází kapitoly následující, které diskutují nevýhody původní implementace a navrhují vhodné řešení.

Úplné schéma původního modulu Twister, jehož autorem je pan Karel Kulhavý, je přetištěno v příloze A. V textu kapitoly je na jeho jednotlivé komponenty odkazováno.

4.1 Úloha modulu Twister

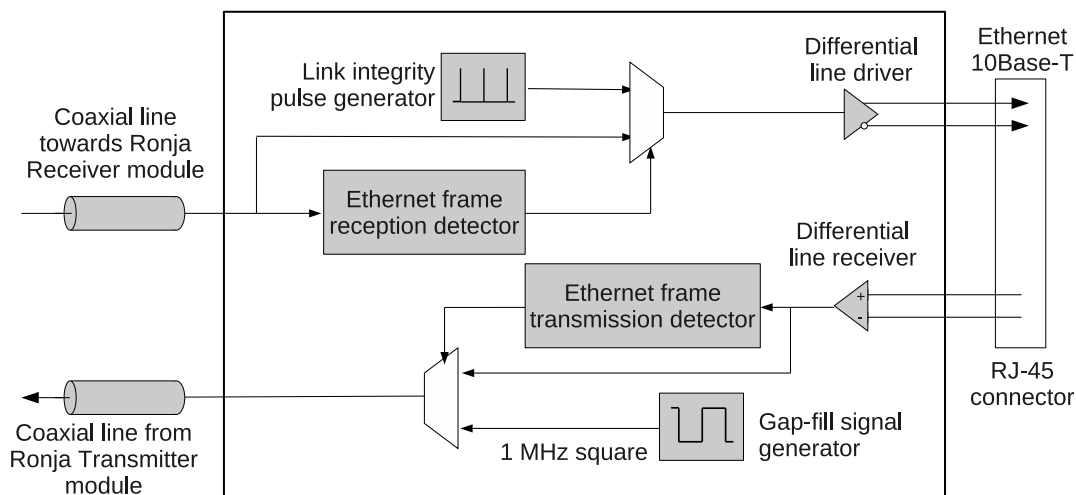
Twister [28] je jedním z elektronických modulů zařízení RONJA. Tento modul tvoří rozhraní mezi Ethernetem 10Base-T a vlastním optickým přenosem. Úkolem modulu Twister je upravit signál k odvysílání do takové podoby, která je vhodná pro odvysílání formou světelného paprsku. Pro signál přijatý od protistrany pak provádí opačnou transformaci. Dále je nutné zajistit fyzickou vrstvu Ethernetu — link integrity (viz 3.4.2).

Zařízení Twister je možné z pohledu standardu IEEE 802.3 klasifikovat jako opakovač (*repeater*) [13, Clause 9], neboť pracuje na fyzické vrstvě technologie Ethernet a pro ostatní připojené stanice je jeho přítomnost v rámci segmentu sítě zcela transparentní.

4.2 Způsob transformace signálu

Transformace signálu [22] do podoby pro optické odvysílání spočívá v zajištění skutečnosti, že vysílaný signál bude po celou dobu trvání spojení obsahovat nenulovou stejnosměrnou složku. Pokud by toto nebylo dodrženo, pak by během prodlev mezi datovými rámci (tj. v okamžicích nevytížené linky) docházelo k nežádoucímu zesílení světelného šumu v modulu optického přijímače protistrany.

Výše uvedený požadavek řeší modul Twister tím, že mezery mezi rámci během optického přenosu vyplňuje obdélníkovým signálem o frekvenci 1 MHz. Tento dodatečně přidaný signál je možné snadno odlišit od datového rámce (viz 3.4.1) pomocí měření frekvence přijímaného signálu.



Obrázek 4.1: Blokové schéma původního modulu RONJA Twister

4.3 Struktura modulu Twister

Modul Twister je možné rozdělit na dvě části — část vysílací a část přijímací.

Úkolem vysílací části je transformovat signál přijatý z metalického Ethernetu přidáním vyplňujícího signálu do mezer mezi rámci. Takto upravený signál je následně odeslán do modulu optického vysílače.

Přijímací část modulu Twister zpracovává signál přijatý z optické linky od protistrany modulem optického přijímače. Úkolem tohoto podsystému je rozlišit, dochází-li k přenosu rámce nebo je-li přijímán obdélníkový signál o frekvenci 1 MHz. Tento dodatečný signál, přidaný během procesu vysílání, je odfiltrován. Přijímací část musí dále zajistit generování pulzů NLP pro udržení metalické linky v aktivním stavu.

4.3.1 Diferenciální signalizace

Komunikační standard Ethernet 10Base-T využívá tzv. *diferenciální signalizaci*, jak bylo uvedeno v oddíle 3.4.3. Pro příjem signálu z metalické linky Ethernetu slouží v rámci modulu Twister diferenciální přijímač DS26LS32 – IO U62 ve schématu (viz příloha A). Opačnou úlohu – generování diferenciálního signálu – zabezpečuje diferenciální budič DS26LS31, obvod U58. K vysílání signálu jsou využity dva páry výstupů diferenciálního obvodu, čímž je dosaženo možnosti generovat třístavový výstup. Třetí stav (stav nulového rozdílu potenciálu mezi vodiči diferenciálního páru) se využije během neaktivity metalické linky, tj. během mezery mezi datovými rámci (IFG, *Inter-Frame Gap*).

4.3.2 Detekce příjmu rámce z metalické linky

K detekci stavu, kdy na metalické lince dochází k přenosu rámce, využívá modul Twister kaskádového zapojení 3 posuvných registrů typu SIPO (Serial In, Parallel Out): obvody U63, U64, U65.

Tyto registry jsou zapojeny jako tzv. rozšiřovače pulzů (pulse extenders). V případě přiložení záporného pulsu na jejich vstup dojde k resetu registru a výsledkem je prodloužení doby trvání tohoto pulsu na výstupu obvodu.

Vhodným zapojením trojice těchto obvodů je možné odlišit klidový stav na metalické linkce od přenosu datového rámce. Detekce přítomnosti rámce probíhá na základě určení frekvence signálu. Pokud přicházejí hrany vstupního signálu častěji než v intervalech 312,5 ns (odpovídá frekvenci signálu 3,2 MHz), pak je na výstupu kaskády stabilně hodnota log. 0 indikující průchod datového rámce. V opačném případě kaskáda generuje stav log. 1 reprezentující nečinnost metalické linky.

4.3.3 Detekce příjmu rámce z optické linky

V rámci přijímací části modulu Twister je nutné rozlišit, obsahuje-li signál z modulu optického přijímače datový rámec nebo pouze 1MHz obdélníkový signál vyplňující mezery mezi rámci. K tomu slouží podobné zapojení dvojice posuvných registrů, které fungují analogicky jako kaskáda registrů popsaná v předchozím odstavci. Ve schématu modulu Twister se jedná o obvody U51 a U53.

4.3.4 Generování pulzů NLP

Přijímací část modulu Twister obsahuje podsystém pro generování pulzů typu NLP. Generátor pulzů NLP je tvořen binárními čítači U60 a U61 spolu s hradly typu NAND U66 a U67, která plní funkci komparátoru. Perioda generátoru je zvolena tak, aby k vyslání pulzu docházelo každých 16,4 ms, přičemž jeden pulz NLP je široký 125 ns. Šířka pulzu odpovídá dvěma periodám hlavního hodinového signálu modulu Twister o frekvenci 16 MHz.

4.4 Modul Twister a standard 10Base-T

Modul Twister porušuje specifikaci opakovače [13, Clause 9] v tom smyslu, že při průchodu rámce zařízením dochází ke zkrácení jeho úvodní části, tzv. *preamble* (viz oddíl 3.2) o větší úsek, než standard dovoluje.

Toto zkrácení je způsobeno skutečností, že detektory rámců popsané v odstavcích 4.3.2 a 4.3.3 vygenerují příznak detekce rámce až po uplynutí 500 ns po skutečném začátku rámce (interval odpovídá 8 taktům hlavního hodinového signálu modulu Twister). Toto vede k celkovému zkrácení preamble o 10 bitových intervalů, tj. 2x 500 ns, neboť rámec prochází dvěma zařízeními Twister.

Uvedená odchylka od specifikace však v praxi nečiní problémy, protože datová část rámce není zkrácením nijak dotčena (viz oddíl 3.2) a i zkrácená preamble stále poskytuje dostatečně dlouhý interval pro synchronizaci přijímací strany s kmitočtem vysílače.

4.5 Konstrukce modulu Twister

Pro původní modul Twister existuje návrh oboustranné desky plošných spojů (DPS) pro osazení součástkami v diskretních pouzdrech. Na domovské stránce projektu RONJA [23] je publikována také verze Twister2, která se liší pouze využitím součástek typu SMD. Po stránce elektrického zapojení a principu fungování je totožná se základní variantou zařízení Twister popsaného v rámci této kapitoly.

Kapitola 5

Návrh rozšířeného modulu Twister

Cílem kapitoly je shrnout nevýhody a slabé stránky původní implementace modulu Twister a upozornit na případné problémy, které mohou být s používáním původní varianty Twisteru spojeny. Dále je pak na základě teoretických východisek z předchozích kapitol navrženo řešení spočívající v rozšířené reimplementaci modulu, která diskutovaným problémům předchází. Kapitola také shrnuje kriteria, požadavky a rozhodnutí vedoucí k volbě cílové platformy – rekonfigurovatelného obvodu FPGA Spartan-3AN firmy Xilinx.

5.1 Nevýhody původní varianty zařízení Twister

Modul RONJA Twister je ve své původní implementaci jednoduchým bezstavovým zařízením, které neuchovává informace o tom, je-li metalické spojení úspěšně navázáno, ani jaký je aktuální rychlostní a duplexní režim linky. Modul Twister dále není schopen navenek prezentovat, jaké režimy komunikace podporuje. Uvedený přístup byl zvolen z důvodu zjednodušení konstrukce zařízení – původní modul Twister je sestaven z integrovaných logických obvodů v diskretních pouzdrech a neobsahuje žádný procesor. Toto zjednodušení má však za následek:

- nemožnost automatické konfigurace parametrů spojení,
- nutnost ruční konfigurace metalické linky do režimu „10 Mb/s, plný duplex“,
- provoz v režimu pouze polovičního duplexu pro ta zařízení, která ruční volbu módu spojení nedovolují (tj. ztrácí se jedna z výhod zařízení RONJA – schopnost vytvořit plně duplexní spoj),
- nebezpečí vzniku tzv. problému *duplex mismatch*, jehož podstata je podrobněji vysvětlena v následujícím oddíle.

5.1.1 Problém „duplex mismatch“

Jako *duplex mismatch* [38] se označuje nežádoucí stav, kdy dvojice zařízení komunikujících v rámci segmentu sítě Ethernet je chybně nakonfigurována tak, že pracují v rozdílných duplexních režimech (tj. jedno zařízení pracuje v režimu plného duplexu a druhé v režimu duplexu polovičního). Uvedený problém se projevuje výrazným snížením propustnosti linky. Praxe ukazuje, že v rámci složitějších síťových topologií může být pracně tuto chybu v konfiguraci diagnostikovat a lokalizovat.

Ke snížení propustnosti linky dochází z následujícího důvodu. Zařízení nakonfigurované pro práci v plném duplexu přistupuje k médiu a odesílá data bez ohledu na stav komunikace ve směru opačném. Pokud však dojde k současnému vysílání i příjmu, vyhodnotí to protistrana nastavená pro režim polovičního duplexu na základě metody CSMA/CD jako kolizi a přerušuje svoje vysílání (viz 3.3.1). [38] [13, Clause 14.2.1.8]

Je nutné poznamenat, že datový přenos prakticky vždy probíhá v obou směrech současně, neboť obousměrný datový přenos (zasílání potvrzení o přijatých datových jednotkách) je základním principem protokolů vyšších vrstev, které zajišťují spolehlivý přenos dat. [30] K popsanému generování „nepravých“ kolizí tedy dochází velmi často, čímž je propustnost linky výrazně snížena.

5.2 Navržené řešení

Jako vhodný prostředek pro řešení problémů popsaných v předchozí podkapitole se jeví doplnění podpory pro technologii Auto-Negotiation pro modul RONJA Twister. Uvedená myšlenka vychází z toho, že ačkoli implementace mechanismu Auto-Negotiation není pro Ethernet 10Base-T povinná¹, jedná se o standardem doporučený způsob pro konfiguraci parametrů linky. Dále řada aktivních prvků (přepínačů), především zařízení z nižších cenových kategorií, neumožňuje manuální konfiguraci parametrů spojení a jedinou možností, jak ovlivnit rychlostní a duplexní režim linky, je protokol Auto-Negotiation.

Doplnění podpory technologie Auto-Negotiation pro modul Twister vyžaduje přepracovat zařízení tak, aby bylo plně stavové vzhledem k spojení na metalické lince Ethernetu. Jelikož fáze Auto-Negotiation probíhá pouze při navázání fyzického síťového spojení, musí být modul Twister schopen rozpoznat fyzické připojení média, korektně spojení navázat, průběžně monitorovat jeho stav a dále být schopen rozeznat jeho případné přerušování.

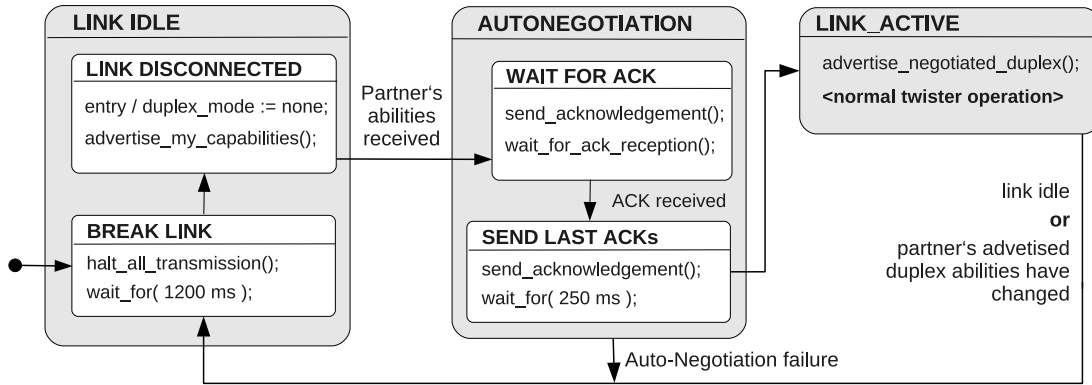
Návrh chování rozšířené implementace modulu Twister ve formě stavového automatu je naznačen na obr. 5.1. Po připojení fyzického média se spustí procedura Auto-Negotiation, jejímž cílem je informovat protistranu o dostupnosti režimu „10 Mb/s, plný duplex“. Po dokončení fáze Auto-Negotiation, během níž byl úspěšně vyjednáno režim linky, se rozšířená implementace modulu Twister chová podobně jako implementace původní (viz kapitola 4).

V případě, že se během fáze Auto-Negotiation nepodaří vyjednat režim plného duplexu, ale pouze duplex poloviční, je nezbytné tuto informaci přenést i po optické lince k „protějšimu“ Twisteru. Ten následně odpovídajícím způsobem upraví duplexní režim své lokální metalické linky; proběhne tam tedy „znovuvyjednání“ režimu linky označované jako *renegotiation*. Uvedený mechanismus přenosu informace o úrovni duplexu po optické lince je nutnou podmínkou pro prevenci vzniku problému *duplex mismatch*.

Rozšířená implementace Twisteru kóduje informaci o duplexu pomocí frekvence obdélníkového signálu vyplňujícího mezery mezi datovými rámci. Pokud se nepodaří vyjednat režim plného duplexu, pak je frekvence uvedeného signálu snížena z 1 MHz na 0,8 MHz. Takto definovaný způsob přenosu informace o duplexu byl zvolen nejen kvůli jednoduchosti, ale také pro zachování kompatibility s původní verzí modulu Twister.

Je důležité poznamenat, že pro správnou funkčnost uvedeného mechanismu je nutné, aby se po optické lince přenášela informace nikoli o aktuálním duplexním režimu, ale o nejvyšším duplexním režimu podporovaném protistranou na metalickém segmentu Ethernetu.

¹Pro fyzické vrstvy Ethernetu 10Base-T a 100Base-TX je implementace Auto-Negotiation nepovinná, avšak doporučená. Pro standard 1000Base-T se již jedná o povinný prvek. [13]



Obrázek 5.1: Návrh zařízení Twister s podporou Auto-Negotiation – stavový automat

5.3 Volba vývojové a cílové platformy

Vzhledem k charakteru řešeného problému se jako vhodný implementační prostředek jeví použití konfigurovatelných hradlových polí.

Jako vývojová platforma byl zvolen vývojový přípravek FITkit [8]. Výhodou uplatnění FITkitu jako vývojové platformy je:

- vybavenost kitu vhodným rekonfigurovatelným obvodem – čipem FPGA Spartan-3 firmy Xilinx [15],
- dostupnost vývojového přípravku pro studenty FIT VUT Brno,
- skutečnost, že výsledek práce může posloužit ostatním studentům k seznámení se s principy fungování projektu RONJA, fyzické vrstvy Ethernetu a mechanismu Auto-Negotiation.

Mezi požadavky a kritéria, které byly brány v úvahu při volbě cílové platformy, patří dostatečná kapacita obvodu, dostupnost vývojových nástrojů, cena čipu a dále počet vyžadovaných externích komponent, což určuje složitost a cenu celkového výsledného zapojení. Důležitým parametrem je také dostupnost obvodu v pouzdře, které je vhodné pro „svépomocné“ osazení.

Po zvážení uvedených požadavků a po zhodnocení předchozích zkušeností s řešením obdobných problémů se autor této bakalářské práce, omezil na rekonfigurovatelné obvody v portfoliu firmy Xilinx. Dalším důvodem podporujícím uvedené rozhodnutí je přímá návaznost zvolených produktů na výuku hardwarově zaměřených kurzů v rámci studia na FIT VUT Brno. Jako vhodní kandidáti se pro cílový systém jeví obvody CPLD (produktové řady XC9500 a CoolRunner-II) a obvody FPGA (rodina obvodů Spartan-3).

Následující odstavce stručně charakterizují technologie CPLD a FPGA. Důraz je kladen na ty vlastnosti, které sehrály nejvýznamnější roli při volbě cílového obvodu. Přehledové shrnutí a srovnání obou technologií je také obsahem tabulky 5.1.

5.3.1 Rekonfigurovatelné obvody CPLD

Obvody CPLD (*Complex Programmable Logic Devices*) jsou jedním z typů rekonfigurovatelných logických obvodů s vysokou kapacitou. Jedná se o technologické nástupce programovatelných logických polí typu PAL (*Programmable Array Logic*) a GAL (*Generic Array*

	Výhody	Nevýhody
Obvody CPLD	<ul style="list-style-type: none"> – nízký příkon – méně externích komponent – jednodušší napájecí obvody – integrovaná nevolatilní paměť 	<ul style="list-style-type: none"> – nízký počet registrů – nepříznivý poměr cena/kapacita
Obvody FPGA	<ul style="list-style-type: none"> – vysoká logická kapacita – mnoho dostupných registrů – příznivý poměr cena/kapacita 	<ul style="list-style-type: none"> – vyšší spotřeba – více napájecích větví – více externích komponent

Tabulka 5.1: Srovnání rekonfigurovatelných obvodů typu FPGA a CPLD

Logic). Z hlediska struktury jde v principu o kombinaci více takových logických polí do jediného čipu spolu s prostředky pro jejich propojení.

Základní strukturální jednotka architektury CPLD se označuje jako tzv. *macrocell*. Obvody typu CPLD poskytují poměrně velký počet zdrojů pro syntézu kombinační logiky. Počet klopných obvodů, které je možné využít pro syntézu sekvenčních částí obvodu (registrů), je však nízký – každá *macrocell* nabízí k využití pouze jediný klopný obvod typu D.

Mezi kandidáty pro výběr cílové platformy byly zařazeny obvody produktových řad:

- CPLD XC9500 [10] – Obvody CPLD pracující s napájecím napětím 3,3 V nebo 5 V a dostupné v kapacitách až do 288 *macrocells*.
- CPLD Coolrunner-II [12] – Produktová řada CPLD obvodů vyznačující se nízkým příkonem. Vyžaduje však více různých napájecích větví. Obvody řady Coolrunner-II jsou dostupné, omezíme-li se na vhodná pouzdra², v kapacitách až po 384 *macrocells*.

5.3.2 Rekonfigurovatelné obvody FPGA

Obvody kategorie FPGA (*Field-Programmable Gate Arrays*) jsou zákazníkem rekonfigurovatelné integrované obvody, které poskytují velmi vysokou logickou kapacitu, srovnatelnou s aplikačně specifickými integrovanými obvody (ASIC).

Základním strukturálním prvkem obvodů na bázi FPGA je tzv. konfigurovatelný logický blok (Configurable Logic Block, CLB). Obvody FPGA obecně poskytují značnou kapacitu pro realizaci jak kombinačních, tak sekvenčních částí obvodů.

Z nabídky firmy Xilinx s ohledem na rozsah aplikace, výkonnostní požadavky a cenu výsledného řešení se jako vhodný kandidát pro cílovou platformu jeví produktová řada Spartan-3 [15]. V úvahu připadá také novější rodina Spartan-3AN [17], která navíc v rámci čipu obsahuje integrovanou nevolatilní paměť pro uložení konfiguračního řetězce.

5.3.3 Volba obvodu pro autonomní realizaci systému formou DPS

Prvotní myšlenkou v úvodu práce na reimplementaci zařízení bylo využít jako cílovou platformu obvod typu CPLD. Výhodou tohoto řešení by bylo podstatné zjednodušení konstrukce desky plošného spoje (DPS), neboť by klesl počet nutných přídavných komponent.

²Z kandidátů předem vylučuji obvody s pouzdry nevhodnými pro ruční osazování. Především se jedná o pouzdra typu BGA (*Ball Grid Array*), pro jejichž použití by bylo nutné navrhnout plošný spoj s více než dvěma vrstvami a případně objednat osazení desky u externí firmy.

Volba obvodu CPLD by se také příznivě projevila v nízkých nárocích kladených na podpůrné napájecí obvody (stabilizátory napětí).

V průběhu práce na aplikaci se jako rozhodující faktor podmiňující výběr cílové platformy ukázal počet registrů ve výsledném syntetizovaném systému. Potřeba vyššího počtu registrů vychází z nutnosti implementovat řadu časovačů, které slouží pro dodržení časových relací protokolu Auto-Negotiation a fyzické vrstvy Ethernetu.

Z tohoto důvodu byla vyloučena produktová řada obvodů CPLD X9500, neboť ta dostatečným počtem registrů nedisponovala.

Při cenovém porovnání kapacitně vyhovujících obvodů z řady CPLD CoolRunner-II (XC2C256) a FPGA Spartan-3AN (XC3S50AN) vychází cenově obvod FPGA o 34 % levněji³. Uvedený obvod navíc poskytuje podstatně více zdrojů pro syntézu kombinačních i sekvencních prvků obvodu, což představuje rezervu pro případná budoucí rozšíření.

Na základě těchto úvah byl jako cílová platforma zvolen cenově výhodnější obvod FPGA Spartan-3AN XC3S50AN, tj. nejnižší kapacitní model rodiny Spartan-3AN [17]. Výběr tohoto čipu je tedy kompromisem mezi cenou, kapacitou a složitostí podpůrných obvodů. Výhodou použití obvodu z rodiny Spartan-3AN je také přítomnost integrované nevolatilní paměti pro uložení konfiguračního řetězce přímo v čipu.

5.4 Implementační nástroje a jazyk

Jako prostředek pro implementaci a syntézu systému byl zvolen soubor nástrojů Xilinx ISE Webpack [2]. Jeho předností je bezplatná dostupnost na webových stránkách výrobce a podpora všech variant cílových platform zmíněných v podkapitole 5.3. Další výhodou uvedené volby je fakt, že pomocí téhož nástroje lze provádět syntézu pro zvolenou vývojovou i cílovou platformu, což podstatným způsobem zjednodušuje celý proces implementace systému.

Pro popis digitálního systému – reimplementovaného zařízení Twister – byl použit jazyk VHDL⁴. Jedná se o jazyk standardizovaný konsorciem IEEE [1], který slouží k popisu digitálních systémů. Volba uvedeného jazyka je dána jeho vhodností pro řešený problém, podporou v rámci software ISE Webpack a také předchozími zkušenostmi autora s prací v tomto jazyce.

³Zdroj: <http://cz.farnell.com>, ceny platné k 20.4.2011.

⁴VHDL: VHSIC (Very High Speed Integrated Circuit) Hardware Description Language

Kapitola 6

Popis implementovaného systému

Cílem kapitoly 6 je popsat strukturu implementovaného systému — rozšířeného modulu RONJA Twister — a prezentovat význam a princip fungování jeho jednotlivých komponent. Kvůli zachování přehlednosti výkladu autor nezachází do implementačních detailů; spíše popisuje princip, účel a postavení jednotlivých komponent v rámci systému. Podrobná programátorská dokumentace je součástí komentářů ve zdrojových textech systému.

6.1 Hierarchická struktura systému

Implementovaný systém využívá prostředků jazyka VHDL pro dekompozici systémů a hierarchický popis. Hierarchická struktura systému s vyznačením důležitých komponent je zachycena na obr. 6.1. Uvedené schéma si neklade za cíl vyčerpávajícím způsobem popsat strukturu systému ani rozhraní jednotlivých komponent. Spíše vystihuje pozici jednotlivých komponent v rámci aplikace, jejich účel, propojení a vzájemnou výměnu informací mezi nimi.

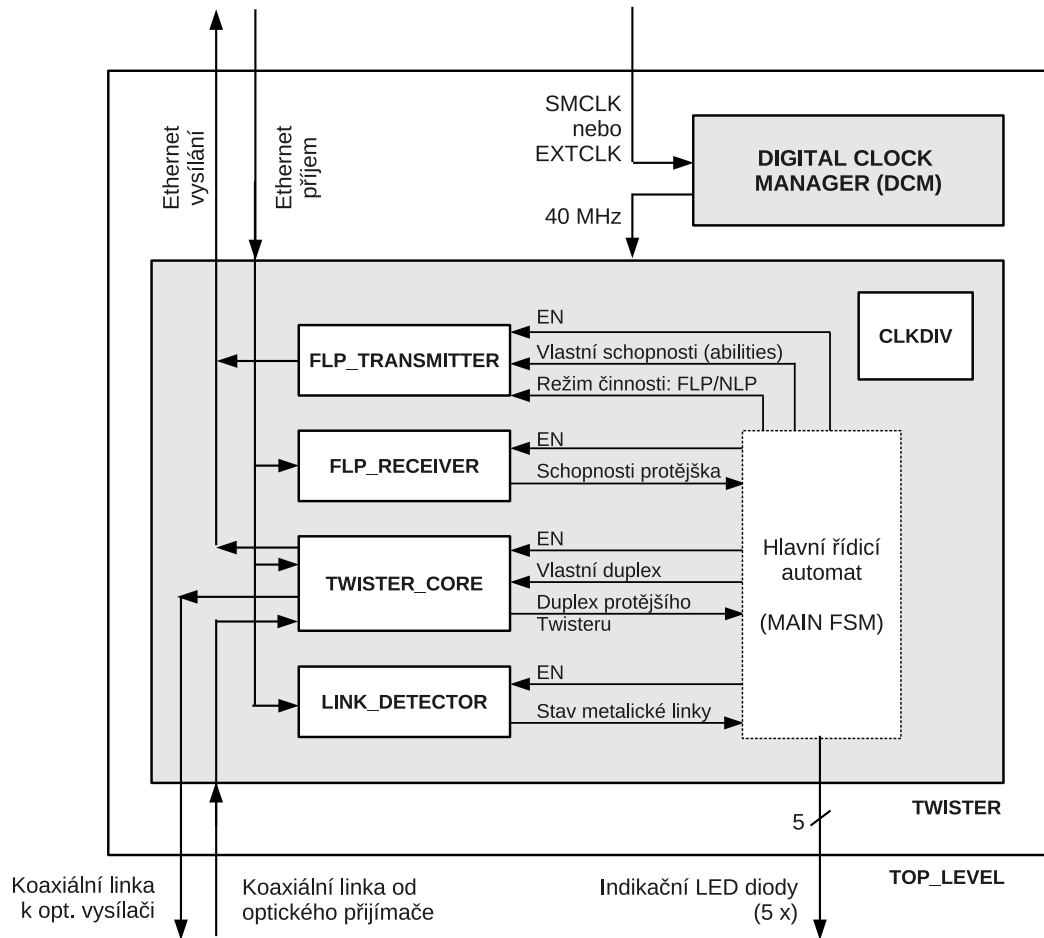
6.1.1 Komponenta `top_level`

Komponenta nejvyšší vrstvy je označena jako `top_level`. Jejím účelem je zjednodušit propojení komponenty `twister` s top-level porty zvoleného obvodu, aniž by bylo nutné zasahovat do samotné implementace modulu Twister.

Komponenta `top_level` obsahuje dále instanci komponenty DCM (Digital Clock Manager), což je jednotka obsažená v FPGA čipu určená k manipulaci s hodinovým signálem. Komponenta DCM je nakonfigurována tak, aby ze vstupního kmitočtu o nízké frekvenci generovala hodinový signál o kmitočtu 40 MHz, který je dále použit jako hlavní hodinový signál pro komponentu Twister. Konfigurační parametry jednotky DCM se v případě realizace systému na FITkitu liší od parametrů použitých v autonomní realizaci modulu formou samostatné desky plošných spojů. V rámci vývojové platformy (FITkit) je jako základní hodinový kmitočet použit vstupní signál `SMCLK` o frekvenci 7,3728 MHz. U autonomní realizace modulu Twister naproti tomu komponenta DCM využívá jako zdroj hodinový signál o frekvenci 20 MHz generovaný krystalovým oscilátorem (vstup `EXTCLK`).

6.1.2 Komponenta `twister`

Komponenta `twister` zapouzdřuje samotný implementovaný systém. Její rozhraní (vstupní a výstupní porty) shrnuje tabulka 6.1.



Obrázek 6.1: Struktura implementovaného systému

Jádrem komponenty *twister* je hlavní stavový automat (*Finite State Machine*, FSM), který řídí chod celého zařízení. Tento automat zajišťuje aktivaci a deaktivaci ostatních komponent, určuje režim jejich činnosti a zpracovává výstupy, které tyto komponenty poskytují. Jelikož se jedná o hlavní řídicí mechanismus implementovaného systému, je mu věnován samostatný oddíl 6.2.

6.1.3 Komponenta *clkdiv*

Komponenta *clkdiv* je pomocnou jednotkou, která ze základního hodinového signálu o kmitočtu 40 MHz odvozuje kmitočty nižší (1 MHz, 1 kHz, 100 Hz a 10 Hz).

Důvod existence těchto nižších kmitočtů spočívá v potřebě odměřovat různé časové intervaly, jejichž délka je řádově velmi odlišná – od desítek nanosekund přes mikrosekundy, milisekundy až po stovky milisekund a jednotky sekund. V případě použití pouze jediného základního kmitočtu o frekvenci 40 MHz by si mnohé časovače vynutily syntézu čítačů tvořených velkým počtem bitů. Použití vhodného hodinového signálu s kmitočtem odpovídajícím délce odměřovaného intervalu vede k redukci rozsahu čítačů, čímž dochází k efektivnějšímu využití zdrojů cílového rekonfigurovatelného obvodu.

Název portu	Směr a typ	Účel portu
TxD	out std_logic	vysílání pro metalický Ethernet
TxD_frame	out std_logic	indikace vysílání datového rámce
RxD	in std_logic	příjem z metalického Ethernetu (po zpracování dif. přijímačem)
Coax_RX	in std_logic	signál z optického přijímače
Coax_TX	out std_logic	signál pro modul optického vysílače
CLK	in std_logic	hlavní hodinový signál o frekvenci 40 MHz
RESET	in std_logic	signál resetu (<i>Power-on Reset</i>)
LED_link_lost	out std_logic	červená LED indikující ztrátu spojení metalické linky
LED_eth_link	out std_logic	zelená indikační LED navázaného spojení (bliká při datovém přenosu po rozhraní Ethernet)
LED_full_duplex	out std_logic	žlutá LED indikující režim plného duplexu (žlutá)
LED_coax_rx	out std_logic	indikace aktivity rozhraní Coax_RX (zelená LED)
LED_coax_tx	out std_logic	indikace aktivity rozhraní Coax_TX (červená LED)

Tabulka 6.1: Rozhraní entity `twister`

6.1.4 Komponenta `flp_transmitter`

Jednotka `flp_transmitter` zajišťuje odesílání FLP pulzů v takovém formátu, jak bylo uvedeno v oddíle 3.5.1. Chod komponenty je řízen jednoduchým stavovým automatem, který zabezpečuje správné časování jednotlivých pulzů a také vzájemné časování celých sledů FLP pulzů.

Má-li komponenta `flp_transmitter` informovat o dostupnosti režimu plného duplexu, lze ovlivnit nastavením vstupu `Advertise_FD`. Bude-li zaslán příznak správného obdržení kódových slov protistrany, se určí obdobně pomocí vstupu `Advertise_ACK`.

Komponenta `flp_transmitter` umožňuje také generovat pulzy typu NLP (viz 3.4.2). Tento přístup byl zvolen z důvodu úspory logických zdrojů cílového obvodu. Způsob generování pulzů FLP a NLP je totiž v principu podobný a skutečnost, že v žádném stavu metalické linky není nutné odesílat pulzy typu FLP a NLP současně, umožňuje využít tuto jedinou komponentu k oběma ukolům. Režim generování pulzů NLP lze aktivovat pomocí vstupu `NLP_only`.

6.1.5 Komponenta `flp_receiver`

Komponenta `flp_receiver` je komplementárním prvkem k jednotce `flp_transmitter`, neboť jejím úkolem je zajistit příjem kódových slov (LCW) od protistrany komunikující po metalické lince.

Komponenta poskytuje tyto důležité výstupy:

- `Remote_Autonego` – výstup, který indikuje, zda-li protistrana podporuje mechanismus Auto-Negotiation. Tento indikátor je přepnut do úrovně log. 1 v případě, že bylo od protistrany korektně přijato alespoň jedno slovo LCW.
- `Remote_Ability_Received` – indikace toho, že kódové slovo bylo přijato od protistrany třikrát ve shodné podobě.

- `Remote_FD`, `Remote_ACK` – zpřístupnění vybraných bitů kódového slova vně komponenty (viz oddíl 3.5.1). Jde o informující o dostupnosti režimu „10 Mb/s, plný duplex“ a potvrzovací bit `ACK`.

6.1.6 Komponenta `link_detector`

Úkolem této jednoduché komponenty je monitorovat aktivitu metalické linky Ethernetu a v případě fyzického přerušení spojení (tj. pokud nebyl obdržen datový rámec ani pulz NLP ve stanoveném časovém intervalu) toto indikovat pomocí výstupního portu `Link_Lost`. Komponenta `link_detector` tedy realizuje mechanismus kontroly aktivity fyzického spojení tak, jak bylo teoreticky popsáno v oddíle 3.4.2.

6.1.7 Komponenta `twister_core`

`twister_core` je komponenta, která má stejné postavení jako celá původní implementace modulu `Twister`. Tato jednotka je tedy aktivována po úspěšném dokončení fáze `Auto-Negotiation` a zabezpečuje transformaci přijímaného a vysílaného signálu tak, jak to bylo uvedeno v oddíle 4.2.

Pro detekci datových rámců se využívá stejného principu jako v původní variantě modulu `Twister`. Je uplatněna kaskáda „rozšiřovačů“ pulzů (*pulse extenders*), přičemž časové konstanty jsou shodné s konstantami z původního zapojení `Twisteru`. V případě reimplementované varianty `Twisteru` jsou jako rozšiřovače pulzů místo posuvných registrů typu `SIPO` uplatněny časovače typu `timer_keep_alive` (viz oddíl 6.1.8).

Komponenta `twister_core` dále musí zajistit příjem a vysílání informace o duplexním režimu po optické lince způsobem navrženým v oddíle 5.2.

Nastavení toho, bude-li komponenta `twister_core` indikovat protistraně dostupnost režimu plného duplexu, se děje pomocí vstupního signálu `Advertise_FD`. Stav tohoto vstupu tedy ovlivní frekvenci signálu vyplňujícího prodlevy mezi datovými rámci odvyšilými optickou formou.

K příjmu informace o duplexním režimu podporovaném protistranou je využita pomocná komponenta `pulse_length_checker`, která měří délku půlperiody signálu mezi datovými rámci a dovoluje tedy z frekvence signálu mezi datovými rámci odvodit informaci o dostupnosti režimu plného duplexu. Z důvodu zajištění odolnosti proti případnému šumu dojde k přepnutí výstupu pouze tehdy, je-li informace správně dekodována z deseti po sobě následujících period výplňového signálu. K realizaci této podmínky slouží jednoduchý stavový automat. Informace o duplexu protistrany je vně komponenty `twister_core` prezentována pomocí výstupního portu `Remote_FD`.

Způsob fungování jednotky `twister_core`, tedy proces samotné transformace datového signálu, je nezávislý na duplexním režimu navázaného spojení. Komponenta `twister_core` se chová k přenášeným datům vždy transparentně, tj. zajišťuje pouze nutné úpravy signálu a jeho přeposlání. Ošetření kolizí při poloduplexním režimu je ponecháno na zařízeních zakončujících segment sítě Ethernet (tj. aktivní prvky nebo síťové adaptéry PC), neboť tato činnost nespadá do kompetence opakovačů pracujících v rámci fyzické vrstvy (viz též oddíl 3.1). Popisovaný princip práce je plně v souladu s chováním původní varianty modulu `Twister`. Informace o podpoře duplexních režimů u protistrany je tedy využita hlavním řídicím automatem pouze k ovlivnění procesu `Auto-Negotiation` a k správnému stanovení duplexního režimu metalické linky. Způsob transformace signálu tímto není ovlivněn.

6.1.8 Pomocné komponenty

K odměřování časových intervalů v rámci aplikace slouží tři druhy časovačů. Jedná se o komponenty:

- `timer` – Komponenta `timer` je základní variantou časovače. Spouští se pomocí vstupního signálu `RESET`. Po době určené počtem period budícího hodinového signálu (`generic PERIODS`) časovač expiruje, což se projeví úrovní log. 1 na výstupním portu `EXPIRED`. Tento typ časovače je používán v mnoha instancích napříč implementovaným systémem všude tam, kde je nutné zajistit dodržení určitých časových relací mezi sekvencí akcí, popřípadě kontrolovat časový odstup některých událostí.
- `timer_double` – Jedná se dvojitý časovač, který se chová stejně jako dvojice jednoduchých časovačů `timer` se společným vstupem `RESET`. Důvodem existence této komponenty je snaha o úsporu kapacity výsledného obvodu. Nachází uplatnění tam, kde je nutné odměřovat časový interval s určitou dovolenou tolerancí, např. při zpracování sledů pulzů FLP v komponentě `flp_receiver`.
- `timer_keep_alive` – Tato komponenta je variantou časovače s pozměněnou sémantikou. Komponenta po resetu zůstává v neaktivním stavu (výstup `ALIVE` je v hodnotě log. 0). Pro udržení časovače ve stavu aktivním je nutné periodicky přivádět kladné pulzy na vstup `KEEP_ALIVE`. Uvedený časovač je tedy možné označit jako tzv. *watchdog*.

Poslední pomocnou komponentou je jednotka `pulse_length_checker`, která umožňuje měřit délku pulzu na svém vstupu v počtu taktů hodinového kmitočtu. Tato komponenta slouží v modulu `twister_core` k měření frekvence přijímaného signálu za účelem zjištění informace o duplexním režimu protistrany; je tedy součástí mechanismu navrženého v oddíle 5.2.

6.2 Řízení stavu rozšířeného modulu Twister

Chování celého modulu Twister a řízení režimu činnosti jeho jednotlivých komponent je koordinováno **hlavním stavovým automatem**, který je součástí komponenty `twister`.

Aktuální stav hlavního automatu reprezentuje stav celého zařízení, přičemž stav zařízení je z vnějšího pohledu ovlivněn především momentálním stavem fyzického média – metalické linky Ethernetu. Popisovaný stavový automat také řídí proceduru Auto-Negotiation; zajišťuje tedy nezbytnou sekvenci kroků tak, jak byla uvedena v oddíle 3.5.2.

Celkové grafické schéma uvedeného automatu prezentuje obr. B.1. Následující podkapitoly se zaměřují na popis jednotlivých stavů automatu a specifikaci jejich významu pro bezchybnou činnost celého zařízení.

6.2.1 Stav `POWER_UP_RESET`

Stav `POWER_UP_RESET` je výchozím stavem automatu, který je, jak název naznačuje, jako první vyvolán po připojení zařízení k napájecímu napětí. Tento stav zajišťuje vypnutí všech komponent a reset registru `met_fd_reg`, uchovávajícího informaci o duplexních schopnostech protistrany.

Ze stavu `POWER_UP_RESET` zařízení ihned přechází do stavu `BREAK_LINK`.

6.2.2 Stav `BREAK_LINK` a `BREAK_LINKWAIT`

Stavy `BREAK_LINK` a `BREAK_LINK_WAIT` slouží k přerušení metalického spojení v případech, kdy vznikla nutnost změnit duplexní režim linky, nebo tehdy, došlo-li během fáze Auto-Negotiation k chybě zabraňující úspěšnému vyjednání režimu.

Přerušení metalického spojení je provedeno tak, že modul Twister pozastaví veškeré vysílání na dobu 1,4 sekundy. Tím je zabezpečeno, že protistrana s jistotou vyhodnotí spojení jako přerušené a je tedy připravena k opětovnému vykonání fáze Auto-Negotiation.

Pro přehlednost návrhu byl mechanismus přerušení spojení rozdělen do dvou stavů, přičemž stav `BREAK_LINK` spouští příslušný časovač. Stav `BREAK_LINK_WAIT` následně reprezentuje vlastní fázi čekání; ta je ukončena expirací časovače spuštěného ve stavu `BREAK_LINK`.

6.2.3 Stav `LINK_DISCONNECTED` a `LINK_TEST_WAIT`

Po ukončení fáze přerušení spojení přechází automat ze stavu `BREAK_LINK_WAIT` do stavu `LINK_DISCONNECTED`. V něm dochází k aktivaci komponent `flp_transmitter`, `flp_receiver` a `link_detector`. Modul Twister v tomto stavu začíná vysílat sledy FLP pulzů nesoucí informace o dostupných rychlostních a duplexních režimech metalické linky.

Indikuje-li ve stavu `LINK_DISCONNECTED` komponenta `link_detector` aktivní spojení, automat přechází do stavu `LINK_TEST_WAIT`. Význam tohoto stavu spočívá v nutnosti zjistit, zda-li protistrana podporuje mechanismus Auto-Negotiation. Je-li detekován příjem platného sledu FLP pulzů, automat ihned přechází do stavu `START_AUTONEGO`. Nedojde-li k příjmu platného souboru pulzů FLP po určitý časový interval a přitom linka je stále aktivní, pohlíží se na situaci tak, že protistrana mechanismus Auto-Negotiation nepodporuje. Automat v tomto případě vstupuje do stavu `NLP_PULSES_DETECTED`.

6.2.4 Mechanismus Parallel detection

Stav `NLP_PULSES_DETECTED` reprezentuje situaci, byla zjištěna aktivita linky, ovšem protistrana nevykazuje podporu procedury Auto-Negotiation. V takovém případě zařízení přechází ze stavu `NLP_PULSES_DETECTED` přímo do stavu `LINK_ACTIVE_HDUPLEX`.

Uvedený mechanismus detekce spojení v případě, že protistrana neumožňuje provedení fáze Auto-Negotiation, se standardem označuje jako *parallel detection*. [13, 28.2.3.1]

6.2.5 Řídící stavy pro operaci Auto-Negotiation

Průběh operace Auto-Negotiation a sekvenci příslušných akcí (viz 3.5.2) zajišťuje trojice stavů `START_AUTONEGO`, `WAIT_FOR_ACKS` a `SEND_LAST_ACKS`.

Stav `START_AUTONEGO` zahajuje fázi Auto-Negotiation. Modul Twister v tomto stavu čeká na příjem tří shodných kódových slov od protistrany. Po jejich úspěšném obdržení přechází do stavu `WAIT_FOR_ACKS`.

Ve stavu `WAIT_FOR_ACKS` zařízení čeká na obdržení potvrzení o přijetí kódového slova LCW protistranou. Za úspěšné obdržení potvrzení je považována situace, kdy jsou bezchybně dekodována tři po sobě následující shodná slova LCW s nastaveným příznakovým bitem ACK.

Stav `SEND_LAST_ACKS` zajišťuje odeslání šesti až osmi posledních LCW před ukončením fáze Auto-Negotiation.

Při opouštění stavu `SEND_LAST_ACKS` dochází ke konečnému rozhodnutí o volbě duplexního režimu linky. Režim plného duplexu, reprezentovaný stavem `LINK_ACTIVE_FDUPLEX`, je možné aktivovat při současném splnění obou následujících podmínek:

- Protistrana komunikující po metalickém segmentu sítě Ethernet během fáze Auto-Negotiation indikovala podporu režimu plného duplexu.
- Protější modul Twister na opačném konci optické linky informuje o dostupnosti plně duplexního režimu pomocí mechanismu definovaného v oddíle 5.2.

Není-li některá z uvedených podmínek dodržena, pak modul Twister přechází do stavu `LINK_ACTIVE_HDUPLEX`.

6.2.6 Stav reprezentující úspěšně navázané spojení

Stavy `LINK_ACTIVE_HDUPLEX` a `LINK_ACTIVE_FDUPLEX` reprezentují situaci, kdy metalické spojení je korektně navázáno. Výběrem konkrétního stavu z této dvojice je tedy uchována informace o momentálním duplexním režimu linky. O typu duplexního režimu je uživatel zařízení informován rozsvícením nebo pohasnutím žluté LED diody `LED_FULL_DUPLEX` (viz schéma v příloze C).

V obou těchto stavech dochází k deaktivaci komponenty `flp_receiver` a k aktivaci jednotky `twister_core`, která provádí úpravu datového signálu, jak byla popsána v oddíle 4.2. V obdobích nečinnosti metalické linky, kdy nedochází k přenosu datových rámců, je nutné zajistit vysílání pulzů typu NLP. Toto je úkolem komponenty `flp_transmitter`, která při aktivaci vstupu `NLP_only` potlačí vysílání pulzů typu FLP a generuje pouze jednoduché pulzy NLP.

Korektnost navázaného fyzického spojení v uvedených stavech monitoruje komponenta `link_detector`. Dojde-li ke ztrátě fyzického spojení, automat přejde do výchozího stavu `POWER_UP_RESET` a celá sekvence událostí popsaných v odstavcích výše se opakuje.

V případě, že komponenta `twister_core` informuje hlavní stavový automat o změně duplexního režimu protějšího Twisteru, pak je nutné toto zohlednit i v rámci lokálního metalického segmentu Ethernetu. Automat v takovém případě přechází do stavu `BREAK_LINK`, čímž je aktuální metalické spojení přerušeno a následuje vyjednání parametrů nového spojení, což standard označuje termínem *renegotiation*.

6.3 Problémy ve fázi implementace systému

Během práce na popisu systému v jazyce VHDL se jako nejproblematictější fáze vývoje ukázala tvorba komponent `flp_receiver` a hlavního řídicího automatu (součást komponenty `twister`). Pro odhalení a odstranění chyb v této fázi práce na systému se ukázalo jako zcela nezbytné důsledně simulovat chování jednotlivých komponent i vyšších funkčních celků. V několika případech bylo pro ladění systému nutné použít digitální osciloskop ve školní laboratoři.

6.4 Organizace zdrojového textu

Systém popisovaný v této kapitole je navržen modulárním způsobem a využívá prostředků jazyka VHDL, které modulární implementaci podporují (definice entit a architektur a jejich

pozdější instanciaci pomocí komponent v rámci jiných architektur). Zdrojový text implementovaného systému je rozdělen do souborů *.vhd, přičemž název souboru se vždy shoduje s názvem obsažené komponenty (entity).

6.5 Simulace a syntéza systému

K simulaci systému během vývoje byla použita aplikace ModelSim [3], verze *PE 10.0a Student Edition*. Syntéza systému proběhla pomocí nástroje *Xilinx ISE* [2] ve verzi *WebPACK 13.1*. Cílovou platformou pro syntézu je obvod FPGA Xilinx Spartan-3AN XC3S50AN (viz 5.3). Jedná se o nejnižší kapacitní model z rodiny Spartan-3AN a jeho logická kapacita je ekvivalentní kapacitě obvodu Spartan-3 dostupného na vývojovém přípravku FITkit.

Tab. 6.2 podává ucelený přehled o požadavcích implementovaného systému na zdroje zvoleného cílového obvodu. Z této tabulky je patrné, že implementovaný systém zabírá přibližně třetinu kapacity zvoleného obvodu FPGA (30 % obsazených jednotek *slice*). Údaje v následujících tabulkách byly získány jako výstup výše uvedeného syntézniho nástroje.

Název zdroje	Využito	Celkem	Obsazenost
Počet klopných obvodů (<i>slice flip-flops</i>)	207	1408	14 %
Počet čtyřvstupých tabulek LUT (<i>4-input LUTs</i>)	343	1408	24 %
Počet obsazených jednotek slice (<i>occupied Slices</i>)	217	704	30 %
Počet vázaných bloků IOB (<i>bonded IOBs</i>)	20	108	18 %
Globální hodinové buffery (<i>BUFGMUXs</i>)	6	24	25 %
Jednotky DCM	1	2	50 %

Tabulka 6.2: Obsazené zdroje obvodu FPGA XC3S50AN

Název makra	Počet
Konečné automaty (<i>FSMs</i>)	5
Čítače (<i>counters</i>)	28
2bitový čítač (<i>2-bit counter</i>)	2
3bitový čítač (<i>3-bit counter</i>)	2
4bitový čítač (<i>4-bit counter</i>)	9
5bitový čítač (<i>5-bit counter</i>)	9
6bitový čítač (<i>6-bit counter</i>)	1
7bitový čítač (<i>7-bit counter</i>)	1
8bitový čítač (<i>8-bit counter</i>)	1
9bitový čítač (<i>9-bit counter</i>)	1
Registry celkem (<i>Registers</i>)	20
Klopný obvod (<i>1-bit register</i>)	18
16bitový registr (<i>16-bit register</i>)	2
Komparátory (<i>Comparators</i>)	1
16bitový komparátor (<i>16-bit comparator equal</i>)	1

Tabulka 6.3: Makra rozpoznaná v rámci systému syntečním nástrojem

Kapitola 7

Návrh a realizace desky plošných spojů

Kapitola 7 dokumentuje poslední fázi práce – návrh a realizaci autonomního modulu Twister formou desky plošných spojů (DPS). Následující text obsahuje přehled požadavků, které musely být při návrhu DPS brány v potaz, a stručný přehled řešených problémů. Nedílnou součástí textu kapitoly jsou odkazy na zdroje, ze kterých bylo při návrhu elektrického zapojení a DPS čerpáno.

7.1 Struktura elektrického obvodu

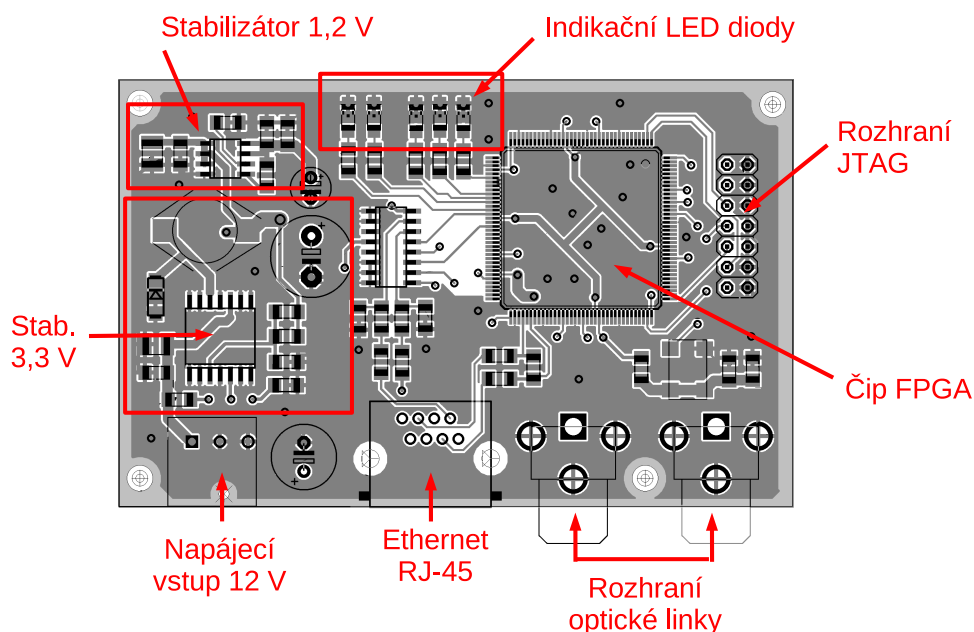
Výsledné elektrické zapojení, jehož podrobné schéma je součástí přílohy C, lze rozdělit na tyto základní podsystémy: rozhraní Ethernetu, rozhraní optické linky (vstup a výstup pro optický vysílač a optický přijímač), podsystém zajišťující napájení a čip FPGA spolu s konfiguračním rozhraním JTAG.

7.1.1 Rozhraní Ethernetu

Cílem tohoto podsystému je zpracovat diferenciální signál z metalického segmentu Ethernetu a zajistit také generování vlastního diferenciálního signálu. Z důvodu zjednodušení konstrukce zařízení a snížení ceny výrobku bylo pro komunikaci po metalickém segmentu Ethernetu zvoleno rozhraní bez oddělovacích transformátorů; místo toho se využívá kapacitní oddělení. Zapojení vychází z myšlenek prezentovaných v dokumentu [33] a ze zapojení původního Twisteru.

Pro příjem diferenciálního signálu bylo experimentováno s následujícími prostředky:

1. **Diferenciální I/O standardy pinů FPGA**, především standard LVDS. Při testování této varianty vycházel autor z dokumentů [20, 14]. Výhodou tohoto řešení by byl fakt, že by nebylo třeba použít ke zpracování diferenciálního vstupu další přídavné komponenty. Tato varianta však nevykazovala požadovaný výsledek. Při praktickém experimentování se autorovi nepodařilo zkonstruovat zapojení, které by spolehlivě pracovalo se všemi síťovými zařízeními (síťové adaptéry a aktivní prvky), které byly při testování k dispozici.
2. **Integrovaný diferenciální přijímač AM26LV32**. Jedná se o variantu diferenciálního přijímače použitého v původním zapojení Twisteru, která je upravena pro napájecí napětí 3,3 V.



Obrázek 7.1: Rozmístění komponent na desce plošných spojů (horní strana)

3. **Integrovaný diferenciální přijímač AM26LS32.** Jde o stejný obvod, který je jako diferenciální přijímač využit v původním zapojení Twisteru.

Během testování elektrického zapojení byly prověřeny obě varianty diferenciálních přijímačů. Údaje v datových listech obou obvodů naznačovaly vzájemnou kompatibilitu. Ovšem během praktického testování byla potvrzena nekompatibilita obvodu AM26LV32 (tj. verze s napájecím napětím 3,3 V) vzhledem k dané aplikaci. Příčina je pravděpodobně v nižší citlivosti a nižší vstupní impedanci obvodu.

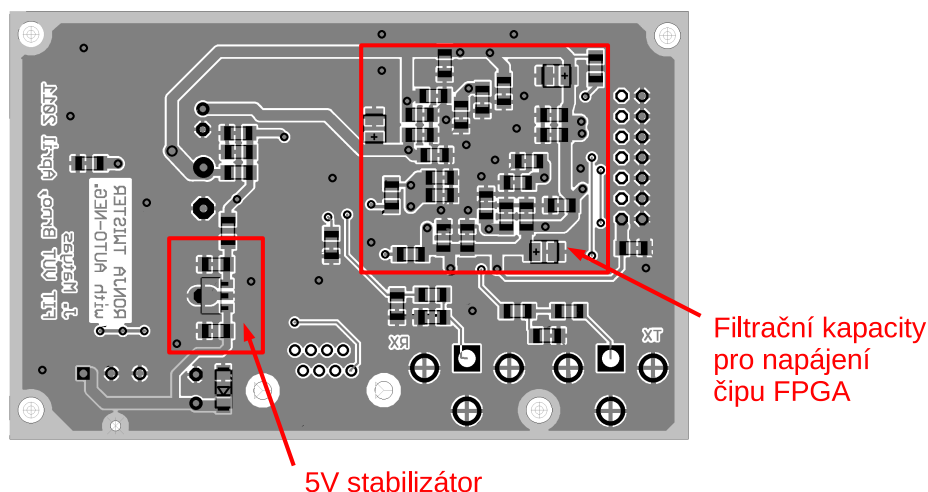
Druhá alternativa, tj. obvod AM26LS32 s napájecím napětím 5 V, se během testování ukázala jako vyhovující a byla zvolena pro konečnou implementaci výrobku. Nevýhodou tohoto řešení je však nutnost osadit další samostatnou napájecí větev výhradně pro tento diferenciální přijímač, která by jinak nebyla nutná.

Komplementární problém — diferenciální vysílání — je vyřešen dvojicí výstupních pinů obvodu FPGA, na nichž je programově zajištěna opačná logická úroveň.

7.1.2 Rozhraní optické linky

Výstup pro optický vysílač je realizován prostým výstupním pinem FPGA, který je od výstupní koaxiální linky kapacitně oddělen.

Pro příjem signálu z modulu optického vysílače je využit integrovaný diferenciální přijímač AM26LS32 zmíněný v předchozím oddíle. Výhodou tohoto řešení je vysoká citlivost a plná elektrická kompatibilita s původním zapojením Twisteru.



Obrázek 7.2: Rozmístění komponent na desce plošných spojů (spodní strana)

7.1.3 Napájecí podsystem

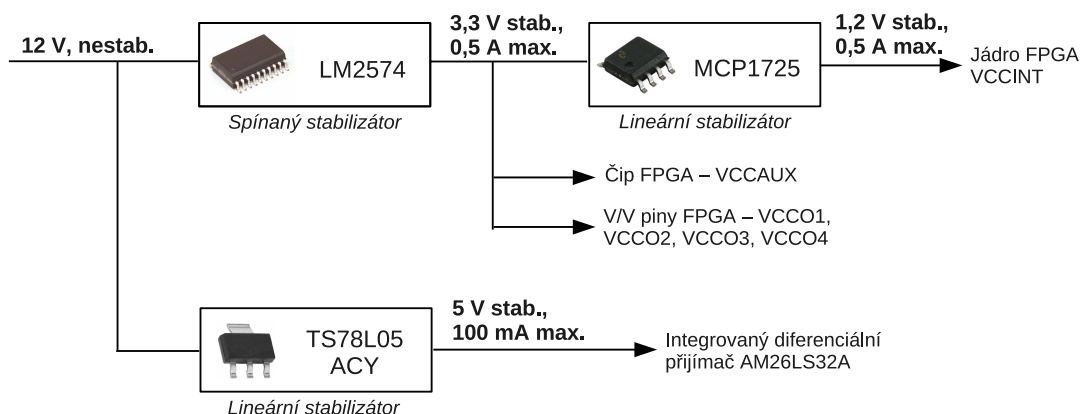
Implementovaný systém vyžaduje přítomnost tří napájecích napětí: napětí 1,2 V pro jádro čipu FPGA, napětí 3,3 V pro vstupně/výstupní bloky FPGA, a 5V napájecí větve pro integrovaný diferenciální přijímač (volitelné).

Deska plošných spojů je navržena univerzálně pro možnost osazení oběma typy integrovaných diferenciálních přijímačů popsaných v předchozím oddíle, lišícími se požadovaným napájecím napětím. Zapojení využívá skutečnosti, že obě varianty obvodu jsou vzájemně kompatibilní co do rozmístění vývodů. Volba příslušného napájecího napětí dle použité varianty přijímače (3,3 V nebo 5 V) se provede při osazování desky přemostěním jedné z propojek R22 nebo R23 – viz osazovací plán v příloze E. V případě volby napájecí větve 3,3 V není nutné osazovat 5V stabilizátor (obvod U5) ani filtrační kapacity C46 a C47.

Realizace napájecích větví pro obvod FPGA představuje netriviální problém, neboť v rámci FPGA čipu může být obecně implementováno mnoho typů systému využívajících různé množství zdrojů obvodu a pracujících na různých frekvencích. Z tohoto důvodu neexistují jednoznačné a univerzálně platné návody, ale je nutné přistupovat ke každé konkrétní aplikaci do značné míry individuálně.

Pro odhad příkonu obvodu byla uplatněna aplikace Xilinx XPOWER Analyzer, která je součástí nástroje Xilinx ISE Webpack [2]. Na základě jejího výstupu byla navržena struktura napájecích větví dle schématu na obr. 7.3. Při konstrukci napájecích větví autor vycházel z datových listů použitých komponent [5, 6, 9] a také z existujících zapojení s obvodem FPGA [8, 11, 21].

Nezbytnou součástí napájecích podsystemů jsou také filtrační a oddělovací kondenzátory (*decoupling capacitors*, *bypassing capacitors*). Jejich počet, hodnoty a fyzické rozmístění na desce vychází z doporučení firmy Xilinx a z existujících zapojení s čipem FPGA, citovaných v předchozím odstavci. Význam oddělovacích kapacit spočívá ve vytvoření nízkoimpedančního lokálního zdroje elektrické energie, z něhož může obvod FPGA čerpat energii při měnících se požadavcích na proudový odběr v čase. Změny příkonu obvodu mohou probíhat



Obrázek 7.3: Schéma napájecího pod systému

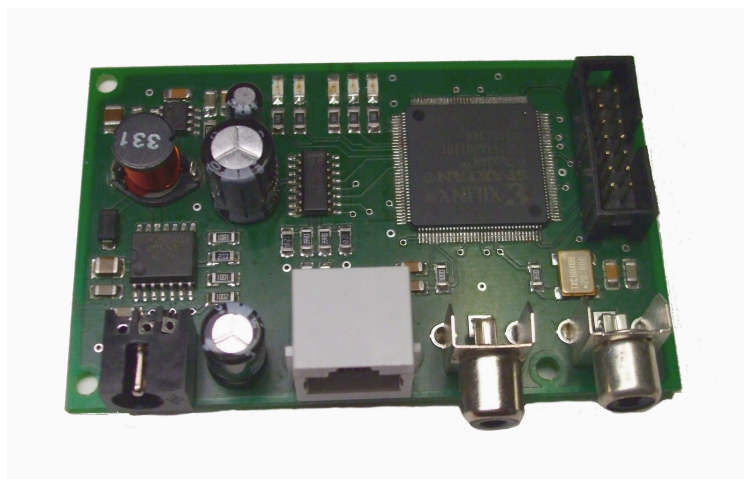
v různých časových úsecích a pro jejich zabezpečení je nutné použít soustavu více různých typů kondenzátorů. Dle doporučení výrobce čipu FPGA jsou pro napájecí síť využity tři sady oddělovacích kapacit [18, 32]:

- *Vysokofrekvenční oddělovací kapacity.* Jde o kondenzátory o kapacitě v řádu stovek nF , které slouží řeší obsluhu proudových požadavků obvodu FPGA o vysokých frekvencích. Tyto kondenzátory musí být fyzicky v rámci DPS umístěny co nejbližší příslušným napájecím vývodům čipu. Pro tento účel jsou vhodné kondenzátory s keramickým dielektrikem a v popisovaném elektrickém zapojení jsou umístěny na spodní straně DPS přímo pod obvodem FPGA (viz obr. 7.2). Jedná se o kapacity C20-C23, C28-C31 a C32-C39.
- *Oddělovací kapacity pro střední frekvence.* Tyto kapacity jsou realizovány tantalovými kondenzátory o kapacitě řádově jednotek μF . Na jejich fyzickou vzdálenost od vývodů čipu jsou kladeny menší požadavky než v případě kondenzátorů vysokofrekvenčních. Dle doporučení výrobce by měly být osazeny ve vzdálenosti menší než 3 cm od vývodů čipu FPGA. Ve schématu v příloze C to jsou tantalové kondenzátory C40, C42 a C48.
- *Oddělovací kapacity pro nízké frekvence,* což jsou elektrolytické kondenzátory o kapacitě v desítkách až stovkách μF . V přiloženém elektrickém zapojení rozšířeného Twisteru jde o kapacity C14 a C19.

7.1.4 Čip FPGA a konfigurační rozhraní

V každém zařízení obsahujícím čip FPGA je nutné vyřešit to, jakým způsobem bude obvod FPGA konfigurován a kde bude uložena konfigurační informace. Jako konfigurace se označuje proces „programování“ obvodu a konfigurační informace (řetězec) se nazývá *configuration bitstream*.

Implementovaný systém využívá obvodu řady Spartan-3AN, který obsahuje nevolatilní paměť typu flash integrovanou v pouzdře čipu. Není tedy vyžadována přítomnost úložiště konfigurace v podobě externí paměti, čímž se redukuje složitost DPS.



Obrázek 7.4: Fotografie kompletního osazeného zařízení

Jako rozhraní pro konfiguraci obvodu přímo v rámci cílového systému (*in-circuit configuration*) bylo zvoleno rozhraní JTAG, fyzicky tvořené 14vým vodovým konektorem umístěným v pravé horní části DPS. Při realizaci konfiguračního rozhraní a nastavení příslušného módu bylo čerpáno z dokumentu „*Spartan-3 Generation Configuration User Guide*“ [16].

Zdrojem hlavního hodinového signálu (EXTCLK) pro obvod FPGA je v případě autonomní DPS krystalový oscilátor X1, produkující synchronizační kmitočet o frekvenci 20 MHz.

7.2 Fyzické parametry DPS

Pro zařízení byla navržena oboustranná (dvouvrstvá) vrtaná deska plošného spoje o rozměrech 84 x 54 mm. DPS je opatřena prokovenými, pokovenými pájecími ploškami a nepájecí maskou.

Návrh desky plošných spojů počítá převážně s osazením součástkami typu SMD (*Surface Mounted Device*, součástka pro povrchovou montáž). Z důvodu úspory místa a dosažení kompaktních rozměrů výrobku jsou součástky umístěny po obou stranách DPS. Pro rezistory a kondenzátory byly zvoleny varianty v pouzdrech typu 1206 a 1210, jejichž velikost představuje kompromis mezi kompaktností pouzdra součástky a náročností procesu osazování. Organizaci jednotlivých komponent v rámci DPS znázorňují obr. 7.1 a 7.2.

Příkon celého zařízení během testování při plném datovém provozu nepřesáhl 120 mA.

7.3 Problémy ve fázi realizace DPS

Jako nejproblématičtější část návrhu elektrického zapojení se ukázal návrh podsystému Ethernetu (viz též oddíl 7.1.1). Při jeho realizaci bylo experimentováno s různými přístupy a jako nejvhodnější řešení se ukázalo využití stejného zapojení, které bylo součástí původní verze modulu Twister. Uvedené řešení však vede k nutnosti zkonstruovat v rámci zařízení dodatečnou napájecí větev, která by jinak nebyla třeba.

Během samotné fyzické realizace výrobku bylo obtížným krokem ruční osazení čipu FPGA. Zvolená varianta obvodu je dostupná v pouzdře TQFP144¹ s vysokým počtem vývodů o relativně nízké rozteči. Před vlastním oživením zařízení proto bylo nutné provést velmi důkladnou kontrolu osazení pouzdra FPGA, a to jak opticky, tak i elektrickým měřením pomocí ohmmetru; následně pak ručně odstranit zkratky mezi vývody čipu, které během procesu osazování vznikly.

¹Thin Quad Flat Package; pouzdro obsahující 144 vývodů o šířce 0,35 mm s rozstupem 0,5 mm.

Kapitola 8

Závěr

Práce se zabývala reimplementací modulu RONJA Twister, který tvoří rozhraní mezi metalickým Ethernetem a přenosem signálu formou optického signálu. Výsledkem práce je plně funkční aplikace, která byla otestována pomocí vývojového přípravku FITkit. V rámci práce byla také navržena a osazena deska plošného spoje vybavená obvodem FPGA, která představuje plně autonomní realizaci modulu Twister.

Oproti původní variantě zařízení Twister byla navržena verze podstatným způsobem rozšířena o mechanismus Auto-Negotiation. Tato technologie umožní snadné nasazení zařízení RONJA v sítích typu Ethernet, a to především tam, kde manuální konfigurace parametrů metalické linky není možná. Uvedené rozšíření navíc dovolí předejít problémům diskutovaným v oddíle 5.1, zejména problému *duplex mismatch*.

Bez využití technologie rekonfigurovatelných hradlových polí by implementace poměrně složitého mechanismu Auto-Negotiation nebyla myslitelná. Uplatnění programovatelného obvodu typu FPGA mimoto umožnilo snížit příkon zařízení o 30 %, přičemž zároveň došlo ke zmenšení rozměrů desky plošných spojů o 45 %. Cena součástek pro osazení jednoho kusu rozšířeného modulu Twister nepřesahuje 500 Kč, což je přibližná cena komponent nutných pro původní verzi modulu. Uvážíme-li dále redukci plochy desky plošných spojů o přibližně polovinu, pak lze tvrdit, že při hromadné výrobě by celkové jednotkové náklady nového modulu Twister nepřesáhly náklady na zhotovení jednoho kusu původní varianty zařízení.

Výrazná redukce rozměrů modulu dovoluje uvažovat o fyzické integraci jednotky Twister s modulem optického vysílače. To by vedlo k podstatnému zjednodušení konstrukce celého zařízení RONJA, především systému kabeláže. Dalším námětem pro budoucí rozšíření projektu by mohla být implementace standardu *Power Over Ethernet*, tj. napájení zařízení po datovém kabelu.

Některé dílčí výsledky práce mají obecnější význam. Komponenty realizující mechanismus Auto-Negotiation lze opětovně využít i pro jiné projekty, v rámci nichž bude nutné implementovat fyzickou vrstvu Ethernetu. Návrh desky plošných spojů pro systém s obvodem FPGA a netriviálním počtem podpůrných externích komponent může rovněž posloužit jako výchozí „šablona“ pro konstrukci jiných zařízení založených na technologii FPGA. Jedná se především o znovuvyužití ověřeného napájecího podsystému, soustavy filtračních kondenzátorů a konfiguračního rozhraní, což jsou podsystémy do značné míry univerzální.

Implementovaný systém může v neposlední řadě posloužit ostatním studentům k seznámení se s principy fungování zařízení RONJA, fyzické vrstvy Ethernetu a mechanismu Auto-Negotiation.

Na realizaci rozšířeného modulu Twister pomocí technologie FPGA je také možné pohlízet jako na konkrétní praktický příklad toho, jakým způsobem mohou původní návrhy číslicových zařízení zhotovené formou sériově vyráběných logických hradel těžit z reimplementace pomocí moderních rekonfigurovatelných obvodů. Hlavní výhodou využití rekonfigurovatelného obvodu FPGA v tomto konkrétním případě je možnost realizovat výrazně složitější systém oproti původní variantě zařízení Twister, a to při zachování kompaktních rozměrů zařízení a nízkého příkonu výsledného výrobku.

Seznam použitých zkratek

ACK	Acknowledgement; potvrzení
BGA	Ball Grid Array (typ pouzdra pro integrované obvody)
BUFGMUX	Multiplexed global clock buffer (jednotka v rámci obvodu FPGA)
CD	Compact Disc; kompaktní disk (datový nosič)
CESNET	Národní vysokorychlostní počítačová síť určená pro vědu, výzkum, vývoj a vzdělávání
CLB	Configurable Logic Block; konfigurovatelný logický blok, základní strukturální jednotka čipu FPGA
CPLD	Complex Programmable Logic Device (jeden z typů rekonfigurovatelných obvodů)
CSMA/CD	Carrier Sense Multiple Access/Collision Detection (metoda použitá v sítích Ethernet pro přístup ke sdílenému médiu)
DCM	Digital Clock Manager; jednotka FPGA pro úpravu hodinového signálu
DPS	Deska plošných spojů
FIT	Fakulta informačních technologií
FLP	Fast Link Pulse; rychlý linkový pulz (soubor pulzů FLP slouží k přenosu kódového slova během operace Auto-Negotiation)
FPGA	Field Programmable Gate Array (jeden z typů konfigurovatelných hradlových polí)
FSM	Finite State Machine; konečný automat
FSO	Free Space Optics; bezvláknová optika
GAL	Generic Array Logic (jeden z typů rekonfigurovatelných obvodů s nízkou kapacitou, předchůdce CPLD)
IEEE	Institute of Electrical and Electronics Engineers; Institut pro elektrotechnické a elektronické inženýrství
IFG	Inter-frame Gap; prodleva mezi datovými rámci v síti Ethernet
IOB	Input/Output Block; vstupně/výstupní blok

ISM	Industry/Science/Medical; označení účelu rádiového pásma
JTAG	Joint Test Action Group
LAN	Local Area Network; místní síť
LCW	Link Code Word; kódové slovo (u operace Auto-Negotiation)
LED	Light Emitting Diode; světloemitující dioda
LSB	Least Significant Bit; nejméně významný bit
LUT	Lookup Table; vyhledávací tabulka
LVDS	Low Voltage Differential Signalling
MAC	Medium Access Control; řízení přístupu k médiu
MSB	Most Significant Bit; nejvýznamnější bit
NLP	Normal Link Pulse; běžný linkový pulz sloužící ke kontrole integrity spojení metalického Ethernetu (srovn. s FLP)
PAL	Programmable Array Logic (jeden z typů rekonfigurovatelných obvodů s nízkou kapacitou, předchůdce CPLD)
PC	Personal Computer; osobní počítač
PDF	Portable Document Format (datový formát vyvinutý firmou Adobe)
RONJA	Reasonable Optical Near Joint Access
RSSI	Received Singal Strength Indicator; indikátor síly přijímaného signálu
SFD	Start-of-Frame Delimiter; označení začátku rámce
SIPO	Serial In, Parallel Out; registr se sériovým vstupem a paralelním výstupem
SMD	Surface Mounted Device; součástka pro povrchovou montáž
TQFP	Thin Quad Flat Package (typ SMD pouzdra pro integrované obvody)
UTP	Unsiilded Twisted Pair; nestíněný kroucený pár
VHDL	VHSIC Hardware Description Language
VHSIC	Very High Speed Integrated Circuit; integrovaný obvod s velmi vysokou rychlostí
VUT	Vysoké učení technické
ČTU	Český telekomunikační úřad

Literatura

- [1] IEEE P1076 Study Group: VHDL Analysis and Standardization Group (VASG). [online], [cit. 2011-04-20].
URL <<http://www.eda.org/twiki/bin/view.cgi/P1076/WebHome>>
- [2] ISE Webpack Software. Xilinx, Inc. [online], [cit. 2011-04-15].
URL <<http://www.xilinx.com/products/design-tools/ise-design-suite/ise-webpack.htm>>
- [3] ModelSim - Advanced Simulation and Debugging. [online], [cit. 2011-05-01].
URL <<http://model.com/>>
- [4] National Semiconductor Application Note 986. An Introduction to Auto-Negotiation. June 1998.
URL
<<http://www.datasheetarchive.com/Indexer/Datasheet-054/DSA0011401.html>>
- [5] Datový list obvodu LM2574. [online], June 1999, [cit. 2011-04-22].
URL <<http://www.national.com/ds/LM/LM2574.pdf>>
- [6] Datový list obvodů řady TS78L00. [online], December 2003, [cit. 2011-04-22].
URL <<http://www.datasheetcatalog.org/datasheet2/a/0agprqlzguh7xi19auqkeqqw0f3y.pdf>>
- [7] Český telekomunikační úřad: Všeobecné oprávnění č. VO-R/12/08.2005-34 k využívání radiových kmitočtů a k provozování zařízení pro širokopásmový přenos dat na principu rozprostřeného spektra nebo OFDM v pásmech 2,4 GHz a 5 GHz. Srpen 2005.
URL <http://www.ctu.cz/1/download/0patreni%20obecne%20povahy/VO_R_12_08_2005_34.pdf>
- [8] Fakulta informačních technologií VUT Brno. FITkit. [online], 2006-2009, [cit. 2011-04-18].
URL <<http://merlin.fit.vutbr.cz/FITkit/>>
- [9] Datový list obvodu MCP1725. [online], 2007, [cit. 2011-04-22].
URL <<http://ww1.microchip.com/downloads/en/DeviceDoc/22026b.pdf>>
- [10] XC9500 In-System Programmable CPLD Family. DS063, Product Specification. Xilinx, Inc. [online], June 2007.
URL
<http://www.xilinx.com/support/documentation/data_sheets/DS063.pdf>

- [11] Xilinx Spartan-3A/3AN Starter Kit Board Schematic. Xilinx, Inc. [online], August 2007, [cit. 2011-05-01].
URL <http://www.xilinx.com/support/documentation/boards_and_kits/s3astarter_schematic.pdf>
- [12] CoolRunner-II CPLD Family. DS090, Product Specification. Xilinx, Inc. [online], September 2008.
URL
<http://www.xilinx.com/support/documentation/data_sheets/ds090.pdf>
- [13] IEEE Standard for Information technology–Telecommunications and information exchange between systems–Local and metropolitan area networks–Specific requirements–Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications (Revision of IEEE Std 802.3-2005 including all approved amendments). 2008, IEEE Std P802.3/D2.2, April 2008.
URL <<http://standards.ieee.org/about/get/802/802.3.html>>
- [14] LVDS Owner’s Manual: Including High-Speed CML and Signal Conditionin. [online], 2008, [cit. 2011-04-20].
URL <http://www.national.com/appinfo/lvds/files/National_LVDS_Owners_Manual_4th_Edition_2008.pdf>
- [15] Spartan-3 Family Datasheet. DS099, Product Specification. Xilinx, Inc. [online], December 2009.
URL
<http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf>
- [16] Spartan-3 Generation Configuration User Guide: Extended Spartan-3A, Spartan-3E, and Spartan-3 FPGA Families. UG332. Xilinx, Inc. [online], October 2009.
URL
<http://www.xilinx.com/support/documentation/user_guides/ug332.pdf>
- [17] Spartan-3AN FPGA Family Data Sheet. DS557, Product Specification. Xilinx, Inc. [online], April 2011.
URL
<http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf>
- [18] Alexander, M.: Power Distribution System (PDS) Design: Using Bypass/Decoupling Capacitors. XAPP623, Application Note. Xilinx, Inc. [online], February 2005.
URL <http://www.xilinx.com/support/documentation/application_notes/xapp623.pdf>
- [19] Brown, S.; Rose, J.: Architecture of FPGAs and CPLDs: A Tutorial. [online].
URL <<http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf>>
- [20] Holland, N.: Texas Instruments Application Report SLLA120: Interfacing Between LVPECL, VML, CML, and LVDS Levels. December 2002.
URL <<http://focus.ti.com/lit/an/s11a120/s11a120.pdf>>
- [21] Kosan, T.: Xilinx CPLD + JTAG 2. [online], Leden 2011, [cit. 2011-05-01].
URL <<http://mcu.cz/news.php?extend.2339.2>>

- [22] Kulhavý, K.: How does RONJA work? [online], 1998-2010, [cit. 2011-04-18].
URL <<http://ronja.twibright.com/technotes/how.php>>
- [23] Kulhavý, K.: RONJA Homepage. [online], 1998-2010, [cit. 2011-04-15].
URL <<http://ronja.twibright.com/>>
- [24] Kulhavý, K.: RONJA Mechanical Modules. [online], 1998-2010, [cit. 2011-04-15].
URL <http://ronja.twibright.com/modules_m.php>
- [25] Kulhavý, K.: RONJA Optical Modules. [online], 1998-2010, [cit. 2011-04-15].
URL <http://ronja.twibright.com/modules_o.php>
- [26] Kulhavý, K.: RONJA Registered Installations. [online], 1998-2010, [cit. 2010-04-21].
URL <<http://ronja.twibright.com/installations.php>>
- [27] Kulhavý, K.: RONJA Tetrapolis Specification. [online], 1998-2010, [cit. 2011-04-15].
URL <<http://ronja.twibright.com/tetrapolis/spec.php>>
- [28] Kulhavý, K.: RONJA Twister. [online], 1998-2010, [cit. 2011-04-18].
URL <<http://ronja.twibright.com/twister/>>
- [29] Kulhavý, K.: Seriál Bezláknová optika. [online], 2002, [cit. 2011-04-03].
URL <<http://www.root.cz/serialy/bezvlaknova-optika/>>
- [30] Kurose, J.; Ross, K.: *Computer networking: A top-down approach*. ISBN 978-0-13-607967-5, Addison-Wesley, páté vydání, 2010, 862 s.
- [31] Křivák, P.: *Optické bezkabelové spoje s velkým dosahem*. Dizertační práce, Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009.
URL <http://www.vutbr.cz/www_base/zav_prace_soubor_verejne.php?file_id=20399>
- [32] Lesea, A.; Alexander, M.: Powering Xilinx FPGAs. XAPP158, Application note. Xilinx, Inc. [online], August 2002.
URL <http://www.xilinx.com/support/documentation/application_notes/xapp158.pdf>
- [33] Miller, D.; Seely, D.; Ngo, T.: National Semiconductor Application Note 1519. DP83848 PHYTERTransformerless Ethernet Operation. October 2006.
URL <<http://www.national.com/an/AN/AN-1519.pdf>>
- [34] Peterka, J.: Problém poslední míle a zpřístupnění místní smyčky. [online], 2003, [cit. 2011-04-03].
URL <<http://www.earchiv.cz/b03/b0500001.php3>>
- [35] Pužmanová, R.: Optika bez drátů. *Elektrotechnický magazín*, ročník 6/2010, č. ISSN 1210-5422, 2010: s. 76–78.
- [36] Schoon, P.: Competitive comparison of the major Free-Space Optics solutions. [online], [cit. 2011-04-02].
URL <<http://www.freespaceoptic.com/comparison.htm>>

- [37] Schuster, J.: Free Space Optics (FSO) Technology Overview. [online], 2002.
URL <http://www.fcc.gov/realaudio/presentations/2002/100302/technology_overview.ppt>
- [38] Shalunov, S.; Carlson, R.: Detecting Duplex Mismatch on Ethernet. [online], 2005.
URL <<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.95.4036&rep=rep1&type=pdf>>
- [39] Wimmer, M.; Čížek, J.: Laserový spoj Laserbit LB-1500. Technická zpráva, CESNET z. s. p. o, 2004.
URL <<http://www.cesnet.cz/doc/techzpravy/2004/laserbit/>>

Příloha A

Schéma původní implementace modulu RONJA Twister

Autor schématu: Karel Kulhavý

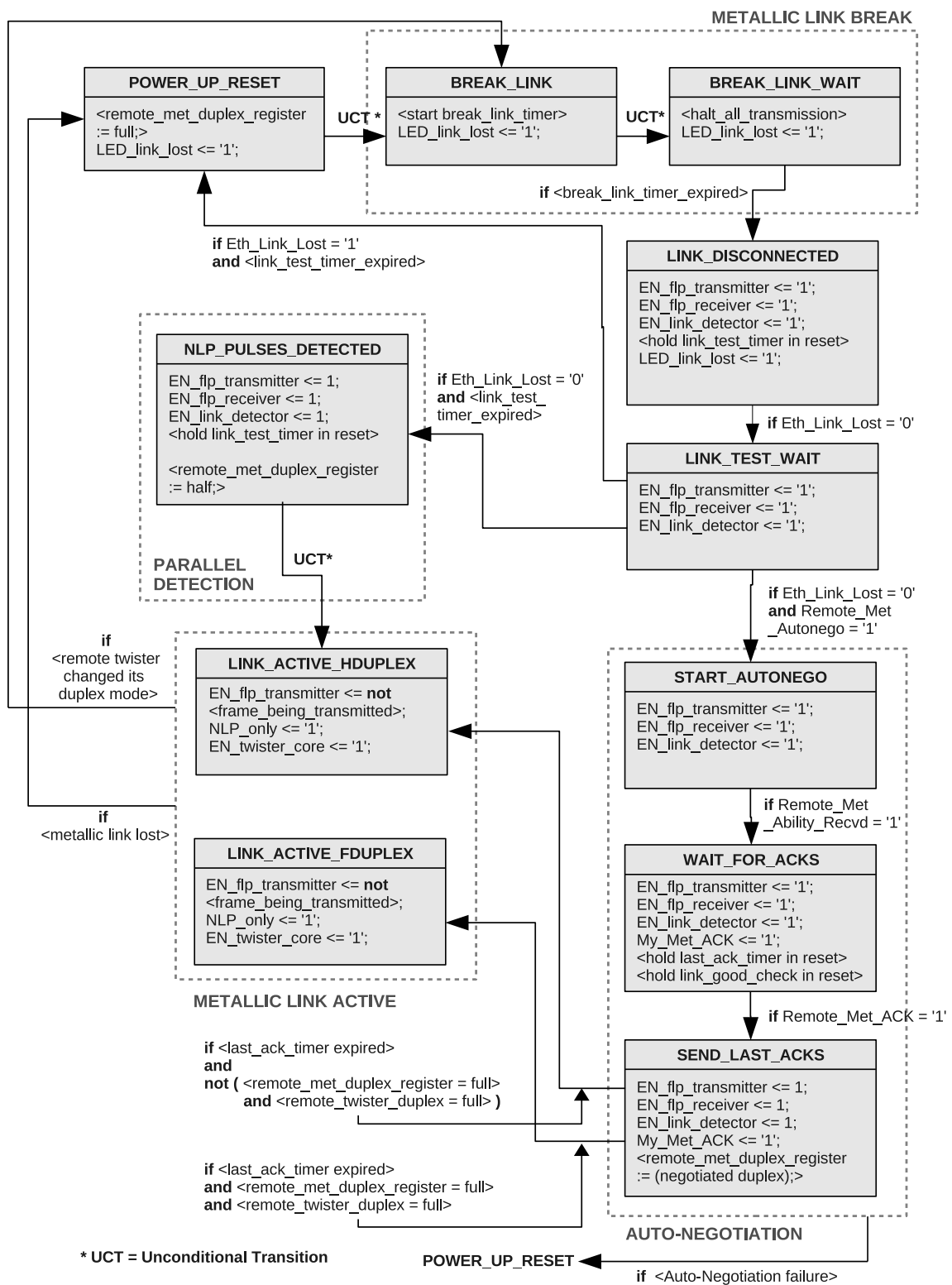
Zdroj: [23]

Příloha B

Hlavní řídicí automat modulu Twister

Obsahem této přílohy je grafické schéma hlavního řídicího automatu zařízení, který je součástí v komponenty **twister**.

Hodnoty výstupních signálů, nejsou-li ve schématu explicitně uvedeny, jsou implicitně v log. 0. Z důvodu zjednodušení a zpřehlednění schématu automatu jsou některé jeho proměnné a výrazy popsány pseudokódem, který je vždy vymezen úhlovými závorkami (tj. pomocí znaků „<“ a „>“).



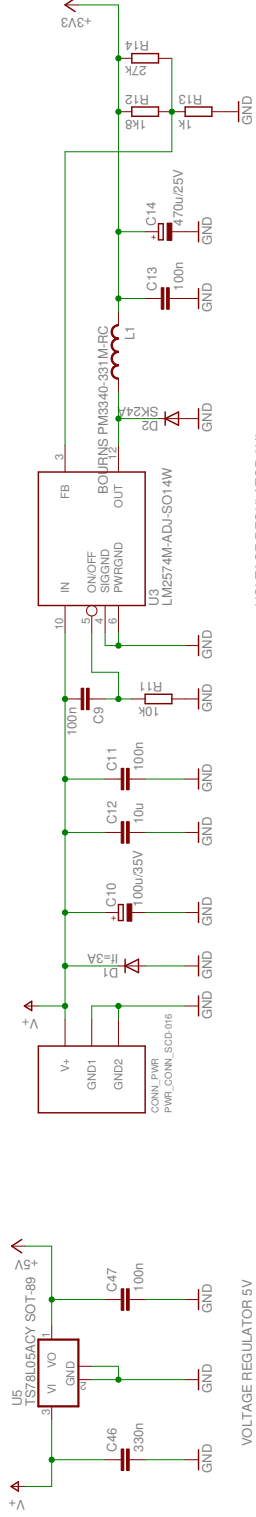
Obrázek B.1: Grafické znázornění hlavního řídicího automatu modulu Twister

Příloha C

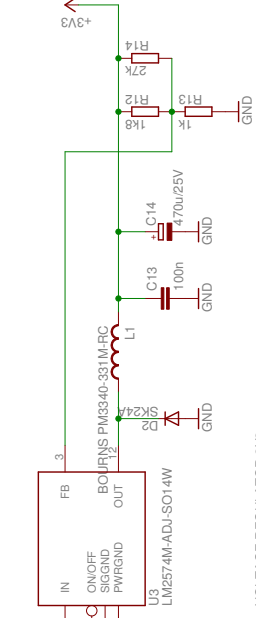
Schéma rozšířené implementace modulu Twister

Schéma je rozděleno do 3 částí – podsystémů:

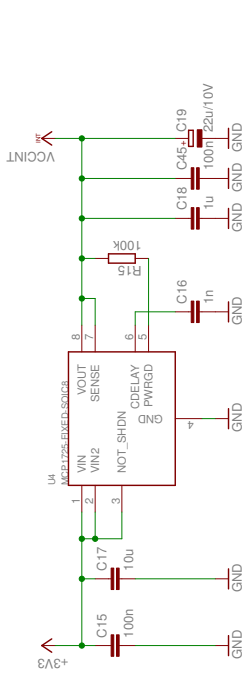
- podsystém napájení (list `twister_fpga_01_power`),
- čip FPGA a konfigurační rozhraní (list `twister_fpga_02_fpga`),
- vstupně/výstupní rozhraní modulu (list `twister_fpga_03_interface`).



VOLTAGE REGULATOR 5V

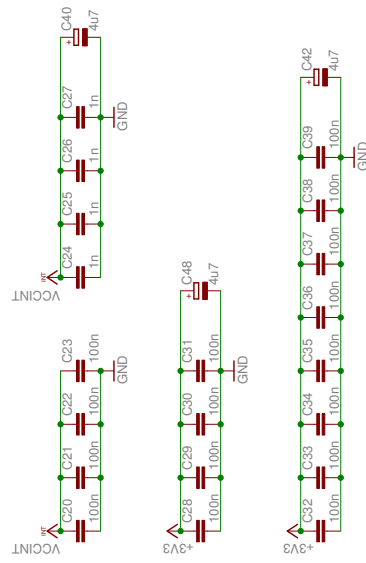


VOLTAGE REGULATOR 3V3



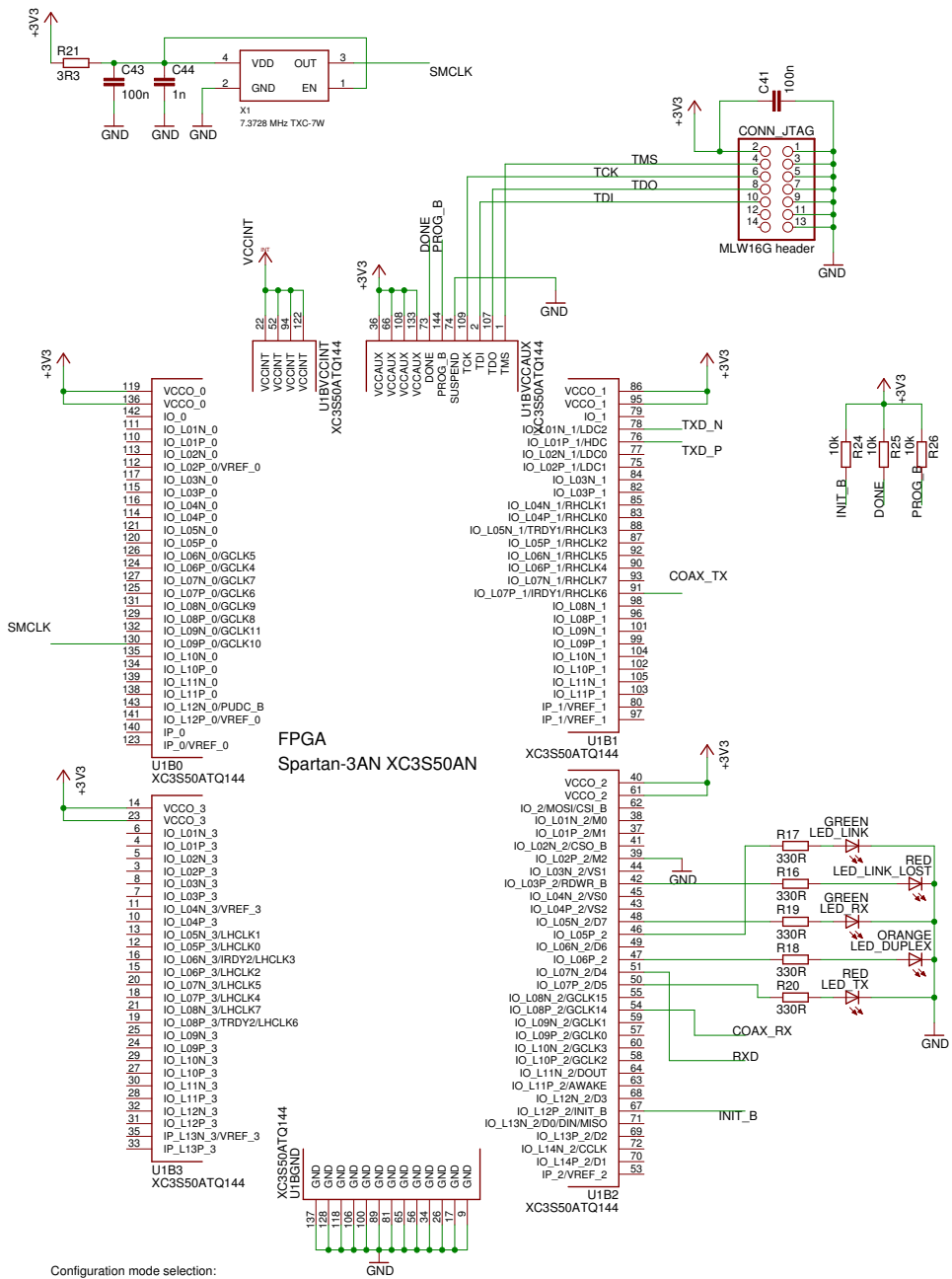
VOLTAGE REGULATOR 1V2

FPGA POWER DECOUPLING CAPACITORS



FPGA Twister	
Jan Matyas, FIT VUT Brno, April 2011	
TITLE: twister_fpga_01_power	
Document Number:	REV:
Date: 12.5.11 7:03	Sheet: 1/1

MAIN CLOCK CRYSTALL OSCILLATOR



Configuration mode selection:

M[2:0]=<0,1,1>
(Internal Master SPI Flash)

VS[2:0]=<1,1,1>
(Variant: Issue FAST_READ command)

Mn and Vn have internal pull-ups during the configuration phase.

FPGA Twister
Jan Matyas, FIT VUT Brno, April 2011

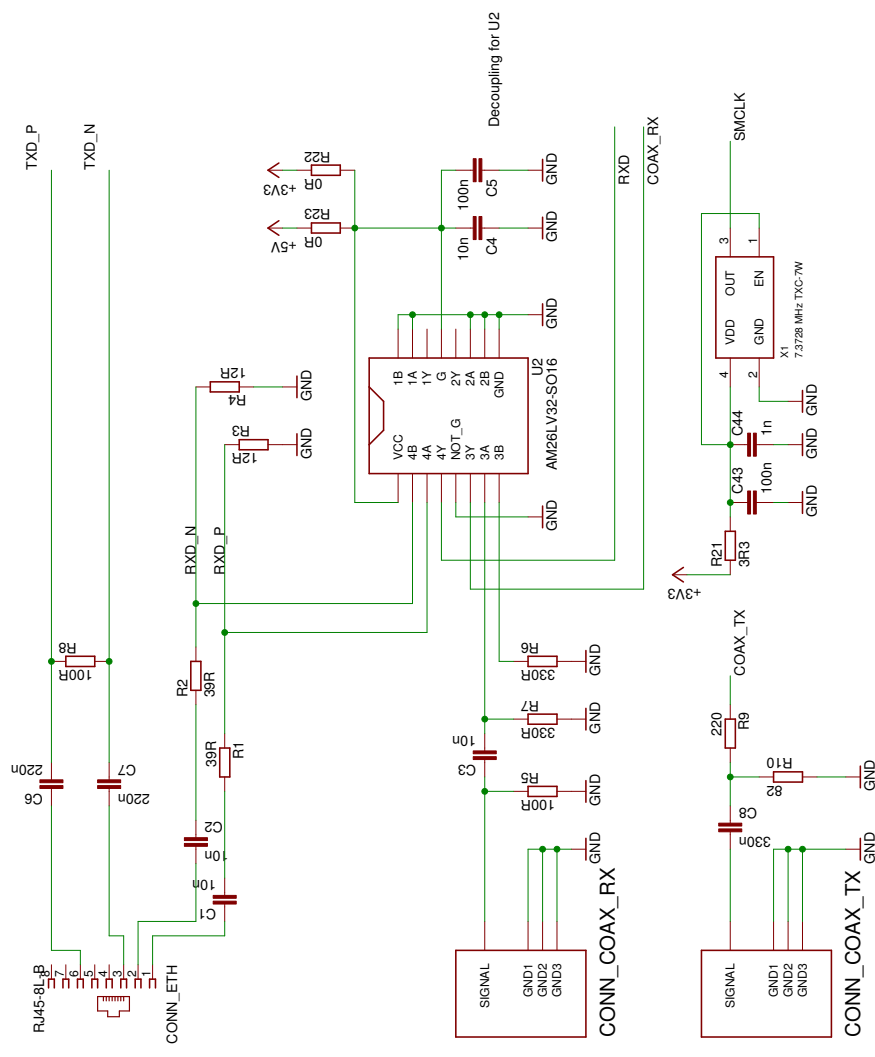
TITLE: twister_fpga_02_fpga

Document Number:

REV:

Date: 2.5.11 0:34

Sheet: 1/1



FPGA Twister	
Jan Matyas, FIT VUT Brno, April 2011	
TITLE: twister_fpga_03_interface	
Document Number:	REV:
Date: 2.5.11 0:40	Sheet: 1/1

Příloha D

Testování systému pomocí přípravku FITkit

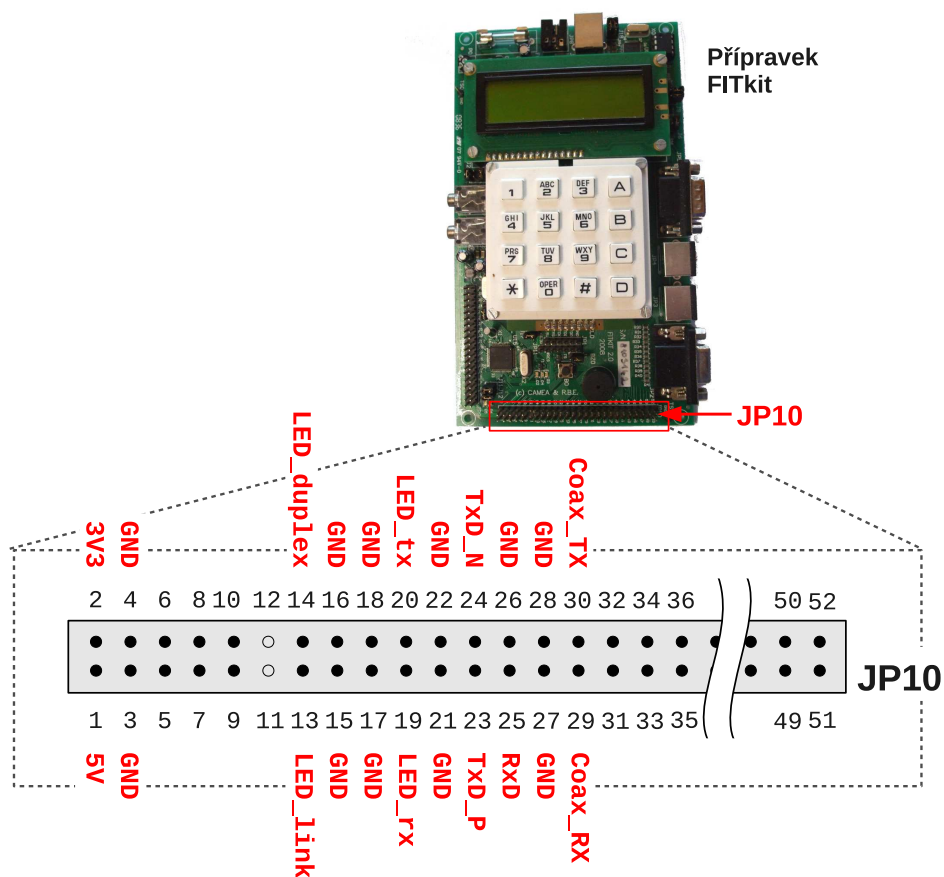
System popisovaný v této práci byl vyvíjen pomocí přípravku FITkit verze 2.0 (viz 5.3) a s využitím tohoto přípravku lze výsledný systém otestovat. Testování pomocí FITkitu vyžaduje použití několik přídavných obvodů, které jsou v případě autonomní realizace modulu Twister formou DPS již součástí desky a elektrického zapojení.

Vstupní a výstupní porty systému jsou vyvedeny na konektor označený JP10, který se nachází v dolní části přípravku (viz obr. D.1). Přesné rozmístění vývodů je také obsahem tab. D.1. Pro úspěšné otestování je nutné doplnit podpůrné obvody (především integrovaný diferenciální přijímač), jak je to uvedeno ve schématu `twister_fpga_03_interface` v příloze C.

Pro fyzické testování systému je vhodné použít např. nepájivé kontaktní pole.

Pin JP10	Ozn.	Název portu	Popis
13	X6	LED_eth_link	zelená indikační LED navázaného spojení (bliká při datovém přenosu po rozhraní Ethernet)
14	X7	LED_full_duplex	žlutá LED indikující režim plného duplexu (žlutá)
19	X12	LED_coax_rx	indikace aktivity rozhraní Coax_RX (zelená LED)
20	X13	LED_coax_tx	indikace aktivity rozhraní Coax_TX (červená LED)
23	X16	TxD_P	vysílání pro metalický Ethernet
24	X17	TxD_N	vysílání pro metalický Ethernet
25	X18	RxD	příjem z metalického Ethernetu (po zpracování dif. přijímačem)
29	X22	Coax_RX	signál z optického přijímače
30	X23	Coax_TX	signál pro modul optického vysílače

Tabulka D.1: Rozhraní entity twister



Obrázek D.1: Umístění vývodů na konektoru JP10 FITkitu verze 2.0

Příloha E

Osazovací plán DPS rozšířeného modulu Twister

Tabulka E.1: Rozpiska součástek pro osazení DPS

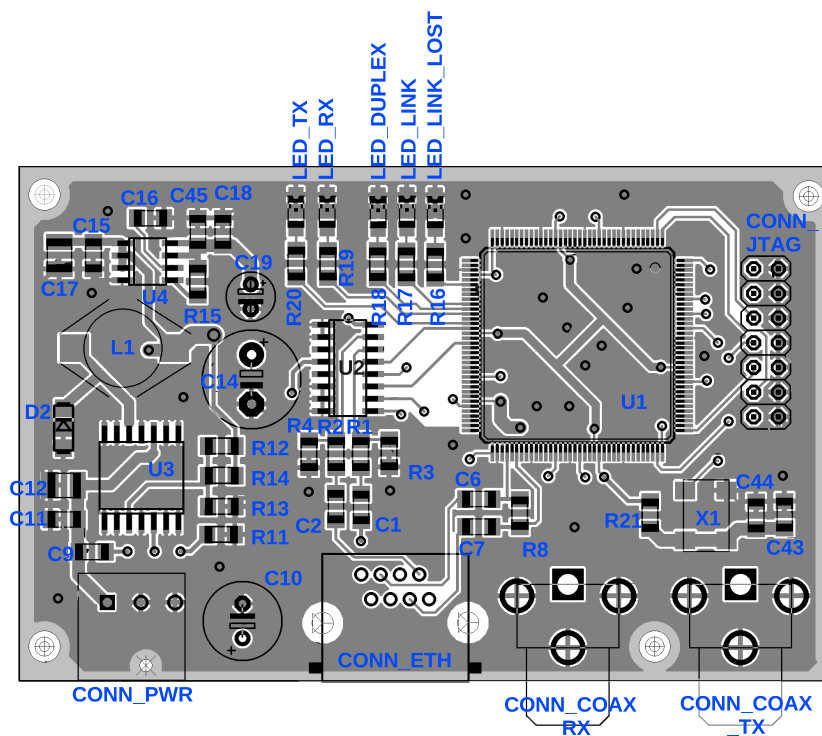
Označení komponenty	Pouzdro	Hodnota
C1-4	1206	10n, keram.
C5, C9, C11, C13, C15, C20-23, C28-31, C32-39, C42-43, C45, C47	1206	100n, keram.
C6-7	1206	220n, keram.
C8, C46	1206	330n, keram.
C10	elyt. radiální	100u/35V
C12, C17	1210	10u, keram.
C14	elyt. radiální	470u/25V
C16, C24-27, C44	1206	1n, keram.
C18	1206	1u, keram.
C19	elyt. radiální	22u/16V
C40, C42, C48	B (3528)	4u7, tantal.
CONN_COAX_RX, CONN_COAX_TX CONN_ETHERNET	CBP-5	Konektor CINCH do DPS, 90° RJ-45 nestíněný do DPS
CONN_JTAG	MLW14G	Konektorová lišta 2x7 pinů, rovný, do DPS
CONN_PWR	SCD-016	
D1	SMA	SS34A ($I_{Max} = 3 \text{ A}$)
D2	SMA	SK24A ($I_{Max} = 2 \text{ A}$)
L1	SMD	330uH, 0,6 A min.
LED_LINK_LOST, LED_COAX_TX	1206	LED 1206 červená
LED_ETH_LINK, LEX_COAX_RX	1206	LED 1206 žlutá
LED_FULL_DUPLEX	1206	LED 1206 zelená
R1, R2	1206	39R
R3, R4	1206	12R

(pokračuje na další straně)

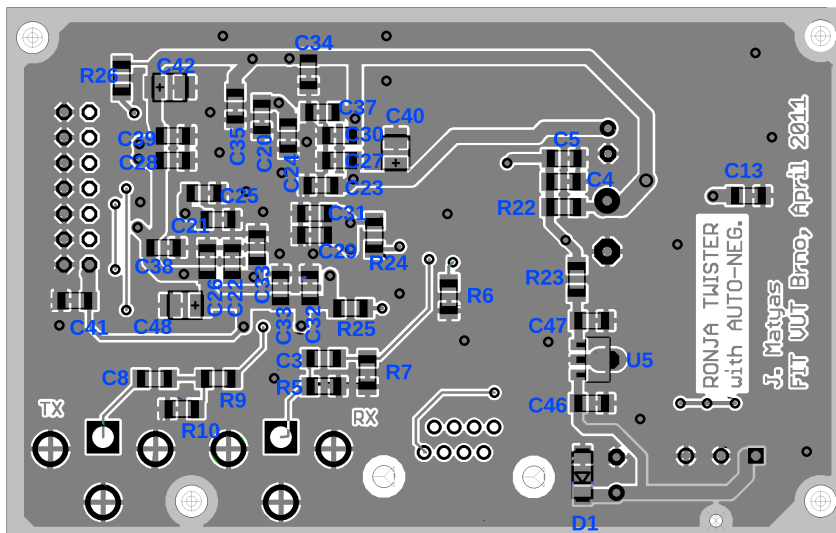
Tabulka E.1 – pokračování

Označení komponenty	Pouzdro	Hodnota
R5, R8	1206	100R
R6, R7, R16-20	1206	330R
R9	1206	220R
R10	1206	82R
R11, R24-26	1206	10k
R12	1206	1k8
R13	1206	1k
R14	1206	27k
R15	1206	100k
R21	1206	3R3
R22, R23	propojka	0R ¹
U1	TQFP-144	XC3S50AN-4TQG144C
U2	SOIC-16	AM26LS32A
U3	SOIC-14W	LM2574M-ADJ
U4	SOIC-8	MCP1725-1202E/SN
U5	SOT-89	TS78L05ACY
X1	SMD krystal	7.3728 Mhz/3V3

¹Propojky R22 a R23 slouží k určení napájecího napětí pro integrovaný diferenciální přijímač U2. V případě IO s napájecím napětím 5 V (doporučeno) je nutné zkratovat propojku R23. V případě IO s napětím 3V3 se naopak přemostí propojka R22.



Obrázek E.1: Osazovací plán horní strany DPS



Obrázek E.2: Osazovací plán spodní strany DPS

Příloha F

Obsah příloženého CD

Příložené CD obsahuje text této bakalářské práce ve zdrojové podobě i ve formátu PDF, dále veškeré zdrojové texty systému v jazyce VHDL a také úplné podklady pro výrobu desky plošných spojů, jak byla popsána v kapitole 7.

Složka	Obsah složky
<code>/thesis_text/pdf</code>	Text práce ve formátu PDF
<code>/thesis_text/latex</code>	Text práce ve formátu \LaTeX ¹
<code>/vhdl_sources/fitkit</code>	Zdrojové texty systému v jazyce VHDL ve formátu pro platformu FITkit (projekt pro nástroj QDevKit). [8] Tento projekt slouží k testování systému, viz instrukce v příloze D.
<code>/vhdl_sources/xilinx_ise</code>	Zdrojové texty systému v jazyce VHDL ve formátu pro nástroj Xilinx ISE a uzpůsobené pro naprogramování do systému v rámci navržené DPS (viz kap. 7).
<code>/pcb_eagle/pcb</code>	Navržená deska plošného spoje ve formátu pro nástroj CadSoft Eagle ² .
<code>/pcb_eagle/lib</code>	Knihovny komponent, které byly autorem vytvořeny během návrhu DPS a nejsou tedy součástí distribuce aplikace CadSoft Eagle.
<code>/pcb_eagle/manuf</code>	Podklady pro výrobu desky plošných spojů ve formátech Gerber RS-274X (<code>*.gpi</code> , <code>*.gbr</code>) a Excellon (<code>*.exc</code> , <code>*.dri</code>).

Tabulka F.1: Obsah příloženého CD

¹Zpracování zdrojových textů práce ve formátu LaTeX bylo provedeno pomocí softwarového balíku `texlive` ve verzi 2007-56.i686.

²Pro práci s navrženou deskou postačuje bezplatně dostupná verze Eagle Light Edition, viz též webové stránky výrobce: <http://www.cadsoft.de/freeware.htm>.