



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF MICROELECTRONICS

## ZAŘÍZENÍ PRO ZÁZNAM DAT NA PAMĚŤOVOU KARTU

DEVICE FOR RECORDING DATA ON MEMORY CARD

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

PETR ČALOUN

VEDOUCÍ PRÁCE

SUPERVISOR

ING. MARIÁN PRISTACH

BRNO 2013



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav mikroelektroniky

# Bakalářská práce

bakalářský studijní obor  
Mikroelektronika a technologie

**Student:** Petr Čaloun

**ID:** 119375

**Ročník:** 3

**Akademický rok:** 2012/2013

## NÁZEV TÉMATU:

**Zařízení pro záznam dat na paměťovou kartu**

## POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s možnostmi záznamu dat na paměťové karty typu SD a SDHC. S využitím obvodu FPGA navrhnete zařízení pro čtení a záznam dat na paměťovou kartu. Návrh popište v jazyce VHDL a implementujte do obvodu FPGA Spartan-3 XC3S200. Navrhnete rozhraní pro přenos zaznamenaných dat do PC a vytvořte potřebné programové vybavení pro počítač. Vytvořte rozšiřující modul pro připojení karty k vývojové desce.

Navrhnete aplikaci demonstrující funkci zařízení, která bude provádět dlouhodobý sběr dat.

## DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

**Termín zadání:** 11.2.2013

**Termín odevzdání:** 6.6.2013

**Vedoucí práce:** Ing. Marián Pristach

**Konzultanti bakalářské práce:**

**doc. Ing. Jiří Háze, Ph.D.**

*Předseda oborové rady*

## UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

# Prohlášení

Prohlašuji, že svou bakalářskou práci na téma Zařízení pro záznam dat na SD kartu jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením tohoto projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 30. května 2013

.....  
podpis autora

# Poděkování

Děkuji vedoucímu bakalářské práce Ing. Mariánu Pristachovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování projektu.

V Brně dne 30. května 2013

podpis autora

## **Abstrakt**

Tato práce se zabývá návrhem zařízení pro záznam dat s využitím programovatelného hradlového pole. V práci je popsán princip komunikačních protokolů použitých pro komunikaci s paměťovou kartou. V další části je popsán výběr jednotlivých rozhraní, komunikačních protokolů a popsán návrh zařízení pro ukládání dat. Poslední část práce je zaměřena na návrh aplikace pro dlouhodobý sběr dat.

### **Klíčová slova:**

FPGA, SD karta, SPI, UART, VHDL

## **Abstract**

This work deals with design of devices for recording data using programmable gate array. The paper describes the principle of communication protocols used for communication with a memory card. The next part describes the selection of different interfaces, communication protocols and describes the design of data storage devices. The last part is focused on design of application for long time data collection.

### **Keywords:**

*FPGA, SD card, SPI, UART, VHDL*

## Bibliografická citace díla:

ČALOUN, P. Zařízení pro záznam dat na paměťovou kartu. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2013. 43 (6) s. Vedoucí bakalářské práce Ing. Marián Pristach.

# Obsah

<b>ÚVOD</b> .....	<b>9</b>
<b>1 TEORETICKÝ ÚVOD</b> .....	<b>10</b>
1.1 JAZYK VHDL.....	10
1.2 PROGRAMOVATELNÁ HRADLOVÁ POLE FPGA.....	10
1.3 PAMĚŤOVÉ KARTY SD.....	11
<b>2 OVLÁDÁNÍ SD KARTY</b> .....	<b>13</b>
2.1 REŽIM SPI.....	13
2.2 REŽIM SD.....	14
2.3 INICIALIZAČNÍ PROCES KARTY.....	14
2.4 FORMÁT ZASÍLANÝCH PŘÍKAZŮ.....	16
2.5 ČTENÍ A ZÁPIS DAT.....	17
2.6 TYPY ODPOVĚDÍ.....	17
2.6.1 <i>Odpověď typu R1</i> .....	17
2.6.1 <i>Odpověď typu R2</i> .....	18
2.6.2 <i>Odpověď typu R3</i> .....	18
2.6.3 <i>Odpověď typu R7</i> .....	18
2.6.4 <i>Řetězec odpovědi na zápis dat</i> .....	19
2.6.5 <i>Řetězce pro zápis a čtení dat</i> .....	19
2.7 REGISTR CID.....	20
2.8 REGISTR CSD.....	21
<b>3 ZAŘÍZENÍ PRO ZÁZNAM DAT</b> .....	<b>24</b>
3.1 SPARTAN-3 STARTER KIT BOARD.....	25
3.2 OBVOD FT232H.....	26
3.3 VNITŘNÍ ZAPOJENÍ.....	27
3.4 NÁVRH JEDNOTLIVÝCH MODULŮ.....	28
3.5 SEZNAM PODPOROVANÝCH PŘÍKAZŮ.....	33
3.6 SIMULACE MODULU SPI.....	33
3.7 OBVODOVÉ ZAPOJENÍ PŘÍDAVNÉHO MODULU.....	34
3.8 NÁVRH A REALIZACE OVLÁDACÍHO PROGRAMU.....	36
<b>4 ZÁVĚR</b> .....	<b>38</b>
<b>5 SEZNAM POUŽITÉ LITERATURY</b> .....	<b>39</b>
<b>6 SEZNAM SYMBOLŮ A ZKRATEK</b> .....	<b>40</b>
<b>7 SEZNAM PŘÍLOH</b> .....	<b>43</b>

## Seznam obrázků

Obr. 1: Rozložení pinů na SD kartě [1] .....	12
Obr. 2: Zapojení sběrnice SPI [4] .....	13
Obr. 3: Datový formát pro čtyř-bitovou sběrnici [8] .....	14
Obr. 4: Inicializační proces módu SPI [8] .....	15
Obr. 5: Blokové schéma pro Zařízení pro záznam dat .....	27
Obr. 6: Vnitřní zapojení bloku <i>Kontroler</i> .....	28
Obr. 7: Diagram řídicího modulu <i>Main</i> .....	29
Obr. 9: Datový rámec přenášený prostřednictvím RS232 [3] .....	31
Obr. 10: Zásobník FIFO založený na principu kruhové fronty [3] .....	31
Obr. 11: Simulace modulu SPI v prostředí ISim .....	34
Obr. 12: Zapojení slotu pro paměťové karty v režimu SPI [1] .....	35
Obr. 13: Hlavní okno aplikace Serial Send. ....	37
Obr. 14: Motiv plošného spoje - strana součástek	
Obr. 15: Motiv plošného spoje - strana spojů	
Obr. 16: Osazení součástek - strana součástek	
Obr. 17: Osazení součástek - strana spojů	
Obr. 18: Diagram modulu <i>Main_CMD</i>	
Obr. 19: Pohled na zařízení připojené k testovacímu kitu Spartan-3	
Obr. 20: Pohled na realizované zařízení - strana součástek	

## Seznam tabulek

Tab. 1: Přehled parametrů paměťových karet SD, SDHC, SDXC .....	11
Tab. 2: Význam pinů v režimu SPI a SD .....	13
Tab. 3: Formát příkazů .....	16
Tab. 4: Příkazy a jejich význam .....	16
Tab. 5: Odpověď typu R1 .....	17
Tab. 6: Odpověď typu R2 .....	18
Tab. 7: Odpověď typu R7 .....	18
Tab. 8: Odpověď na zápis dat .....	19
Tab. 9: Řetězce pro zápis a čtení dat .....	19
Tab. 10: Řetězec ohlášení chyby čtení .....	19
Tab. 11: CID registr .....	20
Tab. 12: Struktura CSD registru .....	21
Tab. 13: Obsah CSD registru .....	21
Tab. 14: Struktura registru CSD .....	21
Tab. 15: Velikost bloku dat .....	22
Tab. 16: Význam bitů v C_SIZE_MULT .....	23
Tab. 17: Význam hodnot pole WRITE_BL_LEN .....	23
Tab. 18: Typ systémových souborů .....	23
Tab. 19: Seznam součástí	

## Úvod

Měření, sbírání a vyhodnocování dat je problematika, která zasahuje do mnoha odvětví od průmyslu, lékařství, až po elektrotechniku. V poslední době je hojně využíváno ukládání dat na externí paměťová média. Cílem této práce je navrhnout zařízení pro záznam dat. Úkolem je, jak navrhnout obvodové části, tak navrhnout program pro zařízení a navrhnout uživatelské aplikace pro sběr dat. Potřebná data mohou být získávána z AD převodníku, generátoru dat či jiného zařízení a pomocí vhodného komunikačního protokolu ukládána na paměťové zařízení typu SD, SDXC či SDHC. Takto uložená data by mělo být možné dále odesílat počítači, pro zpracování navrženou aplikací. Jádrem celého zařízení bude obvod FPGA, který bude obstarávat veškerou komunikaci s ostatními periferiemi.

Ke zprostředkování komunikace mezi hlavním řídicím obvodem a dalšími periferiemi je potřeba zvolit vhodná komunikační rozhraní. Výsledkem bude tedy návrh zařízení, ukládající data přijímaná například z generátoru LFSR na paměťovou kartu a návrh počítačové aplikace komunikující s tímto zařízením.

# 1 Teoretický úvod

## 1.1 Jazyk VHDL

Jazyk pro popis elektronických obvodů VHDL je jazyk vysoké úrovně, navržený pro popis a simulaci rozsáhlých číslicových obvodů a systémů. Jedná se o jazyk určený pro popis elektronických obvodů. Výhodou tohoto jazyka jsou jeho bohaté vyjadřovací schopnosti a značná nezávislost číslicového systému, popsaného jazykem VHDL, na cílové technologii jeho realizace nebo výroby.

Popis číslicového systému v jazyce VHDL je činnost značně odlišná od programování v klasických programovacích jazycích typu C nebo Pascal. Při popisu číslicového systému programovaného jazykem VHDL popisujeme číslicový systém, který bude nakonec většinou realizován v elektronickém obvodu. Vytvořený kód bude muset nakonec projít syntézou, jejímž výsledkem je zapojení z hradel a klopných obvodů, určené pro programovatelný logický obvod nebo jiný typ zákaznického obvodu. Vytvářené konstrukce v jazyce VHDL musí být syntetizovatelné s výjimkou testovacího programu nebo modelů určených pouze pro simulaci. Testovací program *Testbench* je program v jazyce VHDL, jímž se generují vstupní signály pro navrhovaný číslicový systém a pomocí něhož se kontroluje správnost funkce systému. Kód *Testbench* není třeba syntetizovat, neboť se používá pouze pro simulaci na simulátoru jazyka VHDL. Značná část příkazů a vyjadřovacích prostředků, které jazyk VHDL nabízí, nelze syntetizovat do fyzického obvodu. V kódu, který je třeba syntetizovat, nelze tedy využít všech příkazů [6].

## 1.2 Programovatelná hradlová pole FPGA

Programovatelná hradlová pole FPGA patří mezi jedny z nejvýznamnějších vývojových směrů integrovaných obvodů s vysokou zástavbovou hustotou. Obvody založené na architektuře FPGA patří do skupiny elektricky re-programovatelných PLD obvodů EEPLD a prakticky všechny jsou programovatelné přímo v cílovém systému ISP. FPGA obvody jsou založeny na generátorech logických funkcí s paměťmi (tzv. LUT tabulky), klopných obvodech a propojovacích vodičích probíhajících v kanálech mezi logickými bloky. Jeden obvod FPGA může obsahovat až několik stovek tisíc takovýchto LUT tabulek a klopných obvodů [6].

### 1.3 Paměťové karty SD

Karta Secure Digital (SD), vyrobena firmou Matsushita, Sandisk a Toshiba, je v podstatě vylepšená MMC karta. Vyznačuje se vyšší přenosovou rychlostí, podporou ochrany digitálních nahrávek a podobně jako u MS karet disponuje ochranou proti přepsání. Postupem času byly vyvinuty další typy s menšími rozměry a větší kapacitou. Poslední v řadě je typ SDIO, který je rozšířený o podporu různých přípojných zařízení.

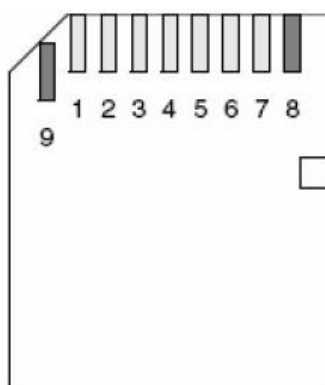
Po kartě SD následoval typ Secure Digital High Capacity (SDHC). U tohoto typu je již kapacita větší než 2 GB, ale není zpětně kompatibilní se staršími čtečkami SD karet, které nemají příslušný ovladač. U těchto karet se již zavádí označení minimální rychlosti podle tříd. Jejich velikost může dosahovat až 32 GB. Tato karta se podobně, jako u jiných typů, vyrábí v několika velikostních provedeních [1].

Další kartou založenou na předchůdci SD, je karta Secure Digital eXtended Capacity (SDXC). Tato karta dosahuje ještě větší kapacity, teoreticky až 2 TB. První kartu vyrobila firma Pretec v roce 2009. Karta využívá nového systému souborů exFAT, který umožňuje adresovat paměť o kapacitě větší než 32GB. Zatím největší kapacitu tohoto typu karet vyrábí firma Lexar s pamětí o velikosti 256 GB. V následující tabulce jsou porovnány karty založené na standartu SD viz. Tab. 1. [8].

**Tab. 1:** Přehled parametrů paměťových karet SD, SDHC, SDXC

		<b>SD</b>	<b>SDHC</b>	<b>SDXC</b>
<b>Kapacita</b>		Do 2 GB	Více než 2 GB Do 32 GB	Více než 32 GB Do 2 TB
<b>Souborový systém</b>		FAT 12, 16	FAT 32	exFAT
<b>Rozměry karet</b>	Full	32 x 24 x 2.1 mm, Přibližně 2g		
	MiniSD	20 x 21.5 x 1.4 mm, Přibližně 1g		
	microSD	20 x 21.5 x 1.4 mm, Přibližně 1g		
<b>Přenosová rychlost</b>		Normal speed (NS) High speed (HS)	NS, HS UHS-I	NS, HS UHS-I
<b>Speed Classes</b>	NS, HS mód	Speed Class (0)	Speed Class (M)	Speed Class (M)
	UHS-I mód		Speed Class (0) UHS Speed Class (0)	Speed Class (0) UHS Speed Class (0)

Zařízení pro záznam dat bude podporovat tři typy paměťových karet, a to SD, SDHC a SDXC. Tyto karty vycházejí z licencovaného standardu SD, který vyvinula SD Card Asociacion. SD Card Asociacion také vydává technické normy pro tuto technologii. Na SD standard se vztahuje řada patentů a ochranných známek. Licenční poplatky se vztahují na výrobu, prodej a řadiče paměťových karet. Pro tyto karty bude vyhrazen slot, který je kompatibilní se všemi třemi typy karet. Jednotlivé karty se od sebe navzájem liší, v první řadě kapacitou paměti, dále přenosovou rychlostí, nebo také podporou různých souborových systémů. Na následujícím obrázku Obr. 1. je zobrazena SD karta s jednotlivými piny, jejichž význam se liší v závislosti na použitém komunikačním protokolu [1].



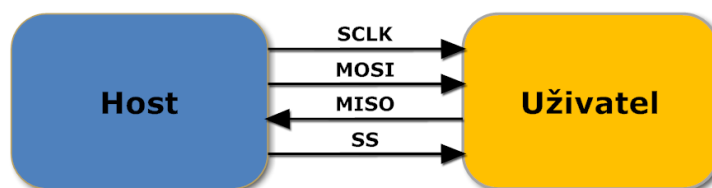
**Obr. 1:** Rozložení pinů na SD kartě [1]

## 2 Ovládání SD karty

Karty založené na standardu SD podporují dva základní komunikační režimy, je to režim SPI a jednobitový SD režim. U některých karet, které spadají do rychlostní třídy UHS-I a UHS-II, je dostupný i čtyř-bitový SD režim. V další části se zaměřím pouze na režimy SPI a SD, které mají širší podporu [8].

### 2.1 Režim SPI

Sériové periferní rozhraní SPI, je rozhraní, které se využívá v mnoha zařízeních, jako jsou mikrokontroléry a mnohé další periferní obvody. Samotný standard SPI popisuje fyzické rozhraní, datový protokol se může od různých zařízení lišit. Komunikace zde probíhá synchronně v plném duplexním spojení. V SPI rozhraní jsou použity celkem čtyři vodiče. Hostitelské zařízení nastavením portu SS na log 0 aktivuje uživatelské zařízení a přivedením hodinového signálu na vývodu SCLK se spustí komunikace mezi vývody MOSI a MISO. Na následujícím obrázku Obr. 2 je zobrazeno zapojení SPI sběrnice [4].



Obr. 2: Zapojení sběrnice SPI [4]

V následující tabulce Tab. 2. je popsán význam pinů SD karty, zapojené v režimu SPI a SD. Číslování portů odpovídá rozložení pinů na Obr. 1.

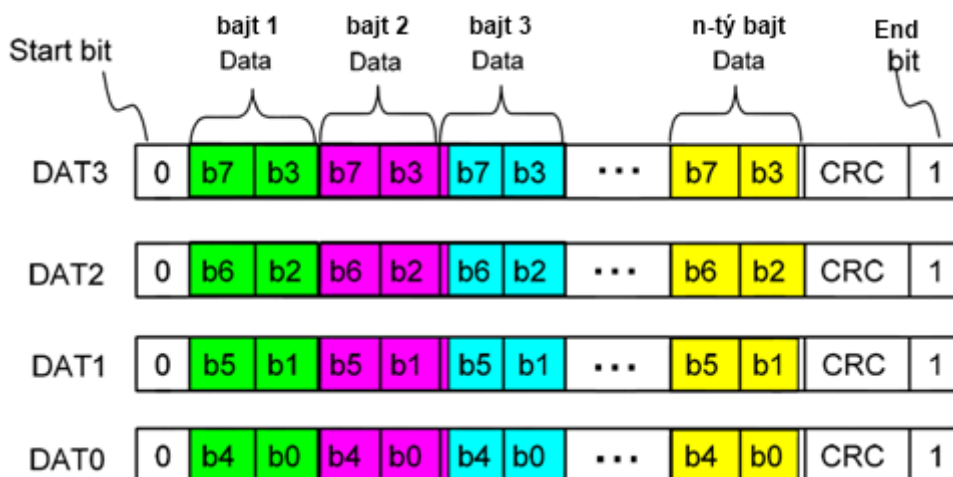
Tab. 2: Význam pinů v režimu SPI a SD

Pin	SD Mód		SPI Mód	
	Název	Popis	Název	Popis
1			SS	Aktivace karty
2	CMD	Příkaz / Odpověď	DI	Vstupní data (MISO)
3	VSS1	Uzemnění	VSS1	Uzemnění
4	VDD	Napájecí napětí	VDD	Napájecí napětí
5	CLK	Hodinový signál	CLK	Hodinový signál (SCLK)
6	VSS2	Uzemnění	VSS2	Uzemnění
7	DAT0	Datový vodič [Bit 0]	DO	Výstupní data (MOSI)
8		rezervováno		rezervováno
9		rezervováno		rezervováno

## 2.2 Režim SD

Komunikace prostřednictvím SD protokolu probíhá pomocí příkazových a datových řetězců, které jsou předcházené start bitem a zakončené stop bitem. V případě jednobitového režimu SD probíhá veškerá komunikace sériově. Odeslaný příkaz se posílá pomocí portu CMD z hostitelského zařízení. Po odeslání příkazu přichází odpověď od uživatelského zařízení v podobě řetězců formátu RX, případně v podobě chybového hlášení. Význam jednotlivých pinů na kartě v režimu SD je popsán v tabulce Tab. 2.

Režim SD podporuje také čtyř-bitové paralelní rozhraní, které je výhodné díky větší rychlosti přenosu. V tomto zapojení se nejprve odesílají čtyři nejméně významné spodní bity, které jsou následovány čtyřmi nejméně významnými horními bity. Pro každý datový vodič je obsahem příkazu také start bit, stop bit a kontrolní součet CRC. Na obrázku Obr. 3 je zobrazena struktura dat posílaných po čtyř-bitové datové sběrnici.



Obr. 3: Datový formát pro čtyř-bitovou sběrnici [8]

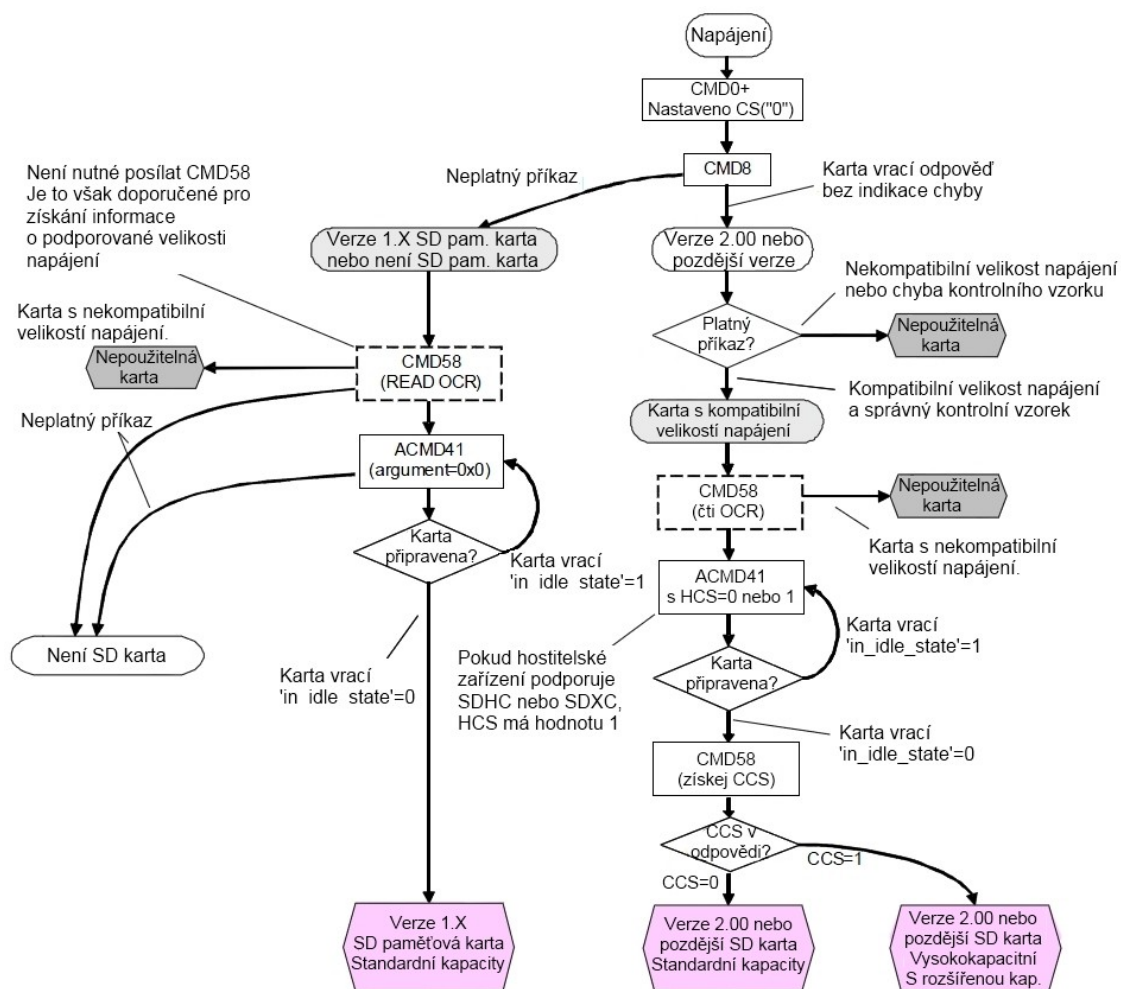
## 2.3 Inicializační proces karty

Paměťová karta se po přivedení napájecího napětí implicitně nachází v SD módu. V případě, že chceme přejít do SPI módu, je potřeba na port SS přivést neaktivní úroveň a poté zaslat resetovací příkaz CMD0. Po odeslání tohoto příkazu se již dostáváme do SPI módu. Pro opětovné uvedení karty do SD módu, je potřeba provést tzv. napájecí cyklus ("tvrdý reset"), kdy se napájení karty odpojí a po 1 ms znovu připojí. Formát odesílaných příkazů je popsán v kapitole 2.4. Po resetovacím příkazu následuje příkaz CMD8, pomocí kterého zjišťujeme podporu napájecího napětí. Starší verze SD karty tento příkaz nepodporuje, proto můžeme v tomto případě obdržet odpověď o chybně zadaném příkazu. Chybná odpověď je obdržena rovněž v případě, že vložená karta není typu SD.

Pokud dostaneme správnou odpověď, znamená to, že vložená karta je verze číslo 2 či pozdější. V řetězci, kterým karta odpovídá, sledujeme bit VCA. Nastavení bitu VCA na logickou nulu značí podporu dané velikosti napájení.

Po získání správné odpovědi můžeme zaslat příkaz CMD58, abychom získali registr OCR, tento příkaz však není povinný. Dalším příkazem je ACMD41, ten se opakuje do té doby, dokud nedostaneme odpověď 0x00. Dále je nutné odeslat CMD58, pro získání CCS bitu. Tento bit nám říká, zdali je vložená karta typu High Capacity, či Standard Capacity.

Jakmile získáme odpověď, je dokončena inicializace SD karty. Nyní můžeme nastavit taktovací frekvenci na maximum. Po inicializaci se obvykle posílá příkaz CMD16, který nastavuje délku datového bloku, se kterým budeme číst a zapisovat data [8]. Následující obrázek Obr. 4 zobrazuje kompletní inicializační proces karty využívající módu SPI.



Obr. 4: Inicializační proces módu SPI [8]

## 2.4 Formát zasílaných příkazů

SD standard definuje dva typy příkazů. Prvním je příkaz označovaný CMD a druhý speciální příkaz označovaný ACMD. Jednotlivé příkazy jsou označovány dvouciferným číslem následovaným za názvem, např. CMD17. Každý zasílaný příkaz má délku 6 bajtů. Následující tabulka zobrazuje význam jednotlivých bitů v příkazu, viz. Tab. 3.

Tab. 3: Formát příkazů

<b>Pozice bitu</b>	47	46	[45:40]	[39:8]	[7:1]	0
<b>Šířka (bitů)</b>	1	1	6	32	7	1
<b>Hodnota</b>	0	1	X	X	X	1
<b>Popis</b>	start bit	stálý bit	číslo příkazu	argument	CRC7	stop bit

Každý příkaz začíná start bitem, poté následuje stálý bit. Další bity, kromě stop bitu, jsou různé a skládají se z čísla příkazu, argumentu a kontrolního součtu CRC. Kontrolní součet není v SPI módu aktivovaný. Pro příkaz CMD0 je však stále povinný a má stálou hodnotu 0x4A. Některé příkazy jsou podporovány jen v SD módu. V následující části uvádím dva příklady posílaných příkazů, kde není aktivován kontrolní součet CRC.

- Příklad zaslání příkazu pro vyčtení sektoru:  
CMD17 (argument=3D000h) --> **01** 010001 00000000000000111101000000000000  
1001010 **1**

Pro zaslání jakéhokoli příkazu ACMD se musí nejprve odeslat příkaz CMD55.

- Příklad zaslání příkazu ACMD41:  
CMD55 (argument=0h) --> 01 110111 00000000000000000000000000000000 1001010 1  
ACMD41(argument=FF00000h) --> **01** 110111 00001111111100000000000000000000  
1001010 **1**

V následující tabulce Tab. 4. je přehled často používaných příkazů.

Tab. 4: Příkazy a jejich význam

<b>Příkaz</b>	<b>Argument</b>	<b>Typ</b>	<b>Zkratka</b>	<b>Popis</b>
CMD0	-	R1	GO_IDLE_STATE	Resetuje kartu a nastane klidový stav
CMD8	[31:12] Vyhrazené bity [11:8] Napájecí napětí (VHS)	R7	SEND_IF_COND	Pošle stav rozhraní SD karty
CMD16	[31:0] Délka bloku	R1	SET_BLOCKLEN	Nastaví velikost bloku dat
CMD17	[31:0] Adresa dat	R1	READ_SINGLE_BLOCK	Přečte blok o velikosti nastavené podle CMD16

CMD24	[31:0] Adresa dat	R1	WRITE_BLOCK	Zapíše blok o velikosti nastavené podle CMD16
CMD55	-	R1	APP_CMD	Další příkaz bude ACMDxx
CMD58	-	R3	READ_OCR	Přečte registr OCR
ACMD41	-	R1	SD_SEND_OP_COND	Aktivuje inicializační proces karty

## 2.5 Čtení a zápis dat

V SPI módu je podporováno čtení dat po jednotlivých blocích, nebo po více blocích najednou (příkaz CMD17, CMD 18 u SD protokolu). V příkazu se nastaví požadovaná adresa, která musí začínat na začátku bloku. Po odeslání příkazu karta odpoví řetězcem R1, za kterým následují požadovaná data. V případě nastavení špatné adresy odpoví karta chybovým hlášením. Velikost jednotlivých bloků se nastavuje pomocí příkazu CMD16. Klasická velikost bloku bývá 512 B, může se však číst i po jednotlivých bajtech s výjimkou karet SDHC a SDXC, kde nemůže být velikost bloků menší než 512 B.

Podobně jako čtení dat, je i zápis prováděn po jednotlivých blocích, nebo po více blocích najednou. K zápisu dat jsou určeny příkazy CMD24 a CMD25. Po odeslání příkazu získáme odpověď R1. V případě bezchybné odpovědi můžeme zaslat data k zapsání. Paměťová karta data přijme a informuje hostitelské zařízení pomocí datového řetězce obsahující odpověď o průběhu příjmu dat. Pokud neohlásí chybové hlášení, spustí zápis dat na SD kartu. V době zápisu dat odesílá informaci o zaneprázdněnosti. Příkazem CMD13 se můžeme přesvědčit o výsledku zápisu [8].

## 2.6 Typy odpovědí

Zasílaných odpovědí je několik typů, v závislosti na odesílaných příkazech. V SPI módu je, stejně jako v SD módu, zasílán nejprve nejvýznamnější bit MSB.

### 2.6.1 Odpověď typu R1

Tento řetězec je odeslán na každý typ příkazů, s výjimkou příkazu ACMD13. Jeho jednotlivé bity upozorňují hostitelské zařízení na určitý typ chyby. V tabulce Tab. 5. je popsán význam jednotlivých bitů.

Tab. 5: Odpověď typu R1

Bit	Význam	Definice
7	Start bit	Nastaven vždy na 0
6	Chyba parametru	Argument příkazu byl mimo povolený rozsah (např. adresa, délka bloku)
5	Chyba adresy	Adresa neodpovídá délce bloku
4	Chyba mazací sekvence	Nastala chyba při sekvenci příkazů pro mazání

3	Chyba CRC během komunikace	Špatný součet CRC posledního příkazu
2	Chybný příkaz	Byl přijat neplatný příkaz
1	Reset mazání	Smazání dat nebylo dokončeno
0	Idle stav	Karta je v idle stavu a provádí se inicializace

### 2.6.1 Odpověď typu R2

Odpověď typu R2 má dva bajty a je odpovědí na příkaz CMD13. První bajt je stejný jako řetězec odpovědi R1, za ním následuje bajt, který je popsáný v následující tabulce Tab. 6.

**Tab. 6:** Odpověď typu R2

Bit	Chyba	Definice
7	Mimo rozsah	Parametr byl mimo rozsah, nebo se host pokoušel změnit CSD
6	Chyba parametru mazání	Chybný výběr sektoru nebo skupiny pro mazání
5	Porušení ochrany zápisu	Příkaz se pokoušel zapisovat do chráněného bloku
4	ECC karty selhalo	použito ECC, ale data se nepodařilo opravit
3	Chyba karty	Chyba vnitřního řadiče karty
2	Neznámá chyba	Během operace se vyskytla neznámá chyba
1	Ochrana zápisu	Pokus o zapisování do chráněného bloku proti zapsání, chybně zadané heslo
0	Karta je zamčena	Bit indikující uzamčenou kartu

### 2.6.2 Odpověď typu R3

Řetězec odpovědi R3 je odeslán na příkaz CMD58. Začíná prvním bajtem, který obsahuje řetězec odpovědi R1 a poté následují 4 bajty obsahující registr OCR.

### 2.6.3 Odpověď typu R7

Odpověď typu R7 je odpověď na příkaz CMD8. Začíná řetězcem odpovědi R1, další bity jsou popsány v tabulce Tab. 7. Odpovědi typu R5 a R6 jsou vyhrazeny pro SDIO karty.

**Tab. 7:** Odpověď typu R7

Bit	Definice		
31-28	Verze příkazu		
27-12	Rezervované bity		
11-8	Akceptované napájení	0000b	Nedefinováno
		0001b	2,7 V - 3,6 V
		0010b	Vyhrazeno pro nízkonapěťové napájení
		0100b	Rezervováno
		1000b	Rezervováno

		Others	Nedefinováno
7-0	Zpětná odezva Pattern		

### 2.6.4 Řetězec odpovědi na zápis dat

Každý datový blok zapsaný na kartu může hostitelské zařízení kontrolovat pomocí řetězce, který je odpovědí na zapisovaná data. Řetězec je dlouhý jeden bajt a má následující strukturu viz Tab. 8.

Tab. 8: Odpověď na zápis dat

Bit	Definice
7-5	Nevyžito hodnota XXX
4	Stálý bit s hodnotou 0
3-1	010 - Data přijata a zapsána korektně
	101 - Data byla odmítnuta kvůli chybě CRC
	110 - Data byla odmítnuta kvůli chybě zápisu
0	Stálý bit s hodnotou 1

### 2.6.5 Řetězce pro zápis a čtení dat

Příkazy čtení a zápisu jsou spojeny s těmito řetězci, pomocí nich data přijímáme či vysíláme. Mají následující formát viz. Tab. 9.

Tab. 9: Řetězce pro zápis a čtení dat

Bajt	Definice
1	Začátek bloku s hodnotou 0xFE
2-513	Uživatelská data
514-515	CRC součet

Pro zápis více bloků najednou má začátek každého bloku při zápisu dat hodnotu 0xFC. Ukončení zápisu se provádí odesláním bajtu, který má hodnotu 0xFD.

### 3.4.7 Řetězec ohlášení chyby čtení

Selže-li čtení dat z paměti a karta není schopna je vyčíst, pošle řetězec ohlašující chybu čtení dat. Tato odpověď má 1 bajt a je popsána v tabulce Tab. 10.

Tab. 10: Řetězec ohlášení chyby čtení

Bit	Definice
7-4	Nulové hodnoty
3	Parametr byl mimo rozsah, nebo se host pokoušel změnit ROM
2	Byl použit kód opravy chyb, který selhal
1	Chyba vnitřního kontroléru karty
0	Během operace se vyskytla neznámá chyba

## 2.7 Registr CID

Registr obsahující identifikační číslo karty (CID) má celkem 128 bitů. Obsahuje informace o kartě, které jsou použity při identifikačním procesu. Každá karta má své jedinečné identifikační číslo. V následující tabulce Tab. 11. je popsána struktura CID registru [8].

Tab. 11: CID registr

Jméno	Pole	Velikost	CID pozice
Výrobní ID	MID	8	127 - 120
OEM/Aplikační ID	OID	16	119 - 104
Produktový název	PNM	40	103 - 64
Produktová změna	PRV	8	63 - 56
Produktové sériové číslo	PSN	32	55 - 24
Rezervováno		4	23 - 20
Datum výroby	MDT	12	19 - 8
kontrolní součet CRC7	CRC	7	7 - 1
Nevyužito stále log. 1	-	1	0 - 0

- MID - Osmi bitové číslo identifikující výrobce karty. Unikátní MID číslo je kontrolováno, definováno a určeno výrobcí SD karty licencí SD-3C, LLC. Tento proces je nastaven k zajištění unikátního CID registru.
- OID - 2 znaky z ACI kódu, definující OEM nebo obsah karty (je-li používána jako distribuční médium ROM nebo FLASH). Číslo OID je kontrolováno, definováno a určeno výrobcí SD karty licencí SD-3C, LLC.
- PNM - Produktový název karty, obsahující 5 znaků ASCII kódu.
- PRV - Verze výrobku je obsažena ve dvou BCD číslech, po čtyřech bytech. Jsou reprezentovány jako "n.m" přičemž "n" je více významná část a "m" je méně významná část. Příklad: PRV pro verzi výrobku "3.6." odpovídá binárně číslu 00110110b.
- PSN - Sériové číslo dlouhé 32 bitů.
- MDT - Datum výroby, které je tvořené dvěma hexadecimálními číslicemi. První číslo představuje osmi bitovou reprezentaci roku "y" a druhé je čtyř bitová reprezentace měsíce "m".
- Pole "m" v rozmezí bitů [11:8] je kód měsíce. Například hodnota 1 značí měsíc leden.
- Pole "y" v rozmezí bitů [19:12] je kód roku. Hodnota nula značí rok 2000.
- CRC - Kontrolní součet CRC7. Představuje kontrolní součet pro obsah registru CID.

## 2.8 Registr CSD

Tento registr obsahuje informace týkající se přístupu na paměťovou kartu. CSD registr definuje datový formát, typ opravy chyb, maximální přístupovou dobu k datům, informaci o tom, zda může být použit DSR registr atd. Programovatelná část registru může být nastavena pomocí příkazu CMD27. V tabulce Tab. 12. je popsána struktura registru CSD. Význam zkratk v tabulce: R - pouze pro čtení, W - přepisovatelný, W(1) - možný jen jeden zápis. Struktura registru se může lišit v závislosti na verzi a kapacitě karty. Pole CSD\_STRUCTURE v CSD registru zobrazuje verzi jeho struktury. Tabulka Tab. 13. ukazuje číslo verze příslušné struktury CSD [8].

**Tab. 12:** Struktura CSD registru

CSD_STRUCTURE	Verze CSD_STRUCTURE	Kapacita karty
0	CSD verze 1	Verze 1.01 až 1.10 Verze 2/standardní kapacita
1	CSD verze 2	Verze 2/vysoká kapacita
2-3	rezervováno	

**Tab. 13:** Obsah CSD registru

Jméno	Pole	Délka [b]	Typ	CSD pozice
CSD structure	CSD_STRUCTURE	2	R	[127-126]
Max. délka bloku dat při čtení	READ_BLK_LEN	4	R	[83-80]
Dílčí bloky pro čtení povoleny	READ_BLK_PARTIAL	1	R	[79-79]
Nesoulad zápisu bloku	WRITE_BLK_MISALING	1	R	[78]
Nesoulad čtení bloku	READ_BLK_MISALING	1	R	[77]
Velikost zařízení	C_SIZE	12	R	[73-62]
Násobek velikosti zařízení	C_SIZE_MULT	3	R	[49-47]
Max. délka zapisovaného bloku dat	WRITE_BLK_LEN	4	R	[25-22]
Dílčí bloky pro zápis povoleny	WRITE_BLK_PARTIAL	1	R	[21]
Formát skupiny souborů	FILE_FORMAT_GRP	1	R/W	[15]
Formát souboru	FILE_FORMAT	2	R/W	[11-10]

- CSD\_STRUCTURE - Pole struktur registru CSD se liší v závislosti na fyzické vrstvě specifické verze a na velikosti karty. Pole CSD\_STRUCTURE v CSD registru označuje jeho verzi. V následující tabulce je zobrazeno číslo verze odpovídající CSD struktuře.

**Tab. 14:** Struktura registru CSD

CSD_STRUCTURE	Verze CSD struktury	Kapacita karty
0	CSD verze 1.0	Standard Capacity
1	CSD verze 2.0	High Capacity a Extended Capacity
2-3	rezervováno	

- **READ\_BL\_LEN** - Maximální délka bloku dat při čtení je vypočítána jako  $2^{\text{READ\_BL\_LEN}}$ . Maximální velikost bloku dat může být v rozmezí 512 - 2048 B. Velikost **READ\_BL\_LEN** je standardně rovna velikosti **WRITE\_BL\_LEN**. V následující tabulce Tab. 15. je uveden přesný význam bitů.

**Tab. 15:** Velikost bloku dat

Bit	Velikost bloku
0 - 8	Rezervováno
9	512 B
10	1024 B
11	2048 B
12 - 15	Rezervováno

- **WRITE\_BLK\_MISALIGN** - Určuje, zda může být zapisovaný blok dat, definovaný jedním příkazem, rozdělen na více bloků v paměti SD karty. Velikost bloku je definována v registru **WRITE\_BL\_LEN**. Pokud je **WRITE\_BLK\_MISALIGN** nastaven na hodnotu 0, není povoleno rozdělit zapisovaná data. Při **WRITE\_BLK\_MISALIGN** nastaveném na hodnotu 1, je povoleno zapisování na více fyzických bloků.
- **READ\_BLK\_MISALIGN**- Má stejný význam jako registr **WRITE\_BLK\_MISALIGN** s rozdílem pro čtení dat.
- **READ\_BL\_PARTIAL** - Částečné čtení bloku je u SD karty vždy povoleno. Mohou tak být čtena data menší délky, než je velikost bloku. Nejmenší velikost bloku je jeden bajt.
- **C\_SIZE** - Tento parametr je využíván k výpočtu kapacity SD karty. Kapacita je určena pomocí registrů **C\_SIZE**, **C\_SIZE\_MULT** a **READ\_BL\_LEN**.
- kapacita paměti:  $\text{BLOCKNR} * \text{BLOCK\_LEN}$ ,  $\text{BLOCKNR} = (\text{C\_SIZE} + 1) * \text{MULT}$   
 $\text{MULT} = 2^{\text{C\_SIZE\_MULT} + 2}$ ,  $\text{BLOCK\_LEN} = 2^{\text{READ\_BLCK\_LEN}}$ , k indikaci karty o velikosti 2 GB musí být **BLOCK\_LEN** nastaven na 1024 bajtů. Maximální kapacita se spočítá následovně:  $4096 * 512 * 1024 = 2 \text{ GB}$ .
- **C\_SIZE\_MULT** - Tento parametr určuje činitel **MULT** pro počítání celkové velikosti SD karty. Je definován jako  $\text{MULT} = 2^{\text{C\_SIZE\_MULT} + 2}$ . Význam jednotlivých bitů je znázorněn v tabulce Tab. 16.

**Tab. 16:** Význam bitů v C\_SIZE\_MULT

C_SIZE_MULT	MULT
0	4
1	8
2	16
3	32
4	64
5	128
6	256
7	512

- WRITE\_BL\_LEN - Určuje maximální délku bloku dat při zápisu podle vzorce  $2^{\text{WRITE\_BL\_LEN}}$ . Maximální velikost bloku dat je v rozmezí 512 - 2048 B. Velikost 512 B je podporována vždy. Parametr WRITE\_BL\_LEN je vždy roven READ\_BL\_LEN. Význam hodnot je znázorněn v tabulce Tab. 17.

**Tab. 17:** Význam hodnot pole WRITE\_BL\_LEN

WRITE_BL_LEN	Délka bloku
0 - 8	Rezervováno
9	512 B
10	1024 B
11	2048 B
12 - 15	Rezervováno

- FILE\_FORMAT\_GRP - Indikuje zvolenou skupinu formátu souborů. Použití pole je zobrazeno v tabulce Tab. 17.
- FILE\_FORMAT - Slouží k identifikaci systému souborů na SD kartě. Význam hodnot je popsán v tabulce Tab. 18.

**Tab. 18:** Typ systémových souborů

FILE_FORMAT_GRP	FILE_FORMAT	Typ
0	0	System souborů, jako pevný disk s tabulkou oddílů
0	1	DOS FAT, pouze s bootovacím sektorem (bez tabulky oddílů)
0	2	Univerzální formát souborů
1	0,1,2,3	Rezervováno

### 3 Zařízení pro záznam dat

Pro zajištění možnosti ukládání dat a jejich dalšího zpracování musí být zařízení schopno komunikovat s několika dalšími periferiemi pomocí vhodných komunikačních protokolů. Zpracovávaná data mohou být přijímána například z AD převodníku či jiného zařízení, nebo mohou být generována přímo vnitřní komponentou obvodu FPGA. Jako datové úložiště poslouží paměťová karta typu Flash. Pro možnost dalšího zpracování dat slouží vytvořená aplikace na osobním počítači. Jádrem celého zařízení je obvod FPGA, který řídí veškerou komunikaci mezi zmiňovanými periferiemi.

Jako hlavní řídicí obvod celého zapojení byl vybrán obvod FPGA XC3S200 z rodiny Spartan3. O polích FPGA se více zmiňuji v kapitole 1.2. Pro zajištění funkce samotného obvodu a jeho propojení s dalšími komponentami je potřeba podpůrných obvodových prvků, které nabízí testovací kit od firmy Xilinx s názvem Spartan-3 Starter Kit board. Tato deska disponuje 50 MHz oscilátorem, dále portem pro sériovou komunikaci RS232, čtyřmi tlačítky a několika rozšiřujícími porty. Podrobný výpis parametrů obvodu je popsán v kapitole 3.1.

Zmiňovaný kit však neobsahuje port pro paměťové karty, proto bylo potřeba navrhnout zařízení, které bude tímto portem disponovat. Na toto přídatné zařízení se také mohl umístit obvod FT232H, který slouží pro převod z rozhraní UART na rozhraní USB.

Hlavní obvod FPGA může komunikovat s paměťovou kartou pomocí protokolu SPI či SD. V případě využití protokolu SPI je komunikace u tohoto rozhraní prováděna sériově, pomocí dvou datových vodičů MOSI a MISO. Začátek přenosu je indikován nastavením logické 0 pomocí portu SS a přivedením řídicího hodinového signálu na port SCLK. Poté již probíhá odeslání dat z hostitelského zařízení prostřednictvím portu MOSI a z uživatelského zařízení prostřednictvím portu MISO. Délka odesílaných dat může být 8 či 16 bitů, v závislosti na volbě návrhu modulu SPI. Nastavením logické 1 na portu SS je komunikace ukončena. Podrobněji je rozhraní SPI popsáno v kapitole 2.1. V zařízení byl využit protokol SPI pro jeho snadné řízení a volné použití bez potřeby zakoupení licence, na rozdíl od protokolu SD.

Pro komunikaci mezi zařízením a osobním počítačem bylo použito rozhraní UART, které je pomocí obvodu FT232H převedeno na rozhraní USB. Detailnější popis tohoto propojení je popsán v kapitole 3.7. Rozhraní UART využívá asynchronní komunikace, na rozdíl od rozhraní SPI. Odesílaná data jsou předcházena start bitem a zakončena stop bitem, jehož doba trvání je pevně stanovena. Odesílání dat prostřednictvím rozhraní RS232 je podrobněji popsáno v kapitole 3.4.

### **3.1 Spartan-3 Starter Kit board**

Tento kit je primárně určený pro počáteční seznámení s hradlovým polem řady Spartan 3. Je zde použito hradlové pole XC3S200, které má níže uvedené parametry [5].

- 200 000 ekvivalentních hradel
- Dvanáct blokových pamětí RAM 18 kb
- Dvanáct násobiček 18 x 18
- 173 uživatelsky definovaných vstupně / výstupních signálů

Vybavení kitu:

- konfigurační paměť 2 Mb
- 1 MB rychlá asynchronní paměť RAM
- Generátor hodin 50 MHz
- Sokl pro uživatelský hodinový generátor
- Port pro VGA displej
- Port pro sériovou komunikaci RS232
- Port PS/2
- Čtyřmístný sedmi-segmentový LED displej
- Osm indikačních LED
- Čtyři tlačítka
- Osm posuvných spínačů
- Hodinový generátor 50 MHz
- Tři čtyřiceti-pinové rozšiřující konektory

Hlavní výhodou tohoto testovacího kitu je integrace všech důležitých obvodových součástí, potřebných pro konstruované zařízení, na jedné desce. Díky velkému počtu rozšiřujících portů je možné připojit různé vstupní zařízení, jako je AD převodník, nebo jiné periferie s velkým počtem výstupů. Rozšiřující konektory jsou využity pro připojení přídatného modulu, který disponuje slotem pro paměťové karty.

### 3.2 Obvod FT232H

Integrovaný obvod FT232H je jednokanálový USB 2.0 převodník s podporou rozhraní UART a FIFO. Díky podpoře synchronních rozhraní s Multi-Protocol Synchronous Serial Engine (MPSSE) je na čipu přímo implementována podpora SPI, I2C, JTAG, nebo programovací rozhraní hradlových polí FPGA. Výhodou tohoto obvodu je kompletní integrace všech potřebných prvků na jediný čip. Díky tomu není potřeba v cílovém obvodu programovat podporu rozhraní USB. Obvod FT232H obsahuje také stabilizátor typu LDO o velikosti 1,8 V a 3,3 V. Od výrobce jsou k dispozici USB ovladače, podporující několik systémů [7]. Níže jsou uvedeny základní vlastnosti tohoto obvodu [2] .

- Jednokanálový převodník rozhraní USB na sériové a paralelní porty s libovolnou konfigurací
- Podpora USB rozhraní je kompletně implementována na čipu
- Podpora USB 2.0 Hi-Speed (480 Mbits/s) a USB 1.1 Full Speed (12 Mbits/s)
- Multi-protokolový synchronní sériový interface (MPSSE) podporuje rozhraní jako je USB, JTAG, I2C, SPI a další
- Maximální přenosová rychlost rozhraní UART je 12 Mbaud, což plyne z omezení RS232
- Maximální přenosová rychlost při asynchronním paralelním rozhraní FIFO 245 je až 8 MB/s
- Maximální přenosová rychlost při synchronním paralelním rozhraní FIFO 245 je více než 40 MB/s
- Podpora polo-duplexního rozhraní FT1248 se šířkou datové sběrnice 1, 2, 4 nebo 8 bitů
- Dostupnost knihoven pro Virtual Com Port (VCP) a přímé řízení (D2XX)
- Integrovaný LDO regulátor z 5 V na 3,3/1,8 V pro VCORE s funkcí POR
- Podpora automatického řízení přenosu umožňuje realizovat aplikace s rozhraním RS485
- Dostupné I/O umožňují konfiguraci maximálního výstupního proudu (4, 8, 12 nebo 16 mA), i rychlost přeběhu
- Rozšířený (průmyslový) rozsah provozních teplot od -40 °C do 85 °C
- Dostupné v kompaktních provedeních LQFP-48 a QFN-48

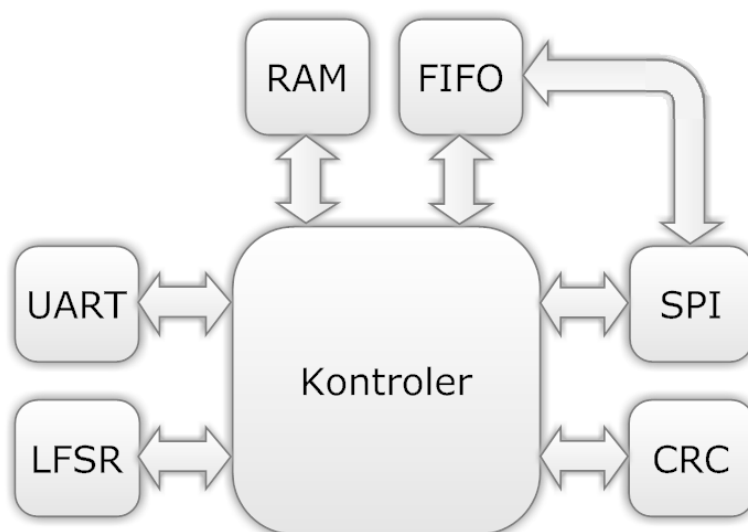
Každá komponenta FTDI disponuje interní, nebo externí EEPROM pamětí, obsahující konfigurační data. Obvod může být napájen externě pomocí USB, s využitím integrovaného LDO regulátoru, nebo pomocí vlastního externího napájení. Pro konfiguraci paměti EEPROM

slouží program FTProg, který je dostupný na stránkách výrobce [2]. Nastavit lze například jméno, sériové číslo, identifikační číslo, nebo maximální proudový odběr obvodu FTDI.

### 3.3 Vnitřní zapojení

Hlavní část programu určeného pro hradlové pole FPGA XC3S200 obstarává tok dat mezi jednotlivými periferiemi a jejich vzájemnou interakci. Časování obvodu zajišťuje generátor časových impulzů o frekvenci 50 MHz. Zmiňovaný generátor také obstarává časování modulu SPI, tedy časování připojené paměťové karty. Pro tento modul je však nutné zajistit nižší pracovní frekvence, které jsou definovány komunikační rychlostí s paměťovým zařízením, což zajišťuje vytvořený modul *Debounce*.

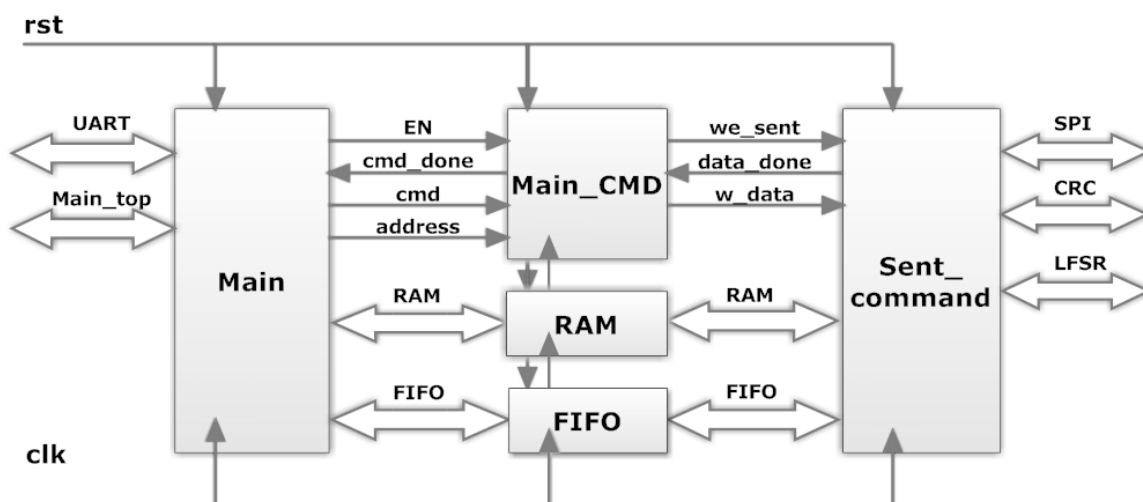
Komunikaci mezi paměťovou kartou a vlastním zařízením obstarává modul UART, disponující pamětí FIFO. Součástí tohoto modulu je vlastní časový generátor, který zároveň určuje rychlost odesílaných dat. K dočasnému ukládání příchozích odpovědí, čekajících na zpracování, slouží paměť FIFO. Dále je k dispozici paměť RAM, sloužící k ukládání dat. Z těchto pamětí jsou data a odpovědi příkazů následně zpětně vyčítány. Data vyčtená z paměti RAM jsou odesílána osobnímu počítači prostřednictvím rozhraní UART. Na následujícím obrázku je zobrazeno blokové schéma jednotlivých modulů viz. Obr. 5.



**Obr. 5:** Blokové schéma pro Zařízení pro záznam dat

Blok *Kontroler* v sobě zahrnuje několik dalších modulů, viz. Obr. 6. Modul s názvem *Main* má připojeny porty komunikující se zařízením UART, přesněji s FIFO pamětí, která je jeho součástí. Dále disponuje řídicími porty pro komunikaci s modulem *Main\_CMD*, tento modul rozpoznává jednotlivé příkazy a nastavuje jejich argumenty. Modul *Main* má dále přístup k paměti FIFO, paměti RAM a k některým prvkům, jako jsou ovládací tlačítka a led

diody pro indikaci stavu zařízení. Paměť FIFO je také připojena k modulu *Sent\_command*, byla navržena k dočasnému ukládání odpovědí na odeslané příkazy. Zmíněný modul získává náhodně generovaná data z modulu LFSR, která jsou zároveň zaslána modulu CRC pro výpočet kontrolního součtu odesílaného bloku dat. Ke každému modulu je přiveden hodinový signál *clk* a signál resetu *rst*.



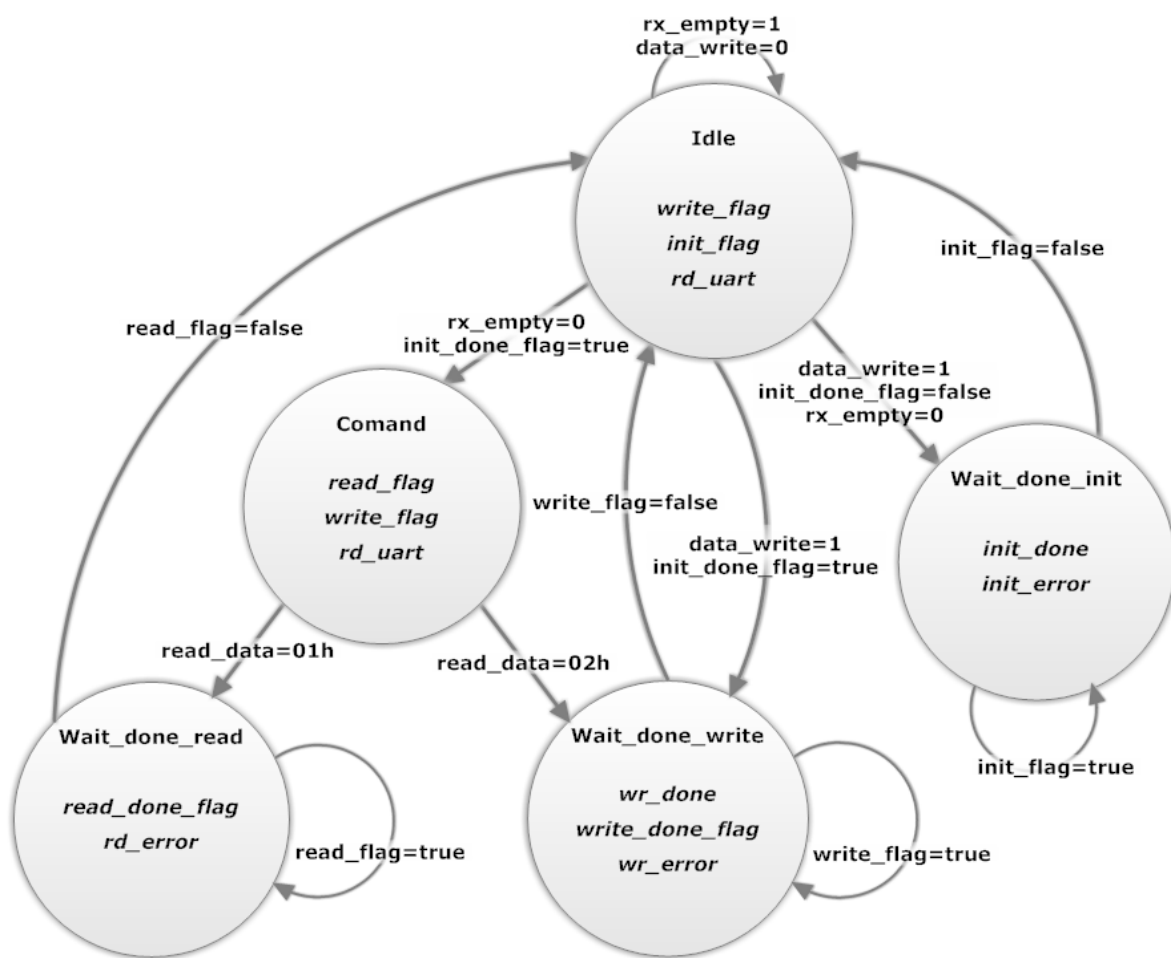
Obr. 6: Vnitřní zapojení bloku *Kontroler*

### 3.4 Návrh jednotlivých modulů

Modul SPI komunikující s paměťovou kartou je v návrhu připojen k dalším prvkům obvodu, které zajišťují přísun ukládaných dat, časování a datový prostor, nezbytný pro dočasné ukládání přijatých dat. Vstupní a výstupní datový port modulu SPI je široký 8 bitů, samotný příkaz má však šířku 48 bitů. V důsledku toho bylo nezbytné navrhnout modul, který bude obstarávat postupné odesílání částí příkazu po osmi bitech. Tento nadřazený modul s názvem *Sent\_command*, viz. Obr. 6, je zahrnut do bloku *Kontroler*, viz. Obr. 5.

Nadřazený modul *Sent\_command* disponuje porty, pomocí nichž je možné kontrolovat stav procesu odesílání dat a po dokončení odesílání, předat informaci řídicímu modulu. Vstupní datový port je široký 56 bitů a v případě aktivování portu *we\_sent* započne rozpoznávání typu příkazu. Poslední bajt v celém příkazu obsahuje informaci o počtu bajtů, které jsou přijímány z paměťové karty. Hlavní funkci tvoří proces s několika stavy, které odesílají určitou část příkazu. Odpovědi získané z paměťové karty jsou dále ukládány do paměti FIFO, která je přístupná nadřazenému řídicímu modulu. Během přijímání datových bloků jsou tato data ukládána do paměti RAM.

Řídící modul *Main* je zahrnut ve schématu na obrázku Obr. 5 do bloku *Kontroler*. Funkcí tohoto modulu je hned několik. Jako první je samotná inicializace paměťové karty. Při inicializaci se prověřuje například typ karty, podpora velikosti napájecího napětí, nastavuje se velikost datových bloků nebo rychlost datového přenosu. Řídící modul požádá odpovědi z již zmíněné paměti FIFO a po dokončení inicializačního procesu případně zpracovává následující příkaz, který může přijít po sériové lince prostřednictvím rozhraní UART. Dále může například obdržet příkaz k zápisu dat na paměťovou kartu prostřednictvím ovládacího tlačítka pro zápis dat. V případě příchodu příkazu pro čtení dat, obstará řídicí modul veškerou komunikaci mezi paměťovým médiem a osobním počítačem. V první řadě komunikuje s modulem *Main\_CMD*, jehož funkcí je rozpoznávat typ příkazu a následně celý rámec příkazu odeslat podřízenému modulu. Po této proceduře modul *Sent\_command* aktivuje komunikační rozhraní SPI, vyčkává na obdržení odpovědi o dokončeném odeslání dat. Jestliže nenastane chyba, může postupně přijímat data a následně je prostřednictvím modulu *Main* odesílat pomocí modulu UART osobnímu počítači.



Obr. 7: Diagram řídicího modulu *Main*

Na obrázku Obr. 7 je zobrazen diagram řídicího modulu *Main*. V klidovém stavu se nachází ve stavu *Idle*. Pokud přijde prostřednictvím rozhraní UART příkaz, přejde do dalšího stavu, v závislosti na číselné kombinaci příchozího příkazu. Stav *Wait\_done\_init* čeká na dokončení inicializace paměťové karty. Modul *Main* má k dispozici veškeré připojené moduly, které byly popsány výše, viz. Obr. 6. Stav *Wait\_done\_read* má za úkol čekat na vyčtení dat z paměťové karty. Po odeslání příkazu pro čtení modulu *Main\_CMD* a obdržení odpovědi může získaná data vyčítat z paměti RAM a postupně je odesílat sériové lince. Stav *Wait\_done\_write* vyčkává na dokončení zápisu dat, která jsou generována modulem LFSR. Stejně jako při čtení modul nejprve odešle příkaz pro zápis a následně zapisuje data prostřednictvím modulu SPI na paměťové zařízení.

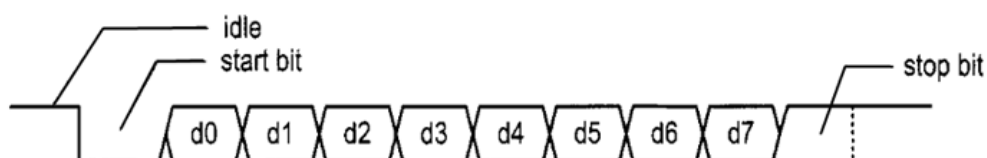
Modul pro rozpoznání příkazů s názvem *Main\_CMD* zajišťuje vyhledání požadovaného příkazového rámce, nastavení parametrů příkazu a jeho následné předání modulu *Sent\_command*. Hlavní instrukce jsou dodávány pomocí dvou portů. První port je čtyř-bitový a obsahuje číslo reprezentující daný příkaz. Například hodnota 0x02 odpovídá příkazu CMD55. Druhý port o šířce 32 bitů obsahuje adresu paměťového místa, která je využita v příkazu pro čtení dat, respektive v příkazu pro zápis dat. K vyhledání požadovaného příkazu slouží proces, který nastaví počáteční hodnoty důležitých portů a signálů. Port *we\_sent* slouží k aktivaci modulu pro postupné odeslání celého příkazového rámce. Na začátku procesu se nastavuje signál *state\_cmd\_next* na aktuální stav stavového automatu. Signál *state\_cmd\_next* představuje sekvenční část obvodu a signál *state\_cmd\_current* představuje kombinační část obvodu. Stavový automat nejprve zjišťuje aktuální stav signálu *state\_cmd\_current*. V případě, že je aktuální stav ve stavu *Idle* a všechny požadované podmínky jsou splněny, rozpozná se typ příkazu, který je požadován k odeslání. Po nastavení výstupního portu s požadovaným příkazem a aktivování modulu pro odesílání dat, proces čeká na dokončení přenosu a následně se vrací do stavu *Idle*. Na obrázku Obr. 17, viz Příloha 4, je zobrazen stavový diagram modulu *Main\_CMD*. Diagramy stavových automatů pro zápis, čtení a inicializaci, použitých v modulu *Main*, nejsou díky své rozsáhlosti přikládány.

Modul UART obsahuje vlastní generátor časových impulzů a přijímací / odesílací část obvodu. Každý odeslaný či přijatý bajt začíná start bitem a končí stop bitem. Délka trvání stop bitu může být 16, 24 nebo 32 hodinových taktů pro 1, 1,5 nebo 2 stop bity. Velikost přenosové rychlosti je vypočítána pomocí následujícího vztahu (dole), [3].

$$m = \frac{50 \cdot 10^6}{12000 \cdot 16} = 260 \quad (1)$$

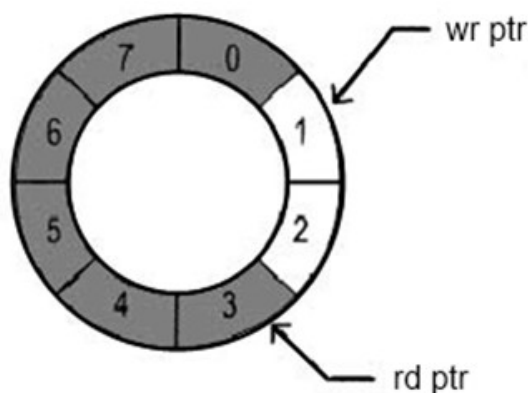
Proměnná *m* zde představuje hodnotu potřebnou pro nastavení děličky. Vzorkovací frekvence je 16 krát větší než přenosová rychlost. V případě taktovací frekvence o velikosti

50 MHz a přenosové rychlosti 12 000 Bd potřebujeme děličku s hodnotou  $m = 260$ . Výstupem bude tedy opakující se cyklus, trvající 260 taktů základní taktovací frekvence. Obdobným postupem můžeme vypočítat hodnoty pro jiné přenosové rychlosti. Na následujícím obrázku Obr. 8 je zobrazen datový rámeček posílaný pomocí rozhraní UART. Modul UART společně s modulem FIFO byly implementovány z dostupné knihovny nacházející se v publikaci č. [3].



**Obr. 8:** Datový rámeček přenášený prostřednictvím RS232 [3]

Modul paměti FIFO disponuje vstupním a výstupním datovým portem. Změnu bitové šířky paměťových buněk lze nastavovat genericky pomocí konstanty  $B$  v modulu s názvem *FIFO\_SPI\_in*. Tento typ paměti má konečný počet vnoření neboli konečný počet adres. Počet adres lze rovněž konfigurovat genericky nastavením konstanty  $W$  v již zmíněném modulu. Pro ovládání paměti slouží dva porty, kterými se spouští zápis nebo čtení do paměti. V případě přivedení logické jedničky na port *rd* se s hodinovým pulsem spouští čtení z paměti. Jsou vyčítána nejprve poslední zapsaná data. Port *wr* slouží k zápisu dat připravených na vstupním datovém portu *w\_data*. Další dva porty *empty* a *full* slouží k informaci o prázdné, respektive plné paměti. V paměti FIFO jsou dva ukazatele. První obsahuje adresu s volnou buňkou pro zápis a druhý adresu buňky, ze které se bude následně vyčítat. Na následujícím obrázku Obr. 9 je zobrazena funkční struktura této paměti. Ukazatelé se při jednotlivých úkonech čtení a zápisu posunují a neustále cirkulují.



**Obr. 9:** Zásobník FIFO založený na principu kruhové fronty [3]

Celkový návrh bylo nutné přizpůsobit pro možnost vyčítání datového bloku o velikosti 512 bajtů. Dosáhnout požadovaného výsledku lze dvěma způsoby. První možností je využití distribuované paměti a v ní zkonstruované paměť FIFO o takové velikosti, která by nezabírala příliš mnoho místa na čipu (tabulek LUT). V tomto případě by bylo nutné vyčítat data postupně, čehož lze dosáhnout přerušováním časového signálu paměťové karty. Druhou možností je využití blokové paměti RAM, řízené jako paměť FIFO. Této možnosti bylo také při návrhu využito, vzhledem k úspornosti místa a jednoduché implementaci.

Jako generátor dat slouží modul LFSR. Tento modul generuje pseudonáhodná data s využitím funkce exclusive-OR neboli XOR. Jedná se o osmi-bitový posuvný registr, jehož vstupem je lineární funkce předchozího stavu. Generátor je schopný dosáhnout  $2^8 - 1$  stavů. Cyklus se tedy opakuje s periodou 255 hodinových taktů. Výpočet obsahu registru určuje funkce charakteristického polynomu  $P(x)$  zobrazeného na následujícím vztahu (dole).

$$P(x) = x^8 + x^6 + x^5 + x^4 + 1 \quad (2)$$

Jednotlivé exponenty u polynomů zde představují pozici bitů, které jsou použity pro zpětnou vazbu s funkcí XOR.

Pro výpočet kontrolního součtu zapisovaných dat slouží modul s názvem *crc\_gen*. Kontrolní součet slouží k odhalení případných chyb, které se mohou vyskytnout během přenosu dat. Použitý polynom pro výpočet kontrolního součtu s označením CRC-16-CCITT je zobrazen na následujícím vztahu (dole).

$$P(x) = x^{16} + x^{12} + x^5 + 1 \quad (3)$$

Výsledkem kontrolního součtu je dvou-bajtové číslo, které vzniklo zbytkem po dělení vstupních dat zmíněným generujícím polynomem. Toto číslo se připojuje na konec zapisovaných dat a slouží k porovnání výsledku uživatelského zařízení.

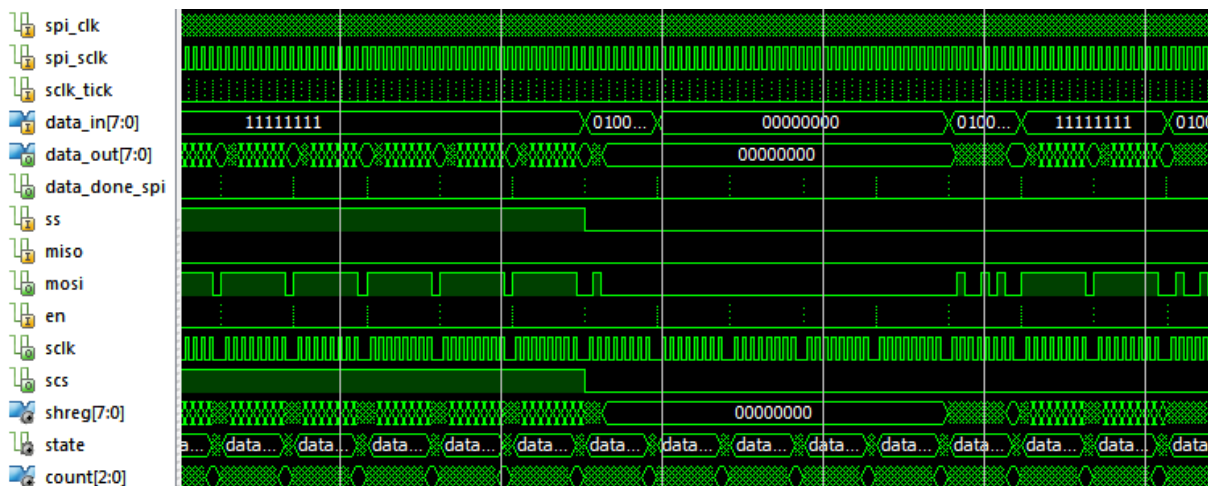
### 3.5 Seznam podporovaných příkazů

Navržený modul podporuje několik příkazů pro práci s paměťovou kartou. Příkazy obstarávají nejdůležitější procesy potřebné pro řízení paměťové karty. Následující seznam obsahuje popis podporovaných příkazů.

- CMD0 - Resetování paměťové karty a její přivedení do klidového stavu.
- CMD8 - Čtení registru OCR, aktivování příkazu ACMD41 a CMD58.
- CMD55 - Tento příkaz předchází speciální příkazy ACMD.
- ACMD41 - Příkaz požaduje informace o kapacitě karty a zahajuje inicializační proces.
- CMD58 - Získání informací o podporovaném napájecím napětí.
- CMD16 - Příkaz nastavující velikost bloku dat.
- CMD 17 - Čtení bloku dat od nastavené adresy v argumentu příkazu.
- CMD24 - Zápis bloku dat od nastavené adresy v argumentu příkazu.
- CMD13 - Čtení registru status.
- Read\_block - Odeslání sekvence bajtů pro vyčtení dat. Tato sekvence následuje po příkazu CMD17.
- Data\_error\_token - Vyčtení Data error tokenu po neúspěšném čtení dat.
- Write\_block - Sekvence odesílaných dat určených pro zápis.
- Data\_response\_token - Přečtení odpovědi po zápisu dat obsahující informace o úspěšnosti proběhlého zápisu.
- POWER\_UP - Sekvence hodinových signálů zasílaných před inicializací paměťové karty.

### 3.6 Simulace modulu SPI

Na obrázku Obr. 10 je zobrazena simulace modulu SPI. Prostřednictvím modulu pro rozpoznávání příkazů *Main\_CMD* byl odeslán příkaz *POWER\_UP*. Tento příkaz odešle osmdesát hodinových taktů s portem *SS* nastaveným na logickou 1. Po tomto cyklu následuje příkaz *CMD0*. Po aktivaci modulu pro postupné odesílání příkazového rámce bylo odesláno šest bajtů, které tvoří příkazový rámec. Po načtení prvního bajtu na port *data\_in* se přivede logická 1 na port *en*, tím se aktivuje odesílání osmi bitů prostřednictvím portu *mosi*. K potvrzení odeslaného bajtu slouží port *data\_done\_spi*. Přijímaná data z uživatelského zařízení přichází prostřednictvím portu *miso*. Během odesílání tohoto příkazu se však přichází data neukládají. Datový rámec s odpovědí přichází po odeslání celého příkazu. Informaci o odeslání celého příkazového rámce zajišťuje port *data\_done*, který je přítomný v modulu *Main\_CMD*. Port *en* řídí modul pro postupné odesílání příkazového rámce *Serial\_Send*.



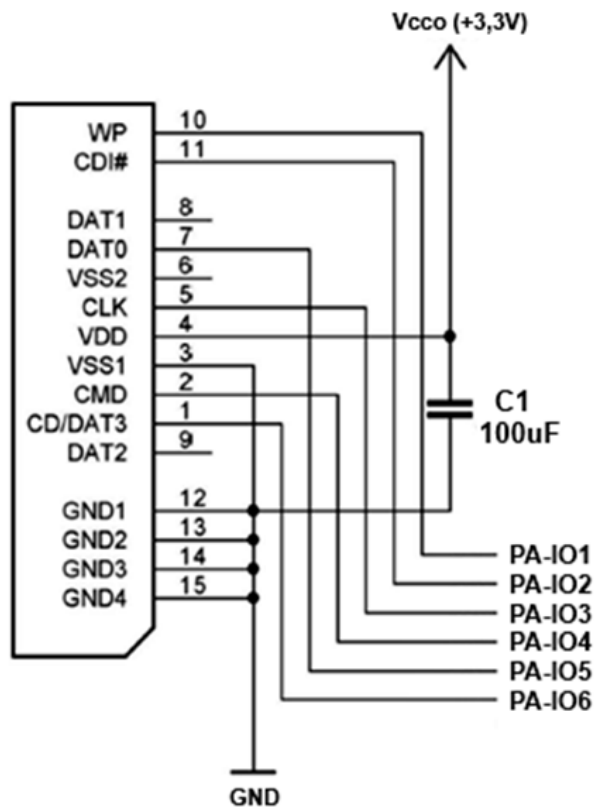
Obr. 10: Simulace modulu SPI v prostředí ISim

### 3.7 Obvodové zapojení přídavného modulu

Jak již bylo řečeno, k převodu mezi rozhraním USB a asynchronním rozhraním UART byl navrhnout obvod s převodníkem FT232H. Obvod může být napájen například prostřednictvím zařízení USB. Ve vytvořeném návrhu, viz. Příloha1, bylo využito možnosti vlastního napájení. Napájení o velikosti 3,3 V je přivedeno prostřednictvím kolíkového konektoru z testovacího kitu Spartan-3. Navržený obvod disponuje externí paměti typu EEPROM, obsahující konfigurační data pro zařízení USB. V případě nepřipojení paměti jsou pro identifikaci USB zařízení použita implementovaná konfigurační data a obvod je implicitně nastaven jako asynchronní sériové rozhraní UART. Časování obvodu je zajištěno oscilátorem Q1 o velikosti 12 MHz. K dispozici jsou také LED diody, indikující průběh komunikace po sériové lince. LED1 a LED2 indikují komunikaci na portu TX a RX. Třetí led dioda LED3 indikuje přítomnost napájení. Dvaceti-pinový konektor SV1 slouží k připojení zařízení k testovacímu kitu Spartan-3. Piny 12 až 20 jsou určeny k připojení slotu pro paměťové karty. USB slot X1 slouží k propojení zařízení s osobním počítačem.

Navržený obvod pro zapojení paměťové karty disponuje slotem pro SD karty a blokovacím kondenzátorem k omezení nežádoucího šumu. Napájení o velikosti 3,3 V je přivedeno z testovacího kitu Spartan-3 Starter Kit board, o jehož distribuci se stará napěťový regulátor LM1086CS-ADJ. Toto napětí je přivedeno na pin číslo 3, všech tří rozšiřujících slotů testovacího kitu. Pro připojení datové sběrnice bylo využito rozšiřujícího slotu A2, který lze využít k sériové komunikaci s připojenými periferiemi.

Na následujícím obrázku Obr. 11 je demonstrováno jednoduché zapojení slotu pro paměťové karty s využitím režimu SPI.



**Obr. 11:** Zapojení slotu pro paměťové karty v režimu SPI [1]

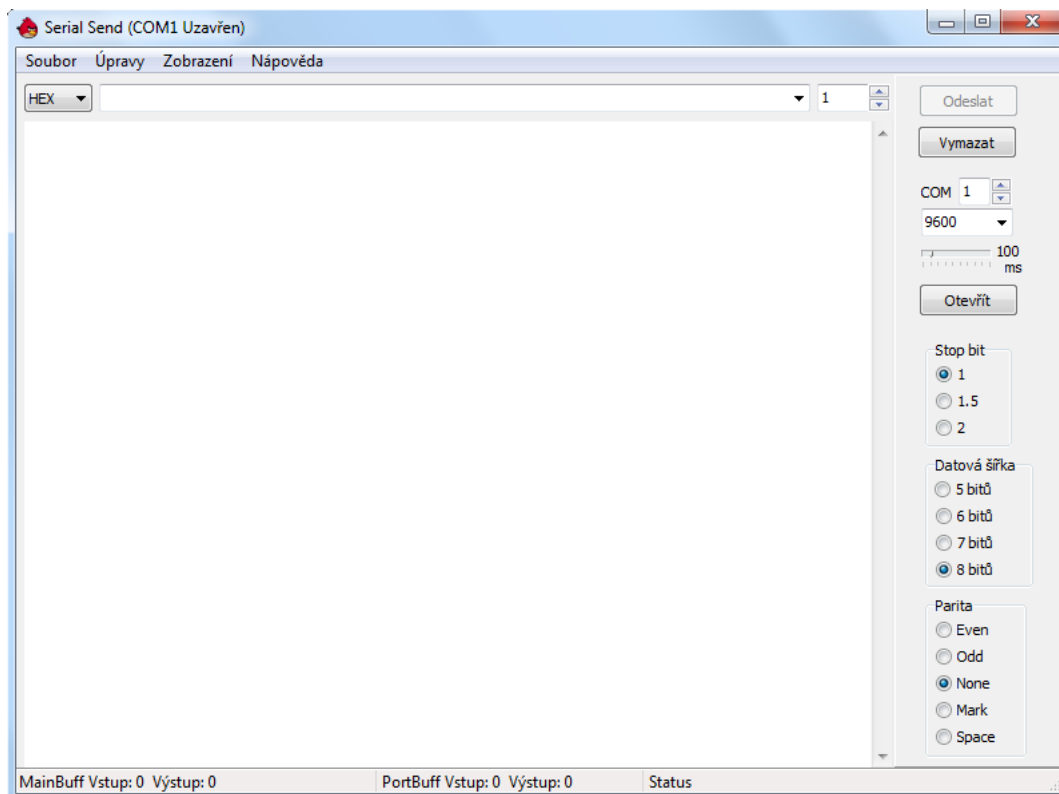
Port WP (Write Protect) a port CDI# (Card In) může v případě použití sloužit k informování hostitelského zařízení o přítomnosti karty ve slotu a o stavu mechanického přepínače pro povolení zápisu dat na paměťovou kartu. V případě nepřítomnosti karty ve slotu jsou oba dva výstupy nastaveny na logickou nulu. Význam jednotlivých pinů je popsán v tabulce Tab. 2.

### **3.8 Návrh a realizace ovládacího programu**

Pro další zpracování uložených dat na paměťové kartě byla vytvořena aplikace komunikující se Zařízením pro záznam dat. Komunikace probíhá pomocí virtuálního sériového portu, který vytvoří nainstalovaný ovladač obvodu FT232H. Samotný fyzický přenos dat je zajištěn pomocí rozhraní USB, které je v zařízení obvodem FT232H zpětně převedeno na rozhraní UART. Aplikace zajišťuje čtení uložených dat z paměťové karty připojené k zařízení. Přijatá data jsou dále ukládána na pevný disk osobního počítače. Ovládání aplikace probíhá v jednoduchém uživatelském prostředí, které je kompatibilní se systémem Windows.

Samotný program nedisponuje informací o velikosti a umístění uložených dat na paměťovém zařízení, veškeré parametry příkazu pro čtení a zápis má tedy v režii uživatel. Jeho úkolem je definování počáteční adresy pro čtení či zápis dat. Hlavní funkcí programu je odeslání příkazu a následné vyčkání na odpověď o úspěšnosti provedení příkazu, popřípadě získání příchozích dat. V případě, že Zařízení pro záznam dat nevykonává jiný proces, začíná vyčítat uložená data z paměťového média. Po přijetí veškerých dat má uživatel možnost data bez jakýchkoli úprav uložit na pevný disk osobního počítače.

Díky vytvořenému virtuálnímu portu bylo možno při návrhu aplikace využít klasických příkazů pro Windows API , pracujících se zařízením COM. K vytvoření virtuálního portu slouží ovladač VCP. Další možností by bylo využití ovladače D2XX, který je stejně jako ovladač VCP dostupný na domovských stránkách výrobce. Tento ovladač prezentuje USB zařízení jako sériový port. Výhodou využití tohoto ovladače spolu s knihovnou FTD2XX.dll je usnadnění práce při programování aplikace. Díky speciálním funkcím se nemusí při programování brát příliš ohled na koncové komunikační rozhraní, které se v tomto případě převádí na rozhraní USB. Zápis a čtení dat je díky těmto funkcím stejný, bez ohledu na využívané rozhraní.



**Obr. 12:** Hlavní okno aplikace Serial Send.

Hlavní okno aplikace Serial Send, viz. Obr. 12, obsahuje důležité ovládací prvky pro komunikaci pomocí sériové linky. Aplikace využívá komponentu TPortCom, která zahrnuje potřebné funkce pro komunikaci se sériovým portem, jako je vytváření vláken pro zápis a čtení dat, nastavování parametrů komunikace, obsluhu jednotlivých pinů portu atp. Vstupní data je možné zadávat v hexadecimálním tvaru, nebo v ASCII kódu. Příchozí data lze zobrazit v dekadickém a hexadecimálním tvaru, případně také v ASCII kódu.

Pro komunikaci se zařízením jsou vyhrazeny dva příkazy. Příkaz pro čtení dat má hodnotu 0x01 a příkaz pro zápis dat má hodnotu 0x02. Za každým příkazem následují 4 bajty obsahující adresu paměťové buňky na kartě. Touto adresou se určuje místo v paměťovém prostoru, od kterého se budou data následně vyčítat, respektive ukládat. Příkaz pro zápis dat má navíc šestý bajt obsahující počáteční hodnotu pro generátor pseudonáhodných dat LFSR.

## 4 Závěr

V Bakalářské práci jsem navrhl zařízení pro ukládání dat na paměťovou kartu. V první části nás text seznamuje s jazykem VHDL, který slouží k programování samotného zařízení. V teoretické části se také zmiňují o obvodu FPGA, který tvoří řídicí jednotku celého zařízení. Dále jsou popsány protokoly pro komunikaci s SD kartou. Většina teoretické části práce popisuje komunikaci s paměťovým médiem, jednotlivé příkazy, odpovědi a důležité registry SD karty. Praktická část práce se zaměřuje na návrh zařízení a na návrh aplikace určené ke komunikaci se Zařízením pro záznam dat.

Ke komunikaci mezi zařízením a osobním počítačem byl vybrán obvod FT232H, který převádí rozhraní UART na dnes již dostupnější rozhraní USB. Pro komunikaci s paměťovou kartou bylo vybráno rozhraní SPI. Pro zvýšení přenosové rychlosti by bylo vhodné využít čtyřbitového rozhraní SD. Dále se podařilo zhotovit Zařízení pro záznam dat dle navrženého schématu.

Jednotlivé části navržených modulů v jazyce VHDL byly také simulovány v prostředí programu ISim. Následně byl celý návrh prakticky odzkoušen pomocí testovacího kitu Spartan3 a vytvořeného zařízení. V poslední části byla vytvořena aplikace pro komunikaci se Zařízením pro záznam dat prostřednictvím virtuálního sériového portu. Tato aplikace by se dala případně dále rozvíjet spolu s řídicím modulem navrženého zařízení. Jednotlivé úkony jako je zadávání adresy pro čtení a zápis dat, by mohli být přenechány v kompetenci vytvořené aplikace. Pro další práci se zařízením by bylo vhodné Zařízení pro záznam dat odladit pomocí logického analyzátoru s otestováním různých typů karet.

## 5 Seznam použité literatury

- [1]. ČALOUN, P. *Hlasový výstup elektronického systému*. Sezimovo Ústí: Vyšší odborná škola Střední škola Centrum odborné přípravy, 2008, s. 30. Dostupné na WWW: [http://petrcaloun.sweb.cz/files/Project\\_Caloun\\_PIC\\_SD.pdf](http://petrcaloun.sweb.cz/files/Project_Caloun_PIC_SD.pdf)
  
- [2]. FTDIL. *FT232H SINGLE CHANNEL HI-SPEED USB TO MULTIPURPOSE UART/FIFO IC*. [cit. 2011-25-11]. Dostupné z WWW: [http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT232H.pdf](http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232H.pdf)
  
- [3]. Chu, P., P. *FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version*. Hoboken (New Jersey): John Wiley & Sons, 2008, s. 440. ISBN 978-0-470-18531-5.
  
- [4]. Karthikeya. *Serial Peripheral Interface (SPI) for FPGA*. Dostupné z WWW: <http://electronicsbus.com/serial-peripheral-interface-spi-design-fpga-vhdl-verilog>
  
- [5]. Král, J. *Řešené příklady ve VHDL: Hradlová pole FPGA pro začátečníky*. Praha: BEN - technická literatura, 2010, s. 128. ISBN 978-80-7300-257-2.
  
- [6]. Pinkner, J., Poupa, M. *Číslicové systémy a jazyk VHDL*. Praha: BEN - technická literatura, 2006, s. 352. ISBN 80-7300-198-5.
  
- [7]. *Představení obvodů FT232H*. [cit. 2011-03-09]. Dostupné z WWW: [http://pandatron.cz/?2604&predstaveni\\_obvodu\\_ft232h](http://pandatron.cz/?2604&predstaveni_obvodu_ft232h)
  
- [8]. SD GROUP; SD CARD ASSOCIATION. *SD Specifications: Physical Layer :Simplified Specification*. San Ramon (Calif.) : SD Card Association, Březen 18, 2010 [cit. 2007-21-10]. Dostupné na WWW: [https://www.sdcard.org/downloads/pls/simplified\\_specs/Part\\_1\\_Physical\\_Layer\\_Simplified\\_Specification\\_Ver\\_3.01\\_Final\\_100518.pdf](https://www.sdcard.org/downloads/pls/simplified_specs/Part_1_Physical_Layer_Simplified_Specification_Ver_3.01_Final_100518.pdf)

## 6 Seznam symbolů a zkratek

ACMD	Application Command - aplikační příkaz
AD	Analog to Digital converter - analogově digitální převodník
ASCII	American Standard Code for Information Interchange - americký standardní kód pro výměnu informací
CID	Card Identifier - identifikační údaje karty
CLK	Clock signal - hodinový signál
CMD	Command - příkaz, port CMD
CRC	Cyclic Redundancy Check - cyklický redundantní součet
CSD	Card Specific Data - specifikační údaje karty
DAT	Data line - datová linka
DRM	Digital Rights Management - správa digitálních zpráv
EEPLD	Electrically Erasable PLD - elektronicky smazatelný PLD
EEPROM	Electrically Erasable Programmable Read-Only Memory
eXFAT	Extended File Allocation Table - rozšířená alokační tabulka souborů
FAT	File Allocation Table - alokační tabulka souborů
FIFO	First In, First Out - první dovnitř, první ven (Fronta - datová struktura)
FPGA	Field Programmable Gate Array - programovatelné hradlové pole
I2C	Inter-Integrated Circuit - dvou vodičové komunikační rozhraní
ICSP	In Circuit Serial Programming - sériové programování v obvodu
I/O	Input/Output - vstup/výstup
ISP	In System Programming - programování uvnitř obvodu
JTAG	Joint Test Action Group
LDO	Low-dropout regulator - regulátor s nízkým úbytkem napětí
LED	Light Emitting Diode - dioda emitující světlo
LFSR	Linear Feedback Shift Register - Posuvný registr s lineární zpětnou vazbou

LQFP	Low profile Quad Flat Package - typ pouzdra
LUT	LookUp Table - vyhledávací tabulka
MISO	Master In Slave Out - řídicí zařízení do, podřízené zařízení z
MMC	Multi Media Card
MOSI	Master Out Slave In - výstup řídicího zařízení, vstup podřízeného zařízení
MPSSE	Multi-Protocol Synchronous Serial Engine - multi-protokolový synchronní modul
MS	Memory Stick
PC	Personal Computer - osobní počítač
PLA	Programmable Logic Array - programovatelné logické pole
PLD	Programmable Logic Device - programovatelný logický obvod
POR	Power-on reset - reset při zapnutí
QFN	Quad Flat No Leads
RAM	Random Access Memmory - paměť s přímým přístupem
SCLK	Slave Clock - hodinový signál pro podřízené zařízení
SD	Secure Digital
SDHC	Secure Digital High Capacity
SDIO	Secure Digital Input Output
SDXC	Secure Digital eXtended Capacity
SM	Smart Media
SPI	Serial Peripheral Interface - sériové periferní rozhraní
SS	Slave Select - výběr podřízeného zařízení
USART	Universal Synchronous/Asynchronous Receiver/Transmitter - univerzální synchronní/asynchronní přijímač/vysílač
USB	Universal Serial Bus - univerzální sériová sběrnice
UHS	Ultra-High Speed - ultra vysokorychlostní
vCore	Core Voltage - napětí jádra

VCP	Virtual Com Port - virtuální sériový port
Vdd	Positive supply voltage - kladné napájecí napětí
VHDL	VHSIC hardware description language - jazyk pro popis elektronických obvodů
VHSIC	Very High Speed Integrated Circuits - velmi rychlé integrované obvody
Vss	Negative supply voltage - uzemnění
WP	Write Protect

## 7 Seznam příloh

Příloha 1: Deska plošných spojů

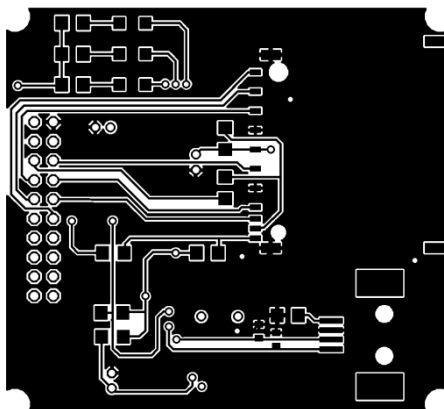
Příloha 2: Rozmístění součástek na desce

Příloha 3: Seznam použitých součástek

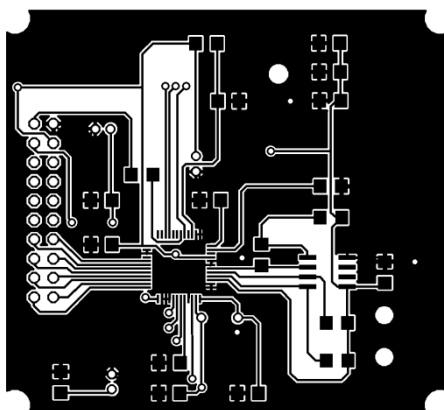
Příloha 4: Diagram stavového automatu pro rozpoznání příkazů

Příloha 5: Fotografie zařízení

## Příloha 1: Deska plošných spojů

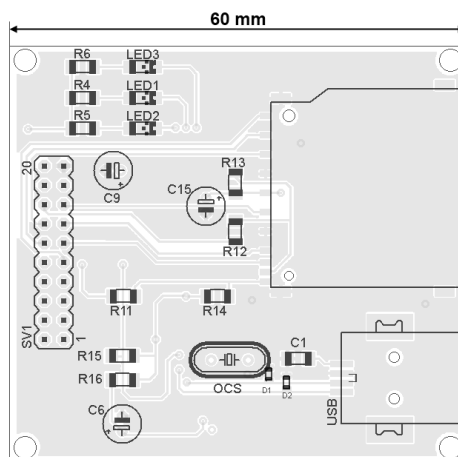


**Obr. 13:** Motiv plošného spoje - strana součástek

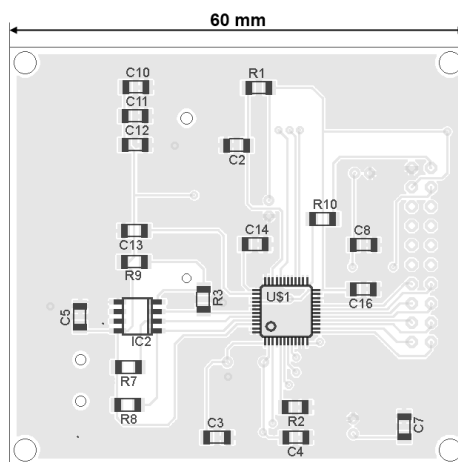


**Obr. 14:** Motiv plošného spoje - strana spojů

## Příloha 2: Rozmístění součástek na desce



Obr. 15: Osazení součástek - strana součástek



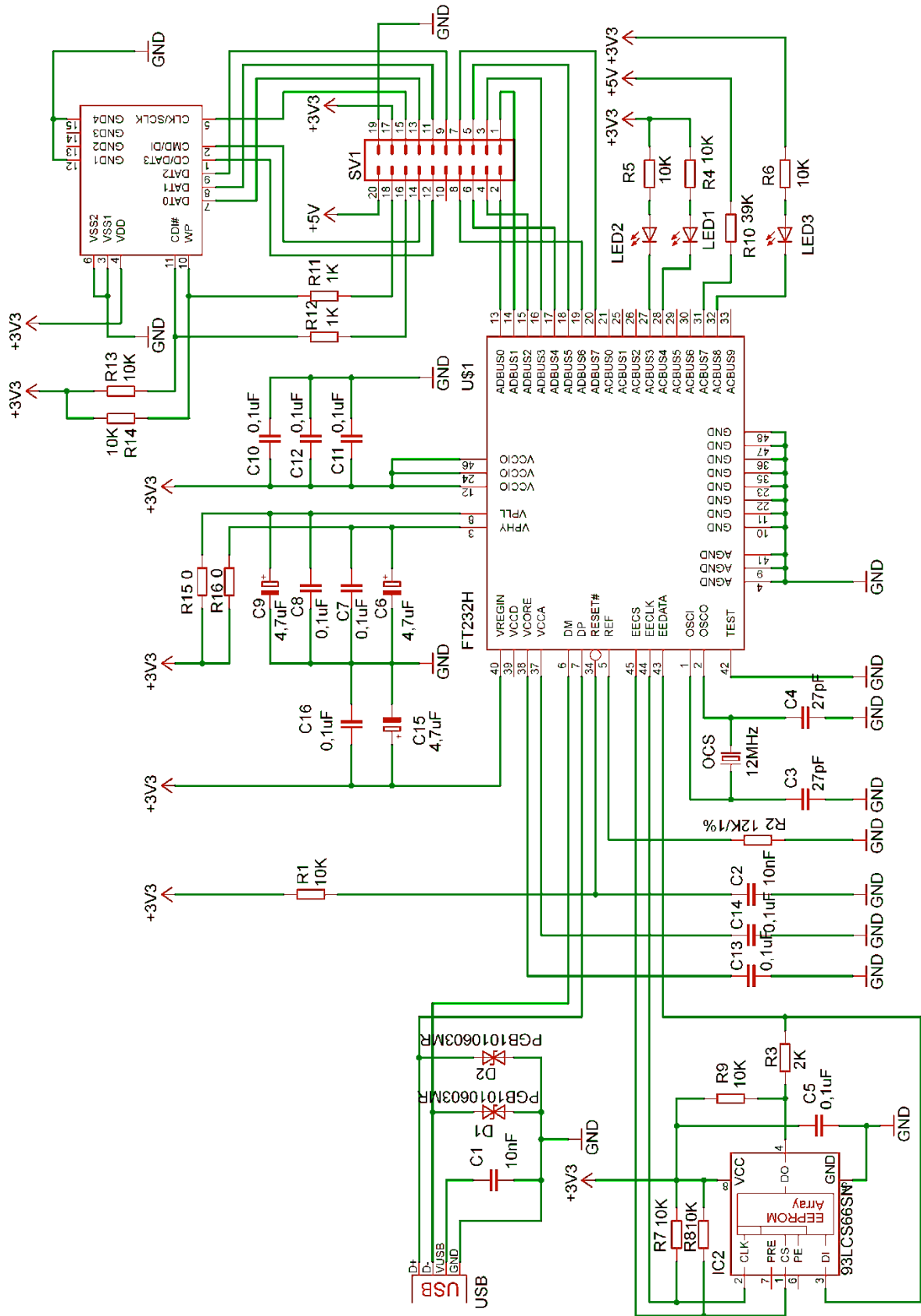
Obr. 16: Osazení součástek - strana spojů

### Příloha 3: Seznam použitých součástek

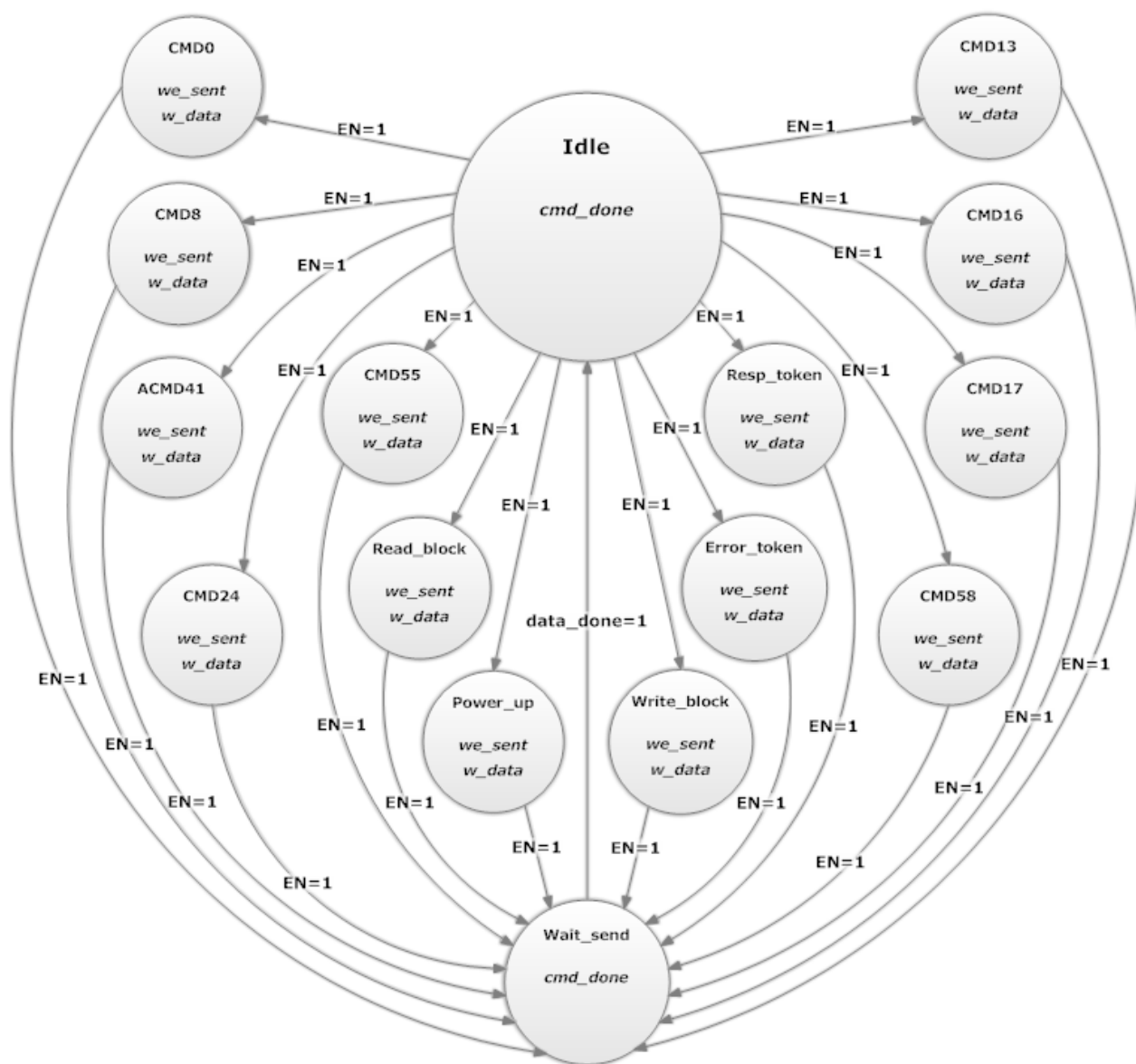
Součástka	Hodnota, označení	Pouzdro	Množství
C1, C2	10nF	1206	2
C3, C4	27pF	1206	2
C5, C16, C7, C8	0,1uF	1206	4
C6, C9, C15	4,7uF	E2-5	3
C10 - C14	0,1uF	1206	5
D1, D2	PGB1010603MR	1608	2
IC2	93LC56B-I/SN	SOIC8	1
LED1	green 20mA	1206	1
LED2	red 20mA	1206	1
LED3	yellow 20mA	1206	1
OCS	12MHz	HC49S	1
R1, R13, R14	10K	1206	3
R2	12K 1%	1206	1
R3	2K	1206	1
R4 - R9	10K	1206	6
R10	39K	1206	1
R11, R12	1K	1206	2
R15, R16	0R	1206	2
SD	SLOT-SD030	SMD	1
SV1	S2G20W	2x10 2,54mm	1
U1	FT232HL	LQFP48	1
USB	USBB-G-SMD	SMD	1

Tab. 19: Seznam součástek

Příloha č. 1: Schéma zapojení obvodu FT232H

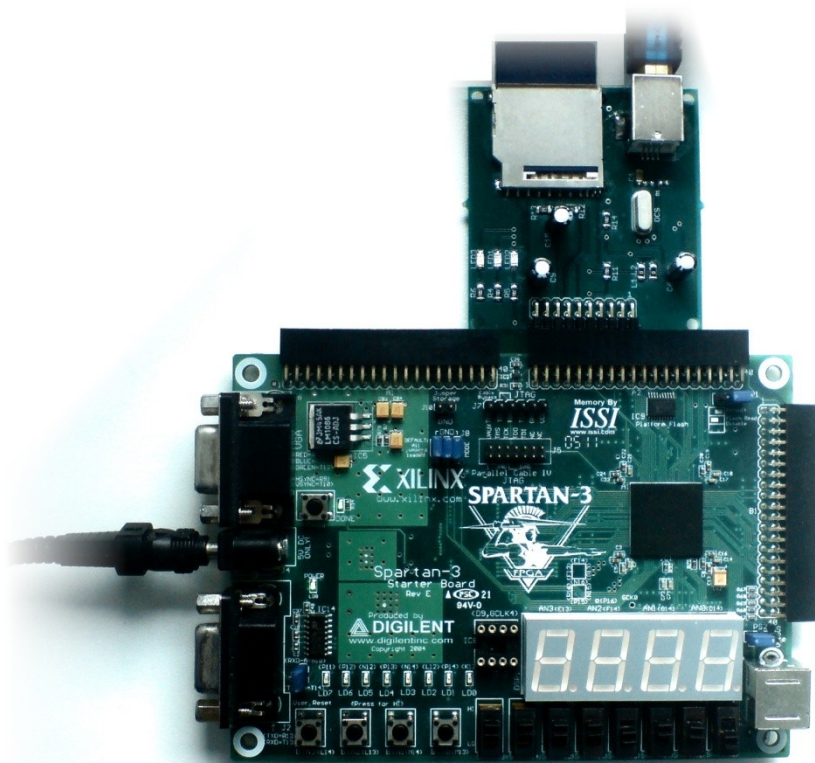


**Příloha 4:** Diagram stavového automatu pro rozpoznání příkazů

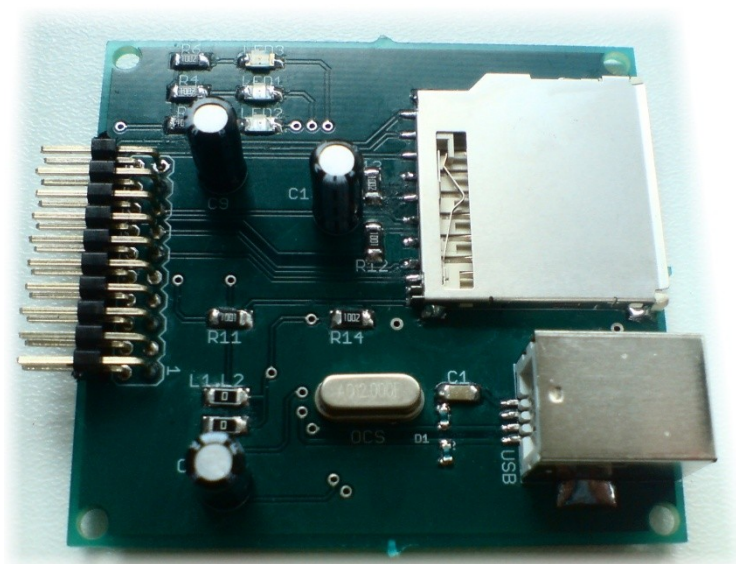


**Obr. 17:** Diagram modulu *Main\_CMD*

## Příloha 5: Fotografie zařízení



Obr. 18: Pohled na zařízení připojené k testovacímu kitu Spartan-3



Obr. 19: Pohled na realizované zařízení - strana součástek