

## Posudek oponenta diplomové práce

**Student:** Koupý Pavel, Bc.  
**Téma:** Modulární výuková platforma pro oblast vestavěných systémů a číslicových obvodů (id 24116)  
**Oponent:** Bidlo Michal, Ing., Ph.D., UPSY FIT VUT

**1. Náročnost zadání** **obtížnější zadání**

Práce měla za cíl návrh a realizaci výukové platformy pro vestavné systémy, přičemž vznikly dva nezávislé moduly, jeden využívající mikrokontroler (MCU) a druhý programovatelné hradlové pole (FPGA). Oba moduly je možné propojit a využít tak kombinace MCU a FPGA k realizaci pokročilých systémů. Bylo třeba nastudovat principy návrhu desek plošných spojů pro výrobu obou modulů, zorientovat se v dokumentaci od výrobců použitých komponent a provést návrh a konečnou realizaci platformy. Zadání se tak řadí mezi obtížnější.

**2. Splnění požadavků zadání** **zadání splněno**

**3. Rozsah technické zprávy** **přesahuje obvyklé rozmezí**

Práce čítá dohromady přes 90 vysázených stran, což je vzhledem k charakteru zadání lehce nadprůměrné.

**4. Prezentací úroveň předložené práce** **55 b. (E)**

Práce shrnuje relevantní i okrajovou problematiku týkající se řešeného úkolu. Co se týká stylu prezentace, obsahuje technická zpráva poměrně dost částí, které přímo ze zadání nevyplývají a ke srozumitelnosti výkladu problematiky také příliš nepřispívají. Konkrétně jde o kapitoly 2, 3 a 4, které poskytují fakta k problematice návrhu desek plošných spojů, architekturám MCU Cortex-M a FPGA. Na dost místech je uvedeno, že se bude problematikou zabývat více některá pozdější sekce, což ale ve výsledku snižuje čitelnost, než kdyby bylo vše popsáno systematicky v příslušných k tomu vyhrazených kapitolách. Stávající pojetí vede na větší množství stejně nazvaných sekcí v různých kapitolách, z nichž není patrné, co je hlavním cílem jejich sdělení (např. sekce DAPLink, IBDAP, BlackMagic...).

Text postrádá přehlednou analýzu požadavků, na ní založený systematický návrh cílové platformy a její popis se zaměřením se na cíle vzešlé z počáteční analýzy. Fakta k tomu jsou uvedena na různých místech práce (obvykle jako součást popisu některého modulu dle jeho dokumentace), výsledný návrh obou modulů je pak pouze představen formou blokových schémat (konceptně téměř shodných) na obr. 6.1 a 6.8.

V kapitolách o programovém vybavení bych očekával především popis nezbytného firmwaru vytvořeného diplomantem pro MCU a FPGA (kap. 8 a 9). Místo toho se zde popisuje práce s nástrojem MCUXpresso a IDE pro překlad a zavádění konfigurací do FPGA, což je vzhledem k hlavnímu cíli práce nepodstatné. Srozumitelný popis firmwaru tedy chybí, okrajově jej zmiňují snad jen sekce 8.6.3.2 až 8.6.3.4, ale zde se evidentně původně zamýšlené řešení příliš nezdařilo a z popisu není jasné, co z uvedeného firmwaru je dílem diplomanta pro výslednou platformu.

**5. Formální úprava technické zprávy** **55 b. (E)**

Text obsahuje poměrně velké množství gramatických chyb a celých těžko srozumitelných vět. Například hned první věta v Úvodu:

"Modulární výuková platforma, tedy v tomto případně dvě samostatné platformy jedna s mikrokontrolérem s ARM Cortex-M a druhá s programovatelným hradlovým polem nebo též FPGA, které bude možné propojit za účelem programování FPGA za pomoci MCU a případně další komunikace jako například výměna výsledků nebo stav řízení stavového automatu modelovaného v FPGA."

Dále např.: "Též se používají krom základní jednotek pro délku dle soustavy SI i angloamerickou soustavu[7]."

Chybně přeložený pojem Nested Vector Interrupt Controller: "Řadič vektorů vnořených přerušení".

Text je zjevně formátován podle jiné šablony, nadpisy sekcí různých zanoření jsou vysázeny fonty stejné velikosti, což je nevhodné. Taktéž zanoření sekcí až do čtvrté úrovně je spíše na úkor přehlednosti.

**6. Práce s literaturou** **65 b. (D)**

Výběr literárních pramenů zahrnuje výhradně elektronické zdroje -- výukové materiály, případně dokumentace

k použitým komponentám. U práce tohoto typu je to pochopitelné, nicméně i tak bych považoval za vhodné zařadit několik zdrojů pojednávajících o teorii návrhu a konstrukci vestavných systémů se zahrnutím stručného pojednání v úvodních kapitolách.

### 7. Realizační výstup

80 b. (B)

Výsledkem práce jsou dva hlavní moduly pro výuku vestavných systémů využívající MCU a FPGA. Dále pro ně byly vytvořeny čtyři demonstrační aplikace zahrnující např. nejjednodušší řízení LED a snímání stavu tlačítek i složitější ukázka řízení servomotoru. Realizační výstup považuji za nejzdařilejší část práce, přestože vzorové aplikace mohly být lépe dokumentovány z uživatelského pohledu, jelikož hlavním záměrem práce bylo vytvořit platformu pro podporu vzdělávání.

### 8. Využitelnost výsledků

Jedná se v zásadě o netriviální kompilační dílo čistě technického charakteru, jehož výstup je pro oblast výuky vestavných systémů velmi žádoucí a tudíž bych uvítal i budoucí rozvoj platformy a její rozšíření nad rámec zadání DP.

### 9. Otázky k obhajobě

1. Na základě čeho byl k propojení obou modulů zvolen přístup pomocí nejjednodušších sériových linek I2C a SPI? Bylo by možné využít i některou z pokročilejších sběrnic?
2. Prosím, objasněte větu ze str. 34 v kontextu komunikace mezi oběma moduly: "Konfigurační proces je přeprogramovanou rutinou po resetu či v průběhu běhu zařízení a vyžaduje implementaci požadovaných příkazů na straně MCU[8]."
3. Jaká je časová náročnost překladu a zápisu konfigurace FPGA na Vámi použité platformě?
4. Dokážete odhadnout výrobní náklady po finalizaci platformy pro budoucí nasazení ve výuce (např. v počtu tisíc kusů)?

### 10. Souhrnné hodnocení

65 b. uspokojivě (D)

Celkově byla práce dokončena v rozsahu požadavků zadání, výsledná platforma může být použitelná ve výuce po dopracování uživatelské dokumentace, vytvoření příslušné podpůrné infrastruktury a doladění některých detailů. S ohledem na náročnost zadání, nízkou kvalitu technické zprávy a některé její nevhodné či chybějící části navrhuji hodnocení DP stupněm D.

Prohlášení: Uděluji VUT v Brně souhlas ke zveřejnění tohoto posudku v listinné i elektronické formě.

V Brně dne: 9. srpna 2021

Bidlo Michal, Ing., Ph.D.  
oponent