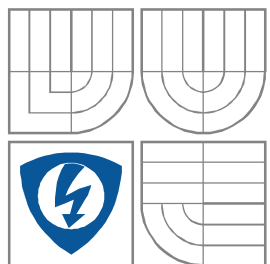




VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

DEPARTMENT OF RADIO ELECTRONICS

# D/A PŘEVODNÍK PRO AUDIO S EXTERNÍM OVLÁDÁNÍM POMOCÍ MIKROKONTROLÉRU

AUDIO D/A CONVERTER WITH EXTERNAL CONTROL USING MICROCONTROLLER

DIPLOMOVÁ PRÁCE

MASTER THESIS

AUTOR PRÁCE

AUTHOR

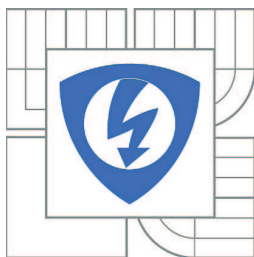
Bc. JAN ŠPAČEK

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. TOMÁŠ KRATOCHVÍL, Ph.D.

BRNO, 2012



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav radioelektroniky

# Diplomová práce

magisterský navazující studijní obor  
**Elektronika a sdělovací technika**

**Student:** Bc. Jan Špaček

**ID:** 106811

**Ročník:** 2

**Akademický rok:** 2011/2012

## NÁZEV TÉMATU:

**D/A převodník pro audio s externím ovládáním pomocí mikrokontroléru**

## POKYNY PRO VYPRACOVÁNÍ:

V teoretické části práce navrhnete blokové schéma D/A převodníku s výstupními audio obvody, který bude doplněn o mikroprocesorové řízení (např. ATmega), ovládací tlačítka a indikaci pracovního režimu (vzorkovací kmitočet, počet bitů pro kvantizaci apod.). Navrhnete algoritmus mikroprocesorového řízení a vývojový diagram řídicího programu. V praktické části práce navrhnete obvodové schéma převodníku včetně výstupních audio obvodů, mikroprocesorového řízení a nutných periférií. Vytvořte kompletní konstrukční podklady pro realizaci (schéma zapojení, návrh desky plošného spoje, soupisku součástek, návrh mechanického uspořádání). V experimentální části práce realizujte převodník formou funkčního prototypu a laboratorním měřením ověřte jeho správnou činnost. Ověřte správnost navrženého programu pro řízení převodníku pomocí mikrokontroléru. Výsledky měření zpracujte formou standardního protokolu o měření. Stanovte technické parametry převodníku.

## DOPORUČENÁ LITERATURA:

- [1] WIRSUM, S. Abeceda nf techniky. Praha: BEN – technická literatura, 2003.
- [2] MATOUŠEK, D. Práce s mikrokontroléry. ATMEL AVR – Atmega16. 4. díl – edice µP a praxe. Praha: BEN – technická literatura, 2006.
- [3] Analog Devices [online]. Datasheet AD1852 - Stereo, 24-Bit, 192 kHz, Multibit, Sigma-Delta DAC. Analog Devices, Inc., 2009 - [cit. 14. 1. 2011]. Dostupné na [www: http://www.analog.com/static/imported-files/data\\_sheets/AD1852.pdf](http://www.analog.com/static/imported-files/data_sheets/AD1852.pdf)

**Termín zadání:** 6.2.2012

**Termín odevzdání:** 10.8.2012

**Vedoucí práce:** doc. Ing. Tomáš Kratochvíl, Ph.D.

**Konzultanti diplomové práce:**

**prof. Dr. Ing. Zbyněk Raida**

*Předseda oborové rady*

**UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Tato diplomová práce je věnována konstrukci laboratorního přípravku s D/A převodníkem pro audio a nízkofrekvenční signály. V úvodní kapitole je nastíněn teoretický úvod do problematiky A/D a D/A převodů. V následujících kapitolách je pak již prezentováno vlastní technické řešení laboratorního přípravku, kde obvod s D/A převodníkem AD1852 je doplněn o digitální přijímač audio signálu CS8416. Ten zajišťuje kompatibilitu při připojení k externím audio zařízením disponujícím digitálními rozhraními, jako jsou např. SPDIF nebo AES3. Digitální přijímač i audio D/A převodník jsou navíc opatřeny sériovým komunikačním rozhraním, pomocí kterého je možné nastavovat většinu parametrů vstupního audio signálu. Toto nastavení je prováděno pomocí navrženého ovládacího softwaru pro externí mikrokontrolér řady ATmega32. V práci je prezentován blokový a obvodový návrh přípravku a to včetně technické a konstrukční dokumentace celého zařízení.

## **KLÍČOVÁ SLOVA**

D/A převodník, digitální přijímač, mikrokontrolér, audio, řízení, převod, signál

## **ABSTRACT**

This diploma thesis is devoted to the design of a laboratory measurement tool with DAC converter for audio and low frequency signals. In the introduction part a theoretical background of the ADC and DAC conversions are outlined. In the next chapters the technical solution of the laboratory converter is presented, including DAC with integrated circuit AD1852 and completed with digital audio receiver CS8416. This circuit secures compatibility with external audio devices with digital interfaces, like SPDIF or AES3. The digital receiver and audio DAC are added with serial communication interface for setup of the most audio and input parameters. This setup is operated by external microcontroller ATmega32 and original firmware. The thesis presents block diagram and schematic layout of the laboratory converter, including complete technical documentation for the construction and design.

## **KEYWORDS**

DAC converter, digital receiver, microcontroller, audio, control, conversion, signal

ŠPAČEK, J. *D/A převodník pro audio s externím ovládním pomocí mikrokontroléru*.  
Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních  
technologií. Ústav radioelektroniky, 2012. 73 s., 16 s. příloh. Diplomová práce.  
Vedoucí práce: doc. Ing. Tomáš Kratochvíl, Ph.D.

## PROHLÁŠENÍ

Prohlašuji, že svou diplomovou práci na téma D/A převodník pro audio s externím ovládáním pomocí mikrokontroléru jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne .....

.....

(podpis autora)

## PODĚKOVÁNÍ

Děkuji vedoucímu diplomové práce doc. Ing. Tomáši Kratochvílovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

Dále děkuji mému kolegovi a spolužákovi, Ing. Radomíru Strakovi za zapůjčení vývojového kitu pro mikrokontrolér ATmega32 a také za drobnou pomoc a spolupráci při zpracování dílčí části mé diplomové práce.

V Brně dne .....

.....

(podpis autora)

# OBSAH

<b>Seznam obrázků</b>	<b>viii</b>
<b>Seznam tabulek</b>	<b>xi</b>
<b>Úvod</b>	<b>1</b>
<b>1 Teoretický úvod do problematiky</b>	<b>2</b>
1.1 Princip A/D převodu .....	2
1.2 Princip D/A převodu .....	7
1.3 Typy A/D a D/A převodníků .....	9
1.3.1 A/D převodníky .....	9
1.3.2 D/A převodníky .....	10
<b>2 Návrh technického řešení</b>	<b>12</b>
2.1 Obecný popis systému .....	12
2.2 Blokové schéma zapojení .....	13
2.3 Požadované parametry obvodu .....	13
<b>3 Konstrukční řešení projektu</b>	<b>15</b>
3.1 Popis D/A převodníku .....	15
3.1.1 Základní popis obvodu AD1852 .....	15
3.1.2 Popis funkčních pinů obvodu AD1852 .....	16
3.1.3 Popis řízení pomocí sériového komunikačního rozhraní .....	18
3.2 Popis digitálního přijímače .....	20
3.2.1 Základní popis obvodu .....	20
3.2.2 Popis funkčních pinů obvodu CS8416 .....	22
3.2.3 Popis řízení pomocí sériového komunikačního rozhraní .....	24
3.3 Volba řídicího mikrokontroléru .....	26
3.4 Volba LCD displeje .....	26
3.5 Volba výstupních audio obvodů .....	27
3.6 Obvodové schéma zapojení .....	27
3.6.1 Deska A – schéma zapojení .....	29
3.6.2 Deska B – schéma zapojení .....	30

3.6.3	Deska s tlačítka – schéma zapojení .....	30
3.7	Poznámky ke konstrukční části projektu .....	31
3.7.1	Deska A.....	31
3.7.2	Připojení konektorů napájení a řídicího rozhraní .....	32
3.7.3	Deska B.....	33
<b>4</b>	<b>Návrh řídicího programu</b>	<b>35</b>
4.1	Popis zapojení rozhraní SPI.....	35
4.2	Řízení D/A převodníku AD1852 .....	36
4.3	Řízení digitálního přijímače CS8416.....	38
4.3.1	Zápis do kontrolního registru.....	39
4.3.2	Čtení z kontrolního registru .....	40
4.3.3	Řídicí sekvence pro obvod CS8416.....	40
4.4	Vývojové diagramy řídicího programu.....	41
4.5	Popis hlavního řídicího programu.....	45
4.5.1	Soupis hlaviček funkcí.....	46
<b>5</b>	<b>Výsledky měření obvodu s D/A převodníkem</b>	<b>48</b>
5.1	Měření mikroprocesorového řízení.....	48
5.1.1	Oscilogramy řízení digitálního přijímače CS8416 .....	48
5.1.2	Oscilogramy řízení D/A převodníku AD1852.....	52
5.2	Měření digitálního přijímače .....	55
5.3	Měření D/A převodníku.....	58
5.4	Měření výstupních analogových obvodů .....	59
5.4.1	Měření přenosové charakteristiky.....	59
5.4.2	Měření frekvenční modulové charakteristiky .....	61
5.4.3	Měření dalších parametrů .....	63
5.5	Fotografie LCD s ovládacím MENU .....	64
<b>6</b>	<b>Závěr</b>	<b>67</b>
	<b>Literatura</b>	<b>69</b>
	<b>Seznam symbolů, veličin a zkratk</b>	<b>71</b>
	<b>Seznam příloh</b>	<b>74</b>

# SEZNAM OBRÁZKŮ

Obr. 1.1:	Vzorkovač s pamětí.....	3
Obr. 1.2:	Výstupní kód a úrovně kvantovaného signálu pro 3-bitový digitální signál .	3
Obr. 1.3:	Spektrum analogového spojitého signálu s úzkým, frekvenčně neomezeným spektrem.....	5
Obr. 1.4:	Spektrum vzorkovaného spojitého signálu z předchozího obr. K aliasingu zde nedochází .....	5
Obr. 1.5:	Spektrum analogového spojitého signálu s širokým, frekvenčně neomezeným spektrem.....	6
Obr. 1.6:	Spektrum vzorkovaného spojitého signálu z předchozího obr. V místech označených červeně dochází k aliasingu .....	6
Obr. 1.7:	Spektrum analogového spojitého signálu s širokým, ale frekvenčně omezeným spektrem.....	6
Obr. 1.8:	Spektrum vzorkovaného signálu z předchozího obr. K aliasingu zde opět nedochází.....	6
Obr. 1.9:	Porovnání analogového (zelený průběh) a kvantovaného signálu (červený průběh), kvantizační šum (modrý průběh).....	7
Obr. 1.10:	Převodník čísla na napětí pomocí přepínatelných proudových zdrojů .....	8
Obr. 1.11:	A/D převodník s modulátorem Sigma-Delta .....	10
Obr. 1.12:	a) Spektrum vzorkovaného signálu běžného převodníku, b) Spektrum vzorkovaného signálu převodníku Sigma-Delta.....	10
Obr. 2.1:	Blokové schéma obvodu s D/A převodníkem .....	13
Obr. 3.1:	Blokové schéma integrovaného obvodu AD1852 .....	16
Obr. 3.2:	Zapojení pinů D/A převodníku .....	17
Obr. 3.3:	Blokové schéma digitálního přijímače CS8416.....	22
Obr. 3.4:	Zapojení pinů digitálního přijímače pro nastavení a) "Software Mode" ; b) "Hardware Mode" .....	22
Obr. 3.5:	Základní koncepce zapojení obvodu CS8416 pro řízení pomocí mikrokontroléru.....	26
Obr. 3.6:	Schéma zapojení desky A .....	29
Obr. 3.7:	Schéma zapojení desky B .....	30
Obr. 3.8:	Schéma zapojení desky s tlačítky .....	30
Obr. 3.9:	Zapojení pinů v napájecím konektoru (pohled ze strany TOP) .....	32

Obr. 3.10:	Zapojení pinů konektoru vstupně-výstupního rozhraní (pohled ze strany TOP) .....	33
Obr. 4.1:	Zapojení komunikačního rozhraní SPI mikrokontroléru s řízenými obvody .....	36
Obr. 4.2:	Časový průběh SPI komunikace s obvodem AD1852 .....	37
Obr. 4.3:	Časový průběh SPI komunikace s obvodem CS8416 .....	39
Obr. 4.4:	Zápis do kontrolního registru a čtení z kontrolního registru pomocí SPI rozhraní .....	40
Obr. 4.5	Vývojový diagram ovládací knihovny „ad1852.c“ pro řízení obvodu AD1852, funkce pro změnu hlasitosti levého nebo pravého kanálu .....	42
Obr. 4.6:	Vývojový diagram ovládací knihovny „ad1852.c“ pro řízení obvodu AD1852, funkce řízení ostatních parametrů z kontrolního registru .....	43
Obr. 4.7:	Vývojový diagram ovládací knihovny „cs8416.c“ pro řízení obvodu CS8416, funkce nastavení parametrů v požadovaném kontrolním registru .....	44
Obr. 4.8:	Vývojový diagram hlavního řídicího programu .....	45
Obr. 5.1:	Počáteční nastavení registru 00h digitálního přijímače CS8416 .....	48
Obr. 5.2:	Počáteční nastavení registru 01h digitálního přijímače CS8416 .....	49
Obr. 5.3:	Počáteční nastavení registru 02h digitálního přijímače CS8416 .....	49
Obr. 5.4:	Počáteční nastavení registru 03h digitálního přijímače CS8416 .....	49
Obr. 5.5:	Počáteční nastavení registru 04h digitálního přijímače CS8416 .....	50
Obr. 5.6:	Počáteční nastavení registru 05h digitálního přijímače CS8416 .....	50
Obr. 5.7:	Počáteční nastavení registru 06h digitálního přijímače CS8416 .....	50
Obr. 5.8:	Počáteční nastavení registru 07h digitálního přijímače CS8416 .....	51
Obr. 5.9:	Počáteční nastavení registru 08h digitálního přijímače CS8416 .....	51
Obr. 5.10:	Počáteční nastavení registru 09h digitálního přijímače CS8416 .....	51
Obr. 5.11:	Nastavení hodnoty hlasitosti pro levý kanál, hodnota VOL = 170 .....	52
Obr. 5.12:	Nastavení hodnoty hlasitosti pro pravý kanál, hodnota VOL = 170 .....	52
Obr. 5.13:	Nastavení módu převzorkování INT, hodnota 4X (vzorkovací frekvence 96 kHz) .....	53
Obr. 5.14:	Nastavení zarovnání digitálního signálu, mód DSP .....	53
Obr. 5.15:	Nastavení bitové hloubky signálu v Right-Justified módu, 16 bitů .....	53
Obr. 5.16:	Nastavení deemfázového filtru, pro frekvenci 48 kHz .....	54
Obr. 5.17:	Nastavení ztlumení signálu (MUTE) .....	54
Obr. 5.18:	Nastavení Reset (Soft Reset), průběh s aktivním příkazem .....	54
Obr. 5.19:	Nastavení Reset (Soft Reset), průběh s aktivním příkazem a následným vynulováním .....	55

Obr. 5.20: Digitální audio signál na vstupu RXP0 digitálního přijímače CS8416 .....	55
Obr. 5.21: Hodinový signál pro digitální přijímač, $f = 12,288$ MHz .....	56
Obr. 5.22: Oscilogramy hodinových signálů OMCK a RMCK .....	56
Obr. 5.23: Komunikace mezi CS8416 a ATmega32, zarušený signál CDOUT. ....	57
Obr. 5.24: Komunikace mezi CS8416 a ATmega32, signál CDOUT bez rušení .....	58
Obr. 5.25: Časový průběh signálu na pinu GPO1 - globální přerušení obvodu CS8416.....	58
Obr. 5.26: Přenosová charakteristika výstupních audio filtrů.....	61
Obr. 5.27: Frekvenční modulová charakteristika výstupních audio filtrů.....	63

# SEZNAM TABULEK

Tab. 1.1:	Nejčastěji používané hodnoty vzorkovací frekvence a bitové hloubky v praxi .....	4
Tab. 2.1:	Stanovené parametry obvodu s D/A převodníkem .....	14
Tab. 3.1:	Základní technické údaje D/A převodníku AD1852 .....	15
Tab. 3.2:	Přehled funkcí jednotlivých pinů D/A převodníku AD1852 .....	17
Tab. 3.3:	Adresování kontrolních registrů .....	18
Tab. 3.4:	Přehled funkcí řídicího registru pro ovládání parametrů převodníku .....	19
Tab. 3.5:	Základní technické údaje digitálního přijímače .....	20
Tab. 3.6:	Popis funkce jednotlivých pinů digitálního přijímače CS8416 – společné piny .....	23
Tab. 3.7:	Popis funkce jednotlivých pinů digitálního přijímače CS8416 – "Software Mode" .....	23
Tab. 3.8:	Popis funkce jednotlivých pinů digitálního přijímače CS8416 – "Hardware Mode" .....	24
Tab. 3.9:	Stručný přehled řídicích registrů pro nastavování funkcí obvodu CS8416 .....	24
Tab. 3.10:	Základní údaje zvoleného LCD displeje .....	27
Tab. 3.11:	Základní údaje zvoleného operačního zesilovače AD797 .....	27
Tab. 3.12:	Zapojení pinů v napájecím konektoru .....	32
Tab. 3.13:	Zapojení pinů konektoru vstupně-výstupního rozhraní .....	33
Tab. 4.1:	Popisy pinů mikrokontroléru ATmega32 řídicího rozhraní SPI .....	35
Tab. 4.2:	Příklady řídicích sekvencí pro obvod AD1852 .....	38
Tab. 4.3:	Příklad řídicích sekvencí pro počáteční nastavení registrů obvodu CS8416 .....	41
Tab. 5.1:	Signály naměřeny na výstupu rozhraní I <sup>2</sup> S digitálního přijímače .....	57
Tab. 5.2:	Signály naměřeny na pinech D/A převodníku .....	59
Tab. 5.3:	Naměřené hodnoty přenosové charakteristiky výstupních audio filtrů .....	60
Tab. 5.4:	Naměřené hodnoty frekvenční modulové charakteristiky výstupních audio filtrů .....	62
Tab. 5.5:	Naměřené hodnoty harmonického zkreslení a THD+N .....	63
Tab. 5.6:	Naměřené hodnoty poměru signál-šum .....	63
Tab. 5.7:	Naměřené hodnoty mezikanálových přeslechů .....	64

Tab. 5.8:	Vybrané fotografie LCD s ovládacím MENU (část 1) .....	65
Tab. 5.9:	Vybrané fotografie LCD s ovládacím MENU (část 2) .....	66

# ÚVOD

V dnešní době patří sledování televize, poslech hudby z miniaturních přehrávačů, či např. komunikace s rodinnými příslušníky pomocí mobilního telefonu již mezi samozřejmost. Od půlky 20. století technika navíc dosáhla velkého pokroku při postupném přechodu na digitální technologie. Data se v dnešní době uchovávají a přenášejí téměř výhradně v digitální podobě. Formulace digitálního datového formátu je v principu jednoduchá, ale pro člověka obecně nesrozumitelná. Jelikož smysly člověka od přírody vyhodnocují přijatou informaci analogově, je potřeba digitálně zakódovanou informaci převést do analogové podoby, aby bylo možno ji správně vyhodnotit. Např. hudba nebo zvuk, který je uložen digitálně na optickém médiu, si lze poslechnout, pokud bude převeden do analogové podoby. K tomuto procesu slouží tzv. digitálně-analogový převodník (zkráceně D/A převodník). V této oblasti, tedy hlavně pro potřeby reprodukce zvukových akustických signálů, se v dnešní době nejčastěji používají moderní, tzv. Sigma-Delta převodníky. Jedná se o typ D/A převodníků, které, na rozdíl od klasických převodníků (tedy D/A převodníků s tzv. Nyquistovým vzorkováním) používají metody několikanásobného převzorkování, kdy je použito vzorkovací frekvence několikanásobně vyšší než je pro dané vzorkování audio signálu potřeba. Výhodou těchto převodníků je mj. i schopnost dosažení mnohem větší linearity i dynamiky signálu (tedy i menšího šumu), než u klasických D/A převodníků. Více o této problematice bude zmíněno v následující kapitole této práce.

Protože se jedná o převodník tzv. multistandardní, je možno měnit některé jeho parametry, podmínky příjmu i zpracování vstupního digitálního audio signálu nebo také vlastnosti výstupního analogového audio signálu, v závislosti na daných kritériích použití převodníku, případně na rozhodnutí uživatele. Nabízí se tedy možnost nastavovat převodník (pomocí předem daných postupů) takovým způsobem, že může zpracovávat vstupní digitální i výstupní analogový audio signál různé kvality či o různých parametrech. Např. je možno nastavit různé vzorkovací frekvence či bitové hloubky zpracovávaného vstupního signálu, též je možno na něj aplikovat deefázový filtr, je možno řídit hlasitost zvukového signálu na výstupu a další funkce. Kromě samotného návrhu a konstrukce obvodu s D/A převodníkem a jeho nezbytnými perifériemi bude část této diplomové práce věnována také možnostem jeho řízení.

Teoretický úvod této práce pojednává o analogově-digitálních (A/D) a o digitálně-analogových (D/A) převodech a převodnicích, pozornost je taktéž věnována výše zmíněným Sigma-Delta převodníkům. Také je zde nastíněna oblast použití zmíněných typů převodníků. Dále je pak proveden vlastní návrh konkrétního technického řešení, kterým se tato práce zabývá. Je zde uvedeno základní blokové schéma se stručným popisem celkové funkce a také informace, jaký konkrétní D/A převodník a další nutné periférie k jeho správnému chodu jsou použity. Po stručném seznámení se základním popisem obvodu jsou předloženy konkrétní obvodová schémata pro jednotlivé funkční bloky. Další kapitola se zabývá softwarovým řízením zvoleného D/A převodníku. Jsou zde uvedeny potřebné vývojové diagramy a v příloze rovněž zdrojové kódy pro řízení pomocí zvoleného mikrokontroléru.

# 1 TEORETICKÝ ÚVOD DO PROBLEMATIKY

Následující dvě podkapitoly jsou věnovány problematice A/D a D/A převodů. V podkapitole 1.3 jsou uvedeny typy A/D a D/A převodníků, které se používají v praxi, včetně Sigma-Delta převodníků, jejichž model bude použit pro konstrukci navrhovaného obvodu, jakožto hlavní náplně této diplomové práce.

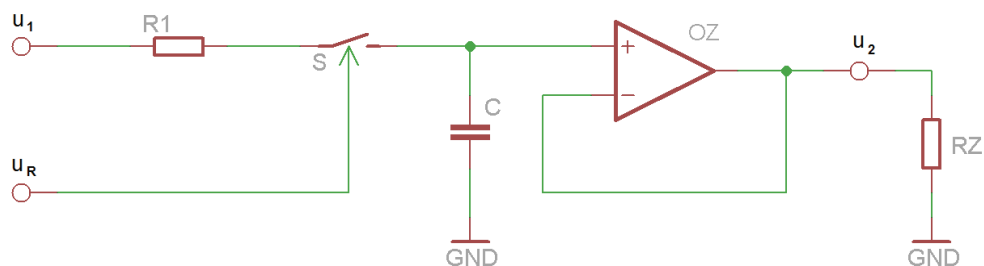
## 1.1 Princip A/D převodu

Série technologických pokroků ve 20. století vedly k postupnému přechodu záznamu a uchování informací z analogové na digitální formu, jelikož začala postupně převažovat relativně citelná nevýhoda pro analogové záznamy, což bylo poměrně komplikované uchování a skladování těchto záznamů a také jejich neustálé udržování v přijatelné kvalitě. Také je třeba mít na paměti, že každý analogový záznam, uložený na jakémkoli standardním používaném médiu své doby, jehož přehrávání bylo zpravidla vždy alespoň z části řešeno mechanickou cestou (např. dotykem s nahanou stopou), se s přibývajícím počtem přehrávek stával postupně méně kvalitním a čistým, naopak více zašuměným, zarušeným nebo jinak znehodnoceným. Z tohoto důvodu bylo do budoucna potřeba zaznamenávat a uchovávat data (a to nejen zvuková) takovým způsobem, aby jejich interpretace v „surovém“ formátu byla pokud možno co nejjednodušší. Z toho důvodu se od počátku 60. let 20. století postupně zaváděl převod analogových veličin do digitální podoby.

Převod z analogové do digitální formy, neboli tzv. digitalizace, je rozdělena do tří fází:

- Vzorkování v čase
- Kvantování
- Kódování

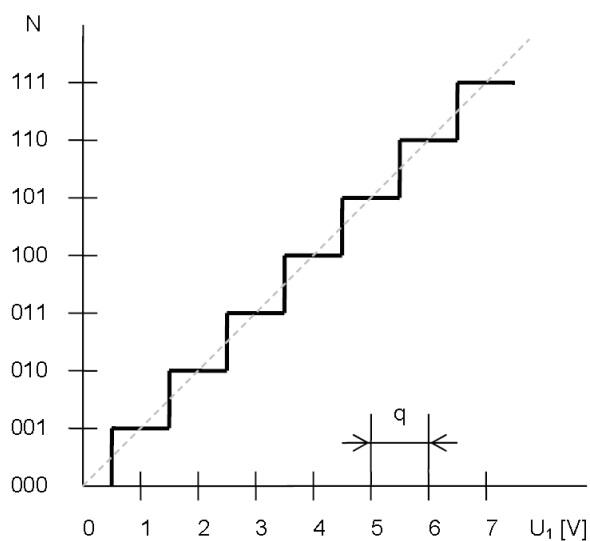
Vzorkování analogového signálu v čase spočívá ve snímání původní analogové veličiny v přesně stanovených časových intervalech a dočasného uložení sejmuté veličiny v „mezipaměti“ do doby, než je tato sejmutá hodnota zpracována dalším funkčním blokem. Signál vystupující ze vzorkovače je diskretizován v čase (tedy vystupuje po vzorcích) a nabývá libovolných hodnot snímané veličiny, ovšem vždy v rámci rozsahu mezních hodnot A/D převodníku, kterých analogový signál může nabývat (např. pro linkovou úroveň zvukového signálu u spotřebních audio zařízení tento rozsah odpovídá  $0 V_{p-p}$  až  $1 V_{p-p}$ ). Příklad realizace jednoduchého vzorkovače s pamětí je uveden na Obr. 1.1 [1]:



Obr. 1.1: Vzorkovač s pamětí (převzato z [1])

Kvantování vzorkovaného signálu je prováděno tzv. kvantizérem. Jedná se o proces, kdy vzorky s libovolnými úrovněmi (v čase snímání) jsou nahrazeny určitými, přesně nadefinovanými úrovněmi, na základě porovnávání vzorkovaného signálu s tzv. rozhodovacími úrovněmi kvantizéru. Signál na výstupu kvantizéru již tedy dosahuje pouze konečného počtu hodnot (tzv. kvantovacích úrovní) a navíc je diskretizován v čase.

Kódování kvantovaného signálu probíhá prostřednictvím funkčního bloku, který na základě kvantovacích úrovní vyjadřuje kvantovaný signál pomocí čísla. Toto číslo lze interpretovat v určitých formách (binární, hexadecimální apod.) a dále jej přenášet nebo zaznamenávat pomocí jednoho dvoustavového či vícestavového signálu (s různým kódováním, např. TTL nebo CMOS logikou, NRZ, NRZI, RZ, Manchester aj.) anebo pomocí více dvoustavových či vícestavových signálů. Číslo, vyjadřující okamžitou hodnotu digitálního signálu v určitém časovém okamžiku, tedy vždy nabývá konečného počtu hodnot, které odpovídají (v případě převodu s lineární charakteristikou) rovnoměrně rozloženým úrovním přes celé pásmo vstupního napětí A/D převodníku. Tyto úrovně znázorňuje Obr. 1.2. Vzdálenost sousedních úrovní  $q$  vyjadřuje tzv. kvantovací krok. Tento kvantovací krok odpovídá nejméně významnému bitu LSB (jedná se o případ unipolárního A/D převodníku). Více informací lze nalézt v dalších podkapitolách a v literatuře [1], [2].



Obr. 1.2: Výstupní kód a úrovně kvantovaného signálu pro 3-bitový digitální signál (převzato z [1])

Skupina signálů (zde označovaných jako bity), která odpovídá vyjádření jednoho vzorku digitalizovaného audio signálu, se nazývá slovo. Digitální audio signál formátu PCM, který odpovídá navzorkovanému a digitalizovanému analogovému audio signálu s určitou kvalitou převodu (bez komprimace), je charakterizován především vzorkovací frekvencí (tzn. frekvencí, se kterou byl signál navzorkován) a bitovou hloubkou (tj. počtem bitů, které obsahuje každé slovo digitálního signálu). Vzorkovací frekvence přímo udává počet vzorků za 1 sekundu a tedy je přímo úměrná kvalitě signálu po převodu zpět do analogové podoby. Bitová hloubka vyjadřuje tzv. rozlišovací schopnost (neboli rozlišení) A/D nebo D/A převodníku a je přímo úměrná počtu diskretních hodnot, tedy kvantovacích úrovní, kterých může digitální (kvantovaný) signál nabývat. Znamená to, že bitová hloubka je také přímo úměrná kvalitě signálu po převodu zpět do analogové podoby. Počet kvantovacích úrovní (diskretních hodnot) lze vypočítat pomocí vztahu:

$$n_K = 2^N - 1 \quad (1)$$

Kde  $n_K$  vyjadřuje počet kvantovacích úrovní digitálního signálu a  $N$  vyjadřuje bitovou hloubku, tedy počet bitů slova digitálního signálu [2].

V praxi se hodnoty vzorkovací frekvence a bitové hloubky pro audio signál většinou volí podle hodnot v Tab. 1.1:

Tab. 1.1: Nejčastěji používané hodnoty vzorkovací frekvence a bitové hloubky v praxi

Vzorkovací frekvence $f_v$	Šířka pásma audio signálu $B$	Příklad použití	Bitová hloubka $N$	Počet kvantovacích úrovní $n_K$	Příklad použití
8 kHz	4 kHz	Řečové signály	8 bitů	255	Řečové signály, Rozhlas
11,025 kHz	5,5 kHz				
22,05 kHz	11,025 kHz	Rozhlas	16 bitů	65 535	CD, DVD, MP3, DVD-A, Studio
32 kHz	16 kHz				
44,1 kHz	22,05 kHz	CD, MP3, Studio	20 bitů	1 048 575	DVD-A, Studio
48 kHz	24 kHz	DVD, Studio			
88,2 kHz	44,1 kHz	DVD-A, Studio	24 bitů	16 777 215	DVD-A, Studio
96 kHz	48 kHz				
176,4 kHz	88,2 kHz				
192 kHz	96 kHz				

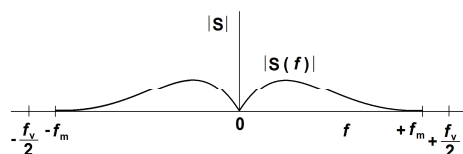
Hlavními důsledky digitalizace analogového signálu spojitého v čase jsou vznik periodického frekvenčního spektra a vznik tzv. kvantizačního šumu neboli kvantizační chyby.

Vznik periodického spektra je způsoben v důsledku vzorkování. Celé spektrum analogového audio signálu (Obr. 1.3, Obr. 1.5) se po procesu vzorkování začne zrcadlit ve spektru kolem hodnot vzorkovací frekvence i jejich celočíselných násobků, a to z obou stran (Obr. 1.4). S poměrně velkou pravděpodobností může nastat případ, kdy jeden z obrazů zrcadlicího se spektra audio signálu se začne na vyšších frekvencích překrývat se spektrem původního analogového vzorkovaného signálu. Tohle nastává v případě, kdy maximální frekvence analogového signálu  $f_m$  je větší než polovina

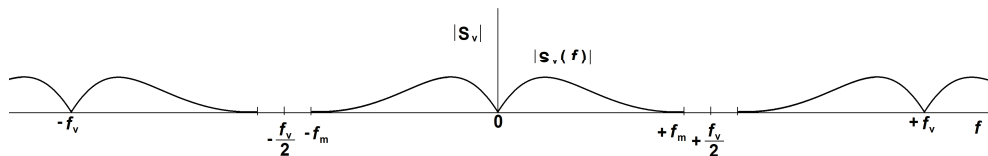
vzorkovací frekvence  $f_v / 2$  (Obr. 1.5). V důsledku toho dojde k nevratnému zkreslení vzorkovaného signálu na vyšších frekvencích, které již dodatečně není možno nijak odstranit. Tento jev se nazývá aliasing (Obr. 1.6 – na obrázku vyznačen červenou barvou). Aby bylo možno předejít vzniku aliasingu, je potřeba před procesem vzorkování frekvenčně upravit vstupní analogový signál tak, aby byly ponechány pouze veškeré signály s kmitočty nacházejícími se v pásmu užitečného signálu (v tomto případě se jedná o pásmo slyšitelných kmitočtů) do hodnoty kmitočtu odpovídajícímu polovině vzorkovací frekvence (Obr. 1.7). Jedná se o úpravu signálu filtrem dolní propusti, neboli tzv. antialiasingovým filtrem. V závislosti na zvolené vzorkovací frekvenci pro daný analogový signál je nutno mezní frekvenci antialiasingového filtru nastavit tak, aby se horní okraj spektra vzorkovaného signálu nepřekrýval se spodním okrajem zperiodizovaného spektra vzorkovaného signálu. V praxi se u Nyquistového vzorkování jako mezní frekvence volí většinou méně než polovina vzorkovací frekvence. O tomto problému pojednává mj. i vzorkovací teorém, známý též jako Shannon-Kotělnikovův teorém či Nyquistův teorém, který říká, že každý vzorkovaný signál, frekvenčně omezený na potřebnou šířku pásma, lze po zpětném převodu do analogové podoby zrekonstruovat bez zkreslení, pokud bude vzorkovací frekvence minimálně dvojnásobná, než je maximální frekvence vzorkovaného signálu (situaci popisuje Obr. 1.8). Matematicky tuto definici vyjadřuje vztah (převzato z [2]):

$$f_v \geq 2 \cdot f_m \quad (2)$$

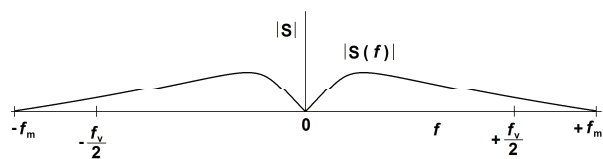
Kde  $f_v$  je vzorkovací frekvence a  $f_m$  je maximální frekvence vzorkovaného signálu. Z výše uvedeného tedy vyplývá, že pro digitalizaci audio signálu s dostatečnou kvalitou (související s šířkou pásma digitalizovaného audio signálu  $B$ , viz. Tab. 1.1) je potřeba zvolit dostatečně vysokou vzorkovací frekvenci. Pásmo propustnosti antialiasingového filtru by pak mělo v ideálním případě sahát přesně do poloviny zvolené vzorkovací frekvence [1], [2].



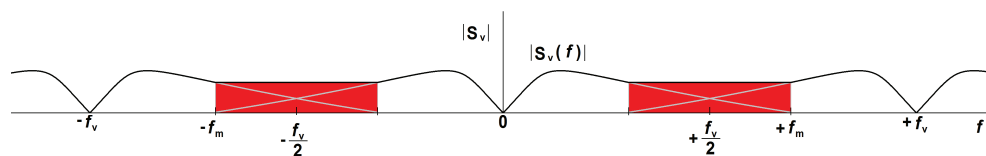
Obr. 1.3: Spektrum analogového spojitého signálu s úzkým, frekvenčně neomezeným spektrem (převzato z [2])



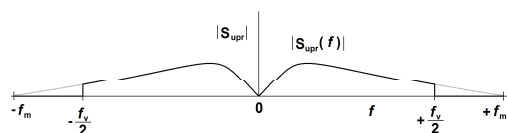
Obr. 1.4: Spektrum vzorkovaného spojitého signálu z předchozího obr. K aliasingu zde nedochází (převzato z [2])



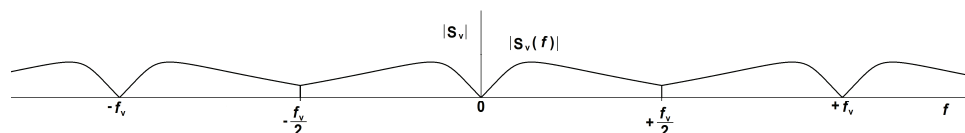
Obr. 1.5: Spektrum analogového spojitého signálu s širokým, frekvenčně neomezeným spektrem (převzato z [2])



Obr. 1.6: Spektrum vzorkovaného spojitého signálu z předchozího obr. V místech označených červeně dochází k aliasingu (převzato z [2])



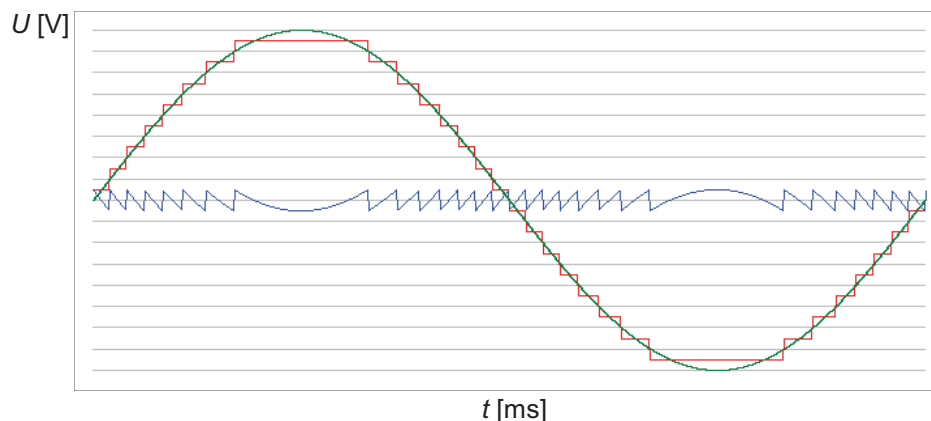
Obr. 1.7: Spektrum analogového spojitého signálu s širokým, ale frekvenčně omezeným spektrem (převzato z [2])



Obr. 1.8: Spektrum vzorkovaného signálu z předchozího obr. K aliasingu zde opět nedochází (převzato z [2])

Kvantizační šum, neboli kvantizační chyba, vzniká v důsledku kvantování. Při tomto procesu dochází k nahrazení libovolné hodnoty vzorku sejmutého vzorkovačem (který drží tuto hodnotu ideálně konstantní po celou dobu vzorkovací periody) hodnotou nejbližší vyšší nebo nižší (v závislosti na rozhodovacích úrovních kvantizéru, mezi kterými se aktuální vzorek signálu pohybuje). Jedná se tedy o proces zaokrouhlování hodnot. Při porovnání kvantovaného signálu se vstupním analogovým časově spojitým signálem je zřejmé, že dochází k chybě při kvantování vyjádřené rozdílem vstupního a kvantovaného signálu. Tato chyba je tím větší, čím více je signál kvantizérem zaokrouhlován. Lze tedy konstatovat, že kvantizační šum (neboli kvantizační chyba) je ovlivněn počtem kvantovacích úrovní, kterých signál nabývá, tedy bitovou hloubkou. Z výše uvedeného vyplývá, že pro dostatečně kvalitní digitalizovaný signál (související s počtem kvantovacích úrovní  $n_K$ , viz. Tab. 1.1) lze provést omezení kvantizačního šumu zvýšením počtu kvantovacích úrovní digitalizovaného signálu, tedy použitím či nastavením kvantizéru s vyšší bitovou hloubkou. Způsobí se tím také navýšení rozlišovací schopnosti A/D nebo D/A převodníku. Kvantizační šum by v ideálním případě neměl přesáhnout velikost kvantovaného signálu odpovídající jednomu LSB

(tedy nejméně významnému bitu). Obr. 1.9 znázorňuje porovnání rozdílu analogového spojitého signálu s kvantovaným signálem a výsledný kvantizační šum. Zelená křivka představuje spojitý analogový signál, průběh červené křivky značí kvantovaný signál a modrá křivka představuje kvantovací nebo též kvantizační šum [2], [3].



Obr. 1.9: Porovnání analogového (zelený průběh) a kvantovaného signálu (červený průběh), kvantizační šum (modrý průběh) (převzato z [3])

## 1.2 Princip D/A převodu

D/A převod představuje funkci inverzní k A/D převodu a sice převádí signál z digitální (tedy čísla) zpět do analogové formy. Samotný převod lze rozdělit do dvou kroků:

- Převod čísla na analogovou veličinu
- Rekonstrukce analogového signálu

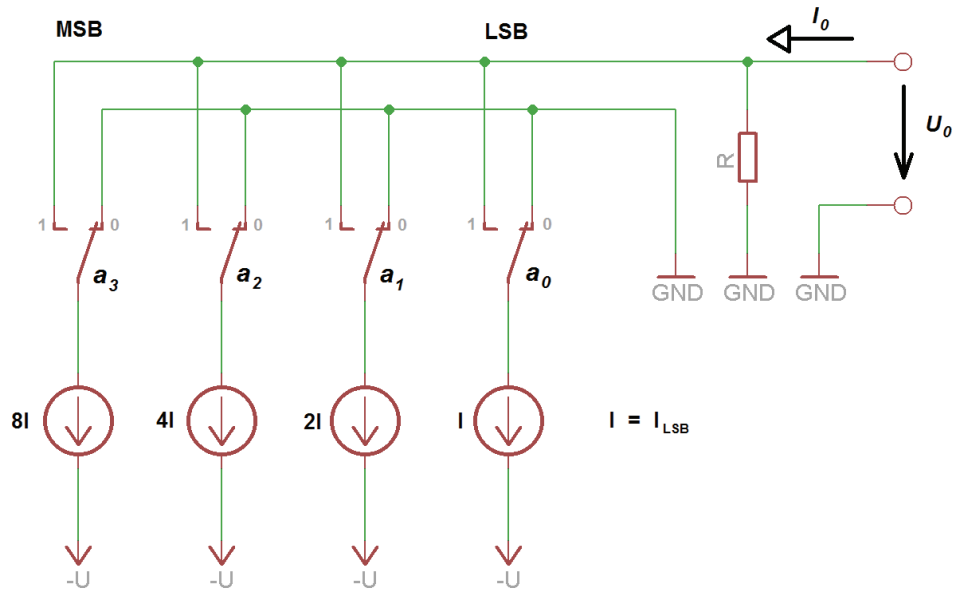
Převod čísla na analogovou veličinu (obvykle napětí) se provádí nejčastěji prostřednictvím sčítacího obvodu, ke kterému je připojena soustava řízených spínačů s váhovanými zdroji napětí nebo proudu. Spínače jsou řízeny na základě jednotlivých bitů převáděného slova digitálního signálu. Váhované zdroje, které jsou připojovány těmito spínači ke sčítacímu obvodu, odpovídají vahám jednotlivých bitů ve slově (tzn. váhovaný zdroj spínaný bitem LSB má nejmenší váhu, váhovaný zdroj spínaný bitem MSB má největší váhu). Na základě vstupního slova se ke sčítacímu obvodu připojí odpovídající váhované zdroje a ty se následně posčítají [2]. Matematicky se dá tento proces vyjádřit vztahy (3) a (4) (převzaty z [2]):

$$u_v = M \cdot d \quad (3)$$

$$d = \sum_{n=0}^{N-1} a_n \cdot z^n \quad , \quad n = 0, 1, 2 \dots N-1 \quad (4)$$

Kde  $u_v$  je výstupní analogová veličina (v tomto případě napětí),  $M$  značí tzv. míru převodu,  $d$  je číselný ekvivalent vstupního kódového slova (platí pro binární signál),  $a_n$  je bit na pozici  $n$ , (číslo  $a_n$  nabývá hodnot od 0 do  $z-1$ , v binární soustavě tedy 0 nebo 1), pro  $n = 0$ ,  $a_0$  je LSB (nejméně významný bit), pro  $n = N-1$ ,  $a_{N-1}$  je MSB (nejvíce

významný bit),  $z$  je přirozené číslo udávající základ uvažované číselné soustavy (pro binární kód,  $z = 2$ ),  $N$  udává celkový počet bitů ve slově. Pro případ jiné než binární soustavy se změni hodnota  $z$ , např. pro dekadickou soustavu,  $z = 10$ , pro hexadecimální soustavu,  $z = 16$  apod. Obr. 1.10 naznačuje příklad jednoduché realizace popisovaného převodu binárního čísla na výstupní napětí pomocí přepínatelných proudových zdrojů [1], [2].



Obr. 1.10: Převodník čísla na napětí pomocí přepínatelných proudových zdrojů (převzato z [1])

Po samotném převodu čísla na napětí vykazuje výstupní analogový signál charakter kvantovaného signálu, který je podobný červenému průběhu na Obr. 1.9. Je to způsobeno zperiodizováním spektra při vzorkování analogového signálu. Převedený signál je tedy potřeba dále zrekonstruovat, aby měl stejně hladký tvar jako analogový signál před digitalizací (podobný zelenému průběhu na Obr. 1.9). Toho lze docílit zařazením tzv. rekonstrukčního filtru. Rekonstrukci signálu je možno provést opět filtrem typu dolní propust, který se zde nazývá rekonstrukční filtr. Za předpokladu, že byl při vzorkování dodržen vzorkovací teorém a pokud je mezní frekvence tohoto rekonstrukčního filtru rovna polovině vzorkovací frekvence, získáme na výstupu filtru původní vyhlazený analogový signál zcela bez zkreslení. Samozřejmě se jedná o ideální případ. V praxi se vždy bude původní analogový signál do jisté míry lišit od signálu rekonstruovaného po A/D a D/A převodu [1].

Zde je potřeba zdůraznit, že v této práci dosud uvedené popisy postupů při vzájemných převodech mezi analogovou a digitální formou signálu jsou do jisté míry zjednodušeny. Oba tyto procesy jsou v praxi poněkud složitější a je zapotřebí uvažovat v daném případě vlivy celé řady dalších faktorů (jako např. chyba nastavení nuly, přesnost, hystereze, nelinearity převodníků, šумы v obvodech, počet efektivních bitů atd.). Více o této problematice lze naléznout např. v pramenech [1] a [2].

## 1.3 Typy A/D a D/A převodníků

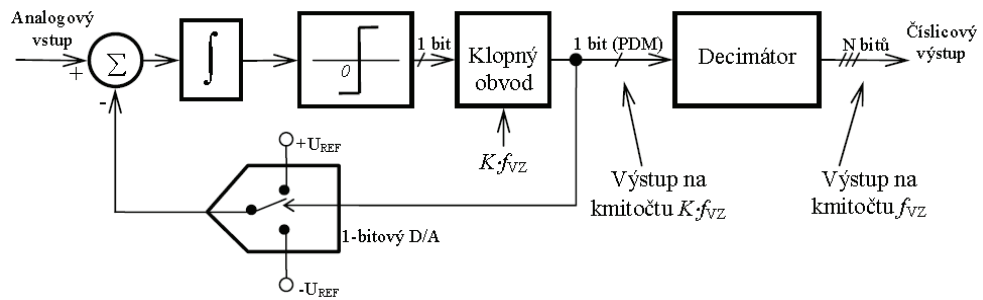
### 1.3.1 A/D převodníky

Analogově-digitální (A/D) převodník je obvod, který převádí vstupní hodnotu napětí na odpovídající číslo, vyjádřené obvykle v binárním kódu. Tento obvod, který se vyrábí nejčastěji v integrované formě, tedy zajišťuje všechny tři fáze převodu signálu z analogové do binární formy (viz. kapitola 1.1). Podle způsobu převodu dělíme A/D převodníky na integrační a neintegrační. Neintegrační A/D převodník převádí na číslo vždy okamžitou hodnotu vstupní veličiny v daném okamžiku doby převodu. Mezi tyto převodníky se řadí mj. i A/D převodníky používané pro akustické pásmo. Integrační A/D převodník převádí na číslo vždy hodnotu vstupní veličiny zprůměrovanou za určitý časový interval. Používají se např. pro měřicí účely (v multimetrech apod.). Výhodou integračních převodníků je schopnost potlačení sériového rušení, např. při měření stejnosměrného napětí, na které je superponováno rušivé střídavé napětí. Neintegrační převodníky dosahují výrazně kratší doby převodu nežli integrační, ovšem během vzorkovací periody je nutno, aby vstupní veličina byla pokud možno po celou dobu převodu konstantní, jinak může být převod na číslo zatížen chybou [1], [2].

Dále lze A/D převodníky dělit do dvou skupin: Unipolární A/D převodníky, které mají rozsah vstupní veličiny sahající pouze do jedné polarit (jinými slovy do jednoho kvadrantu), tedy rozsah např. napětí od 0 V do  $+U_{\max}$ . Bipolární A/D převodníky, které mají rozsah vstupní veličiny sahající do obou polarit (do dvou kvadrantů), tedy rozsah např. napětí od  $-U_{\max}$  do  $+U_{\max}$ . Pro audio aplikace je vhodnější použít bipolární A/D převodník [2].

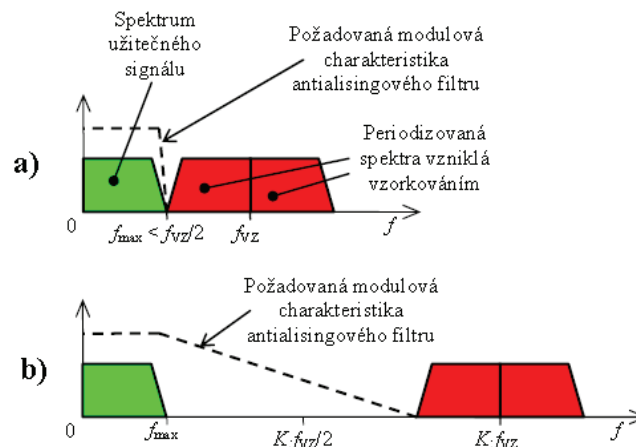
Mezi nejvíce rozšířené typy A/D převodníků patří kompenzační (např. A/D převodník s postupnou komparací), integrační (např. A/D převodník s dvoutaktní integrací) paralelní A/D převodníky (jednostupňové či vícešupňové) nebo sériové A/D převodníky. Nejrychlejší doby převodu dosahují paralelní A/D převodníky (řádově až v desetinách nanosekund). Proto se používají např. v osciloskopech, kde je zapotřebí rychlého převodu měřených elektrických veličin [1].

V audio aplikacích však dnes nacházejí největšího uplatnění převodníky zvané Sigma-Delta. Jejich výhodou je velmi vysoká linearita převodu a také vysoké rozlišení (až do bitové hloubky 24 bitů), díky svým vlastnostem jsou určeny pro převod právě nízkofrekvenčních signálů. Modulátor Sigma-Delta (označován též  $\Sigma$ - $\Delta$ ) se skládá z integračního článku, napěťového komparátoru a klopného obvodu (např. klopný obvod D), který je překlápen hodinovým signálem  $K \cdot f_{VZ}$ , což je hodinový signál o frekvenci vzorkování, vynásobený koeficientem převzorkování  $K$ . Z výstupu klopného obvodu pak vede záporná zpětná vazba s jednobitovým D/A převodníkem, který může představovat např. spínací prvek. Signál z výstupu spínače (spínajícího mezi referenčními úrovněmi  $+U_{REF}$ ,  $-U_{REF}$ ) se odečítá od vstupního signálu a tento rozdíl je dále filtrován integračním článkem. Výstup klopného obvodu je poté přiveden do decimátoru, který vybírá z výstupního signálu klopného obvodu každý  $K$ -tý vzorek. Výstupní signál o vzorkovací frekvenci  $f_{VZ}$  by měl korespondovat se vzorkovacím teóremem aplikovaným na vstupní signál A/D převodníku [1], [4].



Obr. 1.11: A/D převodník s modulátorem Sigma-Delta (převzato z [4])

Další nespornou výhodou Sigma-Delta převodníku je v použití několikanásobného převzorkování vstupního signálu koeficientem převzorkování  $K$ . Celý obvod tak provádí vzorkování  $K$ -krát rychleji než klasický A/D nebo D/A převodník, což má za následek posunutí zperiodizovaných spekter vzorkovaného signálu v celkovém spektru na hodnotu  $K \cdot f_{VZ}$  a její celočíselné násobky. Tím pádem je docíleno i většího prostoru ve spektru mezi maximální vzorkovací frekvencí spojitého vzorkovaného signálu  $f_{max}$  a spodní částí zperiodizovaného spektra. Antialiasingový filtr umístěný před Sigma-Delta modulátorem tudíž nemusí mít tak ostrý přechod do nepropustného pásma, jaký je požadován u filtrů pro klasické vzorkovače. Nároky na kvalitu tohoto filtru se tak výrazně snižují. Popisovanou situaci naznačuje Obr. 1.12 [4]:



Obr. 1.12: a) Spektrum vzorkovaného signálu běžného převodníku, b) Spektrum vzorkovaného signálu převodníku Sigma-Delta (převzato z [4])

### 1.3.2 D/A převodníky

Digitálně-analogový převodník je obvod, který převádí vstupní digitální číslo (nejčastěji v binární formě) na výstupní analogovou veličinu. Vyrábí se ve formě integrovaného obvodu a zajišťuje buď pouze fázi převodu čísla na analogovou veličinu (rekonstrukci analogového signálu je potřeba zajistit pomocí externích obvodů), nebo obě fáze, tedy jak převod čísla na analogovou veličinu, tak i rekonstrukci analogového signálu (viz. kapitola 1.2).

Stejně jako u A/D převodníků, i D/A převodníky můžeme rozdělit na unipolární a

bipolární. Jedná se tedy o převod v rámci jedné polarit (unipolární) nebo v rámci obou polarit (bipolární). Dále lze D/A převodníky rozdělit do dvou skupin, a sice D/A převodníky s proudovým výstupem (jedná se o poměrně častý případ), který, pokud to situace vyžaduje, lze převést na výstup napěťový pomocí externího převodníku proudu na napětí (v nejjednodušším případě se jedná o rezistor zapojený mezi signálovou cestou a zemí), a také D/A převodníky s napěťovým výstupem (méně častý případ), které lze použít např. jako digitální zdroj napětí [2].

Mezi nejrozšířenější typy D/A převodníků patří paralelní D/A převodníky. Může se jednat např. o převodníky užívající váhovanou rezistorovou síť (tyto nejsou vhodné pro realizaci formou integrovaného obvodu, důvodem je mj. narůstající tolerance každého rezistoru), převodníky užívající žebříčkovou rezistorovou síť (vhodnější, síť se skládá obvykle z rezistorů  $R-2R$ , všechny rezistory mohou mít stejnou toleranci a tedy mohou být vyráběny i stejným technologickým postupem v případě integrované formy), převodníky užívající systém proudových zdrojů (také velmi populární řešení, vhodné pro výrobu v integrované formě, jedná se o bipolární tranzistory s odstupňovanými plochami PN přechodů mezi bází a emitorem, příklad realizace znázorňuje Obr. 1.10) nebo převodníky užívající šířkovou modulaci. V případě audio aplikací se nejvíce používají typy D/A převodníků s žebříčkovou rezistorovou sítí nebo se systémem proudových zdrojů [1], [2].

## 2 NÁVRH TECHNICKÉHO ŘEŠENÍ

V této kapitole je prezentována vlastní vize technického řešení celého obvodu s D/A převodníkem, jehož návrh, konstrukce a následné oživení tvoří hlavní náplň této diplomové práce. Jedná se o D/A převodník multistandardní, tedy je možno jej nastavovat podle potřeby tak, aby zpracovával vstupní a výstupní signál na základě nastavení uživatele. Řešení řídicí části obvodu pro nastavování převodníku a dalších jeho nutných periférií pomocí mikrokontroléru je popsáno v další části této práce.

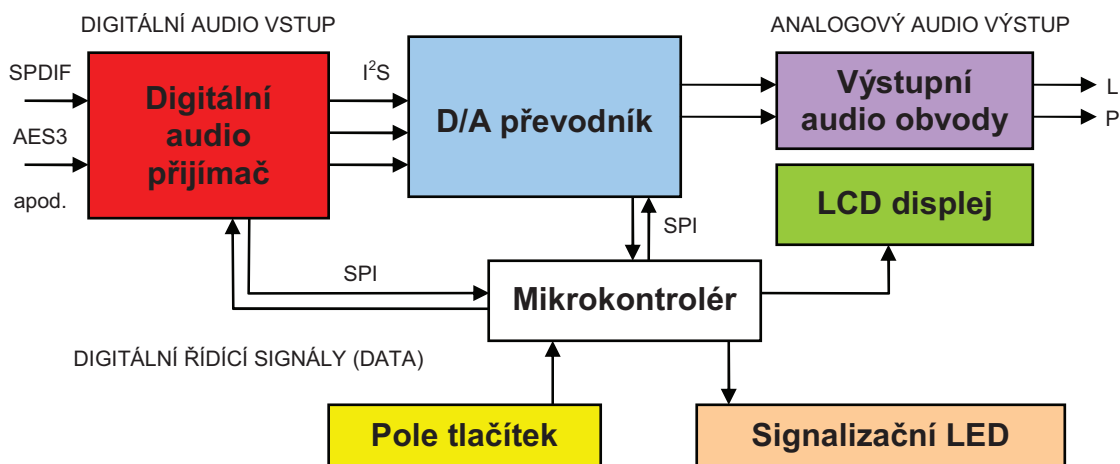
### 2.1 Obecný popis systému

Klíčovou úlohu v celém systému tvoří D/A převodník. Tento přijímá digitální audio data pomocí rozhraní I<sup>2</sup>S (třívodičové rozhraní pro posílání audio dat, obsahuje jeden digitální audio signál a dva pomocné hodinové signály) a na základě nastavení svých kontrolních registrů převádí digitální audio signál do odpovídající analogové formy. Protože rozhraní I<sup>2</sup>S neslouží pro přenos digitálních audio dat mezi jednotlivými audio zařízeními, ale spíše jako rozhraní pro přenos digitálních audio dat mezi vnitřními perifériemi v rámci jednoho zařízení, je nutno zapojit před D/A převodník ještě digitální audio přijímač, který je kompatibilní s běžnějšími digitálními rozhraními pro přenos audio signálu mezi zařízeními (jako např. rozhraní SPDIF, AES3 apod.).

D/A převodník je nastavován stejným způsobem jako digitální audio přijímač, tedy pomocí mikrokontroléru. Jako vhodný je pro tyto účely uvažován některý mikrokontrolér z rodiny ATmega. Tento bude sloužit jako ústřední člen pro veškeré řízení obvodu. Dále bude doplněn o LCD displej a několik ovládacích tlačítek, případně několik signalizačních LED diod. Celý ovládací systém bude mít implementováno jednoduché uživatelské rozhraní s ovládacím MENU, zobrazeným na displeji, pomocí kterého bude uživatel moci ovládat jednotlivá nastavení všech dostupných parametrů jak D/A převodníku, tak digitálního audio přijímače. Také se zde nabízí možnost, že mikrokontrolér na základě komunikace s digitálním audio přijímačem nebo detekce různých příznakových signálů z digitálního přijímače bude automaticky nastavovat potřebné parametry pro D/A převodník.

## 2.2 Blokové schéma zapojení

Na Obr. 2.1 je vyobrazeno blokové schéma celého zapojení. Podrobný popis funkcí jednotlivých bloků bude uveden v kapitole 3.



Obr. 2.1: Blokové schéma obvodu s D/A převodníkem

## 2.3 Požadované parametry obvodu

V rámci návrhu celého zapojení je vhodné stanovit si minimální požadované parametry na fungování obvodu a také na přenos a zpracování audio signálu, které by mělo navrhované zapojení splňovat. Tab. 2.1 popisuje souhrn všech předpokládaných parametrů kladených na tento obvod.

Tab. 2.1: Stanovené parametry obvodu s D/A převodníkem

Napájecí napětí obvodů $U_{CC}$	+3,3 V; +5 V ...
Max. proudový odběr obvodů $I_{max}$	200 mA
Kompatibilita s digitálním rozhraním	SPDIF
Min. počet digitálních audio vstupů	2
Min. počet analogových audio výstupů	2 (Stereo)
Min. rozlišovací schopnost D/A převodníku $N$	16 bitů
Min. rozsah vzorkovacích kmitočtů D/A převodníku $f_v$	44,1 kHz až 96 kHz
Min. odstup signál-šum D/A převodníku (20 Hz – 20 kHz) $SNR$	76 dB
Min. dynamický rozsah D/A převodníku (20 Hz – 20 kHz) $DR$	76 dB
Celkové harmonické zkreslení D/A přev. (Stereo) $THD+N$	-72 dB
Mezikanálové přeslechy D/A přev. $S_{ICC}$	-85 dB
Max. vstupní šumové napětí výstupního filtru $U_N$	250 nV / $\sqrt{Hz}$
Min. vstupní impedance výstupního filtru $Z_{INP}$	3,3 k $\Omega$ / 10 pF
Celkový odstup signál-šum výstupního filtru $SNR$	-60 dB
Celkové harmonické zkreslení výstupního filtru $THD+N$	0,3 %
Min. šířka pásma výstupního filtru $B$	75 kHz
Max. výstupní impedance výstupního filtru $Z_{OUT}$	600 $\Omega$
Mezikanálové přeslechy výstupního filtru $S_{ICC}$	-55 dB
Min. napěťové zesílení OZ pro výstupní filtr $A_U$	10

## 3 KONSTRUKČNÍ ŘEŠENÍ PROJEKTU

Tato kapitola pojednává o konstrukční stránce celého zapojení. Jsou zde popsány podrobněji všechny funkční bloky obvodu a také jsou zde vyobrazena obvodová schémata dílčích částí zapojení. V úvodu této kapitoly budou podrobněji popsány dva hlavní funkční bloky zapojení, a sice D/A převodník a digitální přijímač.

### 3.1 Popis D/A převodníku

Jako D/A převodník, aplikovaný v navrhovaném obvodu, byl vybrán obvod AD1852 od firmy Analog Devices. Tento D/A převodník byl vybrán díky svým velmi dobrým vlastnostem, které splňují, nebo někdy dokonce předčí, kritéria zpracování digitálního signálu, která byla stanovena v kapitole 2.3.

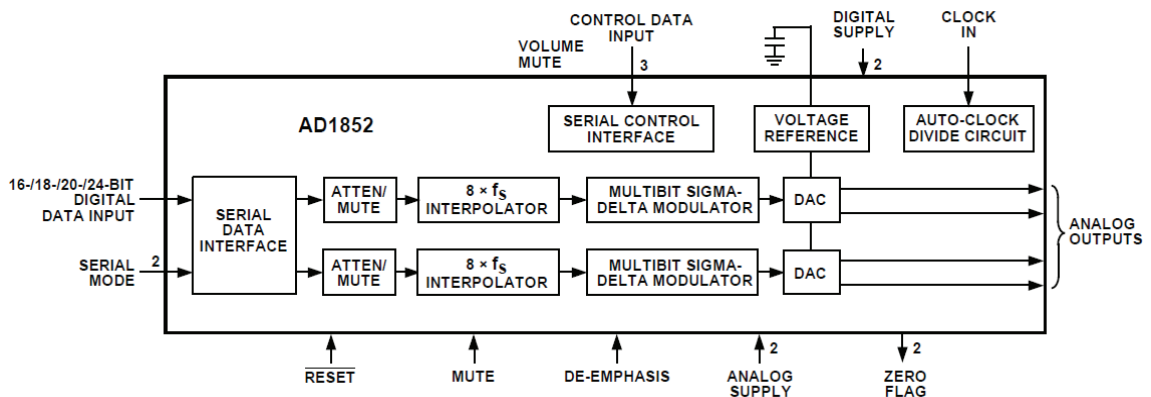
#### 3.1.1 Základní popis obvodu AD1852

Jedná se o integrovaný obvod s kvalitním Sigma-Delta D/A převodníkem určeným obzvláště pro audio a nízkofrekvenční aplikace. V Tab. 3.1 jsou uvedeny jeho základní technické údaje [5], [6].

Tab. 3.1: Základní technické údaje D/A převodníku AD1852 (převzato z [5], resp. [6])

Parametr	Hodnota
Napájecí napětí (analogová i digitální část) $U_{CC}$	5,00 V
Maximální rozsah napájecího napětí $U_{CC}$	4,50 až 5,50 V
Proudový odběr – analogová část $I$	33 až 40 mA
Proudový odběr – analog. část (při Resetu) $I$	32 až 46 mA
Proudový odběr – digitální část $I$	20 až 30 mA
Proudový odběr – dig. část (při Resetu) $I$	27 až 37 mA
Odebíraný výkon analogové části $P$	165 mW
Odebíraný výkon digitální části $P$	100 mW
Rozlišovací schopnost převodníku $N$	16 až 24 bitů
Vzorkovací frekvence převodníku $f_v$	32 až 192 kHz
Poměr signál-šum (stereo, bez deemfáz. filtru) $SNR$	112 dB
Dynamický rozsah (stereo, bez deemfáz. filtru) $DR$	107 až 112 dB
Celkové harmonické zkreslení $THD+N$ (stereo)	-94 až -102 dB (0,00079 %)
Celkové harmonické zkreslení $THD+N$ (mono)	-105 dB (0,00056 %)
Napěťový rozsah symetrického výstupu $U_R$	5,6 V <sub>p-p</sub>
Výstupní impedance převodníku $Z_{INP}$	65 $\Omega$ $\pm$ 30 %
Mezikanálové přeslechky $S_{ICC}$	-120 dB
Mezikanálová odchylka fáze $\Delta\phi$	$\pm$ 0,1 °
Útlum signálu při funkci MUTE $L$	-100 dB
Chyba zesílení deemfáze $\Delta A_U$	$\pm$ 0,1 dB

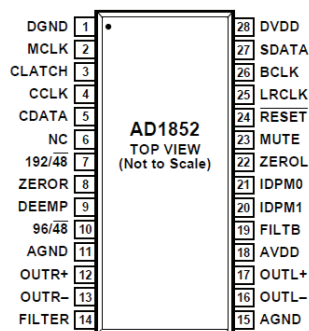
Na Obr. 3.1 je uvedeno blokové schéma zvoleného D/A převodníku AD1852. Ten je opatřen vstupem pro digitální datový signál různé bitové hloubky (16 až 24 bitů), další datový vstup poskytuje D/A převodníku informaci o zarovnání bitů sériového digitálního signálu. Zvolený převodník AD1852 podporuje čtyři způsoby zarovnání bitů digitálního audio signálu, a sice „Right-Justified Mode“ (zarovnání bitů doprava), „Left-Justified Mode“ (zarovnání bitů doleva), „I<sup>2</sup>S-Justified Mode“ (zarovnání bitů podle normy I<sup>2</sup>S) a „Left-Justified DSP Mode“ (zarovnání bitů odpovídající normě DSP). Na základě volby zarovnání bitů je přijímaný digitální audio signál zpracováván dalšími funkčními bloky. Řídící signál RESET je odpovědný za resetování celého obvodu v případě poruchy nebo po připojení napájecího napětí. Další signály, MUTE a DE-EMPHASIS, mají za úkol zapínat a vypínat vnitřní funkce MUTE (tedy ztlumení výstupního signálu) a DE-EMPHASIS (tedy deemfázový filtr). Velmi důležitý je také vstupní signál CLOCK IN, který představuje vstup hlavního hodinového signálu pro obvod AD1852. Zdrojem tohoto hodinového signálu bývá obvykle krystalový oscilátor s vhodně zvolenou frekvencí, nebo, v tomto případě, hodinový výstup digitálního přijímače. Řídící signály označeny jako CONTROL DATA INPUT slouží k nastavování parametrů (pomocí sériového komunikačního rozhraní) pro zpracování audio signálu, kterými D/A převodník AD1852 disponuje. Dále, kromě separovaného analogového a digitálního napájení je převodník opatřen i několika signálovými výstupy. Mezi hlavní patří čtyři analogové výstupy pro odběr výstupního analogového signálu. Jedná se o dvoukanálový (tedy stereo) analogový audio výstup, který je symetrický. Další dva signálové výstupy slouží k identifikaci příznaků ZERO FLAG, pomocí kterých lze externě detekovat chybějící digitální signál na vstupu převodníku [5], [6].



Obr. 3.1: Blokové schéma integrovaného obvodu AD1852 (převzato z [5])

### 3.1.2 Popis funkčních pinů obvodu AD1852

Obr. 3.2 popisuje uspořádání funkčních pinů zvoleného D/A převodníku a také je zde přiložena tabulka s popisem funkcí jednotlivých pinů. Obrázek byl převzat z katalogového listu D/A převodníku AD1852. Zvolený D/A převodník AD1852 se vyrábí v provedení pouzdra SSOP28 [5].



Obr. 3.2: Zapojení pinů D/A převodníku (převzato z [5])

Tab. 3.2 poskytuje informace o funkcích jednotlivých funkčních pinů obvodu AD1852 z Obr. 3.2. Tyto funkční piny, popř. dvojice či trojice pinů, odpovídají většině řídicích signálů z Obr. 3.1.

Tab. 3.2: Přehled funkcí jednotlivých pinů D/A převodníku AD1852 (převzato z [5], resp. [6])

Č. pinu	Zkratka	Vstupní (I) Výstupní (O)	Popis funkce
1	DGND	I	Digitální zem
2	MCLK	I	Vstup hlavního hodinového signálu (z dig. přijímače)
3	CLATCH	I	Vstup signálu pro potvrzení přenosu SPI komunikace
4	CCLK	I	Vstup hodinového signálu SPI komunikace
5	CDATA	I	Vstup datového signálu SPI komunikace
6	NC	–	Pin bez připojení
7	192/48	I	Nastavení vzorkovací frekvence ( $\log.1 - f_{vz} = 192$ kHz)
8	ZEROR	O	Log. 1 = nulový signál v pravém kanálu
9	DEEMP	I	Při log. 1 zapne deemfázi na kmitočtu 44,1 kHz
10	96/48	I	Nastavení vzorkovací frekvence ( $\log.1 - f_{vz} = 96$ kHz)
11	AGND	I	Analogová zem
12	OUTR+	O	Výstup analogového signálu HOT pro pravý kanál
13	OUTR–	O	Výstup analogového signálu COLD pro pravý kanál
14	FILTR	O	Pin pro připojení kapacitoru napěťové reference
15	AGND	I	Analogová zem
16	OUTL–	O	Výstup analogového signálu COLD pro levý kanál
17	OUTL+	O	Výstup analogového signálu HOT pro levý kanál
18	AVDD	I	Analogové napájecí napětí
19	FILTB	–	Pin pro připojení filtračních kapacitorů
20	IDPM1	I	Pin 1 pro nastavování zarovnání bitů digitálního signálu
21	IDPM0	I	Pin 0 pro nastavování zarovnání bitů digitálního signálu
22	ZEROL	O	Log. 1 = nulový signál v levém kanálu
23	MUTE	I	Nastavení funkce ztlumení obou výstupů (při log.1)
24	RESET	I	Resetovací signál. Reset je aktivní při log. 0
25	LRCLK	I	Pin pro hodinový signál jednotlivých slov audio dat
26	BCLK	I	Pin pro hodinový signál jednotlivých bitů audio dat
27	SDATA	I	Pin pro příjem samostatných audio dat
28	DVDD	I	Digitální napájecí napětí

Popisované funkční piny v Tab. 3.2 jsou schopny řídit parametry D/A převodníku AD1852 pomocí nastavování logických úrovní 0 a 1 na těchto funkčních pinech. Další způsob řízení parametrů D/A převodníku představuje řízení pomocí jeho kontrolních registrů, do kterých lze zapisovat řídicí povely (sekvence bitů) pomocí sériového komunikačního rozhraní a tím měnit parametry D/A převodníku, podobným způsobem jako pomocí funkčních pinů [5], [6].

### 3.1.3 Popis řízení pomocí sériového komunikačního rozhraní

D/A převodník AD1852 je vybaven sériovým komunikačním rozhraním SPI. Pomocí uvedeného komunikačního rozhraní má uživatel přístup ke zmíněným kontrolním registrům. Registry jsou celkem tři. Podle [5] je možno pomocí posledních dvou bitů (Bit 1 a Bit 0) adresovat zvlášť registr pro ovládání hlasitosti levého kanálu, registr pro ovládání pravého kanálu a řídicí registr pro ovládání všech ostatních funkcí, resp. parametrů D/A převodníku.

Tab. 3.3: Adresování kontrolních registrů (převzato z [5], resp. [6])

Bit 1	Bit 0	Registr
0	0	Registr pro ovládání hlasitosti levého kanálu
1	0	Registr pro ovládání hlasitosti pravého kanálu
0	1	Řídicí registr pro ovládání ostatních funkcí

Při adresování daných registrů pro ovládání hlasitosti pomocí dvou posledních bitů, za předpokladu používání 16-bitového řídicího slova, pro nastavení hlasitosti výstupního signálu z D/A převodníku tedy zbývá sekvence 14-ti bitů. Tím je zaručeno dostatečně jemné krokování hladin hlasitosti obou výstupních audio kanálů obvodu AD1852. Např. pro nastavení hlasitosti výstupů na maximum (tedy 0 dBFS) pro oba kanály budou řídicí slova vypadat následovně: „ $D_1 = 1111\ 1111\ 1111\ 1100$ “ (pro levý kanál) a „ $D_2 = 1111\ 1111\ 1111\ 1110$ “ (pro pravý kanál) [5].

Řídicí registr pro ovládání ostatních parametrů je tedy adresovatelný pomocí posledních dvou bitů sekvencí „01“. Další pozice bitů (od 2 do 11) interpretují nastavení jednotlivých funkcí, resp. parametrů zpracování signálu podle Tab. 3.4.

Tab. 3.4: Přehled funkcí řídicího registru pro ovládání parametrů převodníku (převzato z [5], resp. [6])

Číslo (pozice) bitu	Funkce
11	Mód vzorkovací frekvence INT 2X (odpovídá pinu $192/\overline{48}$ v log. 1), výchozí hodnota bitu = log. 0
10	Mód vzorkovací frekvence INT 4X (odpovídá pinu $96/\overline{48}$ v log. 1), výchozí hodnota bitu = log. 0
9, 8	Bitová hloubka (pouze pro „Right-Justified“ sériový mód) 0, 0 = 24 bitů 0, 1 = 20 bitů 1, 0 = 16 bitů výchozí hodnota bitů = 0, 0
7	Reset, výchozí hodnota bitu = log. 0 (aktivní v log. 1)
6	Soft mute – ztlumení signálu, výchozí hodn. bitu = log. 0 (aktivní v log.1)
5, 4	Bity pro nastavování zarovnání digitálního signálu (odpovídá pinům IDPM1, IDPM0) 0, 0 = „Right-Justified“ 0, 1 = „I <sup>2</sup> S Justified“ 1, 0 = „Left-Justified“ 1, 1 = „DSP Mode“
3, 2	Bity pro výběr deemfázového filtru 0, 0 = žádný filtr není vybrán 0, 1 = filtr pro frekvenci 44,1 kHz 1, 0 = filtr pro frekvenci 32 kHz 1, 1 = filtr pro frekvenci 48 kHz výchozí hodnota bitů = 0, 0

Některé funkční piny pro ovládání převodníku logickými úrovněmi a výše popsané bity řídicího registru jsou při ovládání parametrů ve vzájemném logickém součtu (logický OR). To znamená, že funkční pin, na kterém je trvale nastavena úroveň log. 1, trvale nastavuje určitý parametr D/A převodníku. Při zapsání bitu 0 do kontrolního registru pro daný parametr, za účelem jeho nastavení do jiného stavu, setrvává parametr i nadále v původní hodnotě log. 1, (tedy ve stejném stavu). Je tedy potřeba přivést úroveň log. 0 i na funkční pin, aby tento parametr převodníku byl nastaven do jiného stavu. Analogicky to platí i pro nastavování určitého parametru pomocí funkčního pinu při současné trvale nastavené hodnotě řídicího bitu v kontrolním registru. Proto funkční piny, které nastavují některé z parametrů D/A převodníku, v případě, kdy je používáno 3-vodičové komunikační rozhraní SPI, se mohou uzemnit na digitální signálovou zem a není nutné je používat. Pokud naopak řízení obvodu pomocí SPI rozhraní není k dispozici, může být používáno nastavování parametrů D/A převodníku pomocí pinů. Konkrétně se jedná o funkční pin  $192/\overline{48}$ , který je v logickém OR s bitem č. 11 řídicího registru, dále pin  $96/\overline{48}$ , který je v logickém OR s bitem č. 10 řídicího registru a také piny IDPM1 a IDPM0, které jsou v logickém OR s bity č. 5 a 4 řídicího registru. Přivedením log. 1 na pin DEEMP je nastavován deemfázový filtr pouze pro frekvenci 44,1 kHz, tedy pin DEEMP je v logickém OR s bitem 2 řídicího registru. Funkce Soft Mute bitu č. 6 řídicího registru i funkce MUTE na funkčním pinu provádí stejný úkon. Při aktivaci této funkce je úroveň výstupního signálu zeslabena nikoli skokově, ale je zeslabována postupně od nastavené úrovně hlasitosti, uložené v příslušných registrech,

až po digitální nulu během doby 20 ms. Stejným způsobem se chová úroveň výstupního signálu (je postupně zesilována) při deaktivaci funkce MUTE (Soft Mute) a stejně také při změně hodnoty úrovně hlasitosti v daných registrech. Tento proces eliminuje nežádoucí rušivé zvuky (praskání, cvakání apod.), které by se ve výstupním analogovém signálu objevovaly při skokových změnách nastavení úrovně výstupního signálu. Funkční pin  $\overline{\text{RESET}}$  i Bit 7 řídicího registru, Reset, provádí stejnou funkci, a sice resetování obvodu AD1852. Jediným rozdílem je, že Bit 7 – Reset nemá vliv na hodnoty uložené v kontrolních registrech D/A převodníku. Pomocí funkčního pinu  $\overline{\text{RESET}}$  je celý obvod resetován včetně jeho funkcí a navíc jsou všechny kontrolní registry nastaveny do svých výchozích hodnot [5], [6].

Více informací o obvodu AD1852 lze nalézt v katalogovém listu [5], nebo na webové stránce [6].

## 3.2 Popis digitálního přijímače

Jako vhodný digitální přijímač, který byl vybrán pro tuto aplikaci, je obvod od firmy Cirrus Logic, a sice model CS8416. Protože popis celého obvodu a všech jeho funkcí by sahal nad rámec této práce, bude uveden ve zkrácené podobě s ohledem na konkrétní aplikaci obvodu.

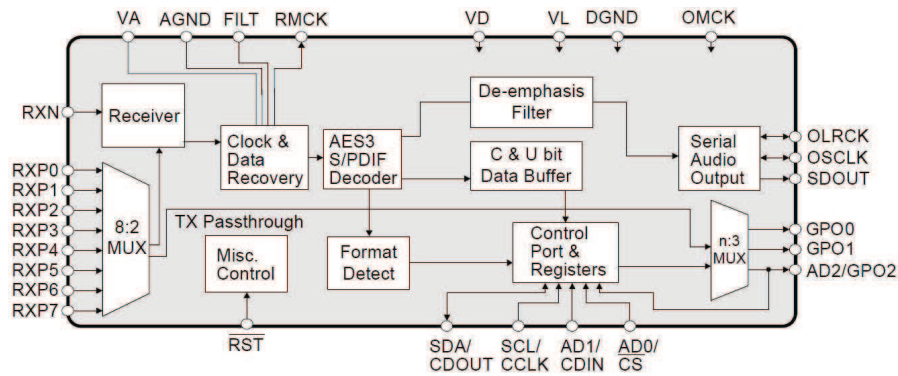
### 3.2.1 Základní popis obvodu

Obvod CS8416 je přijímačem různých digitálních audio rozhraní. Byl vybrán pro svoje velmi dobré vlastnosti a univerzální použití. Navíc splňuje všechny požadavky kladené na něj v kapitole 2.3. Vyrábí se v různých provedeních, pro navrhované zapojení byl pořízen v pouzdře SOIC28. Tab. 3.5 udává základní technické údaje o digitálním přijímači CS8416.

Tab. 3.5: Základní technické údaje digitálního přijímače (převzato z [7])

Parametr	Hodnota
Nominální napájecí napětí $U_{CC}$ (VA, VD)	3,3 V
Rozsah napájecího napětí $U_{CC}$ (VA, VD)	3,13 až 3,46 V
Napájecí napětí $U_{CC}$ (VL)	3,3 V nebo 5,0 V
Proudový odběr $I$ při $f_v = 48$ kHz VA VD VL = 5 V	IA = 5,7 mA ID = 5,9 mA IL = 4,2 mA
Proudový odběr $I$ při $f_v = 192$ kHz VA VD VL = 5 V	IA = 9,4 mA ID = 23 mA IL = 11,8 mA
Rozlišovací schopnost digitálního přijímače $N$	16 až 24 bitů
Vzorkovací frekvence digitálního přijímače $f_v$	32 až 192 kHz
Kompatibilita s digitálními rozhraními	EIAJ CP 1201, IEC-60958, AES3, SPDIF
Počet digitálních vstupů	8

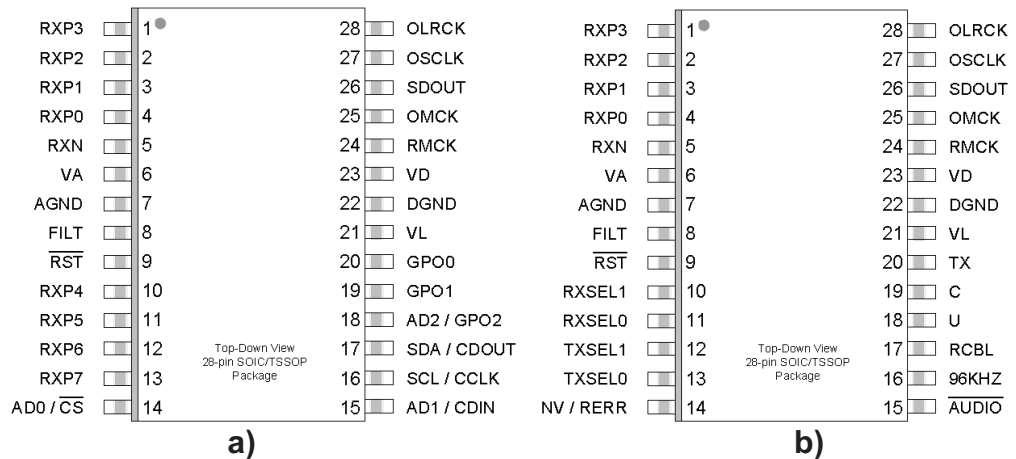
Na Obr. 3.3 je vyobrazeno vnitřní uspořádání obvodu CS8416. Jsou zde vidět piny RXP0 až RXP7, které odpovídají jednotlivým vstupům pro digitální audio signál. Pin RXN je „komplementární“ pin k libovolnému RXP pinu pro připojení druhého vodiče v případě přivedení symetrického digitálního rozhraní, např. AES3. Multiplexer na vstupu přijímače umožní vybrat si předepsaným způsobem jeden z digitálních vstupů. Následuje blok obnovy datového toku a hodinového taktu z přijímaného datového signálu a dále je příslušný datový tok dekódován. Po úpravě dekódovaného signálu deemfázovým filtrem (volitelný krok) je dekódovaný signál poslán na třívodičový digitální sériový audio výstup, který je již kompatibilní s digitálním sériovým audio vstupem zvoleného D/A převodníku AD1852. Výstupní pin OLRCK přijímače odpovídá vstupnímu pinu LRCLK převodníku, výstupní pin OSCLK přijímače odpovídá vstupnímu pinu BCLK převodníku a výstupní pin SDOUT přijímače odpovídá vstupnímu pinu SDATA převodníku. Dále jsou z obrázku patrné piny určené k sériové komunikaci s mikrokontrolérem. Digitální přijímač je kompatibilní se sériovými komunikačními rozhraními I<sup>2</sup>C i SPI. K obousměrné komunikaci s mikrokontrolérem jsou určeny piny SDA/CDOUT, SCL/CCLK, AD1/CDIN, AD0/ $\overline{\text{CS}}$  a AD2/GPO2. Piny GPO0, GPO1, GPO2 jsou dále určeny k přenosu příznakových signálů digitálního přijímače, které si uživatel může zvolit. Jedná se o logické výstupy z obvodu CS8416, na kterých mohou být např. mikrokontrolérem detekovány signály poskytující informaci o různých událostech obvodu CS8416 ve formě příznaku (např. příznak chyby špatně přijatého vzorku audio signálu, příznak příjmu signálu o vzorkovací frekvenci vyšší než 96 kHz, příznak chybějícího signálu na vstupu apod.). Pin  $\overline{\text{RST}}$  slouží k resetování celého obvodu CS8416. Digitální přijímač musí být dále vybaven stabilním zdrojem hodinového signálu o určité frekvenci. Tento zdroj hodinového signálu pak může být připojen na pin OMCK. Hodinový signál přivedený na tento pin slouží k taktování celého obvodu. Následně je možno tento hodinový signál podělit pomocí děličky na poloviční frekvenci a odebírat jej z výstupního pinu RMCK, který by měl být připojen ke vstupu hlavního hodinového signálu D/A převodníku AD1852 (na pin MCLK). Rovněž je doporučeno, podle [7], pro fázovou smyčku PLL, kterou je vybaven funkční blok obnovy hodinového taktu a datového toku, přivádět zvláštní napájecí napětí (na pinech VA a AGND). Dále je nutno tuto smyčku fázového závěsu opatřit externím filtračním obvodem, který tvoří RC článek 1. řádu a je připojen k pinu FILT. Napájecí napětí pro zbytek obvodu, tedy celou digitální část, je k obvodu CS8416 připojeno pomocí pinů VD a DGND. Napájecí napětí VL slouží k určení napětí logických úrovní vstupních a výstupních logických signálů. TTL logika se vyznačuje napětím  $\log. 1 = +5 \text{ V}$ , CMOS logika se vyznačuje napětím  $\log. 1 = +3,3 \text{ V}$ . Pokud obvod AD1852 pracuje s logickými úrovněmi TTL, je potřeba na pin VL přivést napětí +5 V.



Obr. 3.3: Blokové schéma digitálního přijímače CS8416 (převzato z [7])

### 3.2.2 Popis funkčních pinů obvodu CS8416

Digitální přijímač může fungovat v jednom ze dvou pracovních režimů. Aktivní režim se volí pomocí pull-up nebo pull-down rezistorů, a přijímač do zvoleného režimu přechází automaticky v okamžiku připojení napájení. Jeden z pracovních režimů je tzv. „Software Mode“, který nastaví osm digitálních audio vstupů (RXP0 až RXP7) a další řízení obvodu je prováděno prostřednictvím sériového komunikačního rozhraní pomocí řídicího mikrokontroléru. Druhý pracovní režim je tzv. „Hardware Mode“, který nastaví čtyři digitální audio vstupy (RXP0 až RXP3) a další funkční piny slouží k řízení přijímače pomocí přivádění logických úrovní, resp. připojení pull-up nebo pull-down rezistorů na dané funkční piny. Datové a komunikační piny mají tedy jiné funkce a v některých případech i směry komunikace pro každý pracovní režim. Obr. 3.4 a), b) popisují uspořádání funkčních pinů digitálního přijímače pro každý ze zvolených pracovních režimů [7].



Obr. 3.4: Zapojení pinů digitálního přijímače pro nastavení a) "Software Mode" ; b) "Hardware Mode" (převzato z [7])

Tab. 3.6 až Tab. 3.8 obsahují popis funkčních pinů pro oba pracovní režimy.

Tab. 3.6: Popis funkce jednotlivých pinů digitálního přijímače CS8416 – společné piny [7]

Č. pinů	Zkratka	Popis funkce
1 – 4, (10 – 13)	RXP0..RXP3 RXP4..RXP7	Vstupní piny digitálního signálu
5	RXN	Vstupní pin symetrického digitálního signálu k RXP
6	VA	Napájecí napětí pro smyčku fázového závěsu
7	AGND	Zem pro smyčku fázového závěsu
8	FILT	Pin pro připojení externího filtračního obvodu pro PLL
9	$\overline{\text{RST}}$	Resetovací pin
21	VL	Napájecí napětí pro řídicí logiku
22	DGND	Digitální zem
23	VD	Digitální napájecí napětí
24	RMCK	Výstup hodinového signálu pro D/A převodník
25	OMCK	Vstup ze zdroje hodinového signálu
26	SDOUT	Výstup samostatných audio dat
27	OSCLK	Výstup hodinového signálu pro jednotlivé bity audio dat
28	OLRCK	Výstup hodinového signálu pro jednotlivá slova audio dat

Tab. 3.7: Popis funkce jednotlivých pinů digitálního přijímače CS8416 – "Software Mode" [7]

Č. pinů	Zkratka	Popis funkce
14	AD0/ $\overline{\text{CS}}$	Pro I <sup>2</sup> C rozhraní, pin pro Bit 0 adresy čipu, pro SPI rozhraní, pin pro Chip Select signál
15	AD1/CDIN	Pro I <sup>2</sup> C rozhraní, pin pro Bit 1 adresy čipu, pro SPI rozhraní, pin pro datový vstup
16	SCL/CCLK	Vstup pro hodinový signál (pro obě rozhraní)
17	SDA/CDOUT	Pro I <sup>2</sup> C rozhraní, vstupně-výstupní komunikační kanál, pro SPI rozhraní, pin pro datový výstup
18	AD2	Pro I <sup>2</sup> C rozhraní, pin pro Bit 2 adresy čipu
18 – 20	GPO0..GPO2	Logické výstupy pro příznaky událostí obvodu CS8416

Tab. 3.8: Popis funkce jednotlivých pinů digitálního přijímače CS8416 – "Hardware Mode" [7]

Č. pinů	Zkratka	Popis funkce
10,11	RXSEL0 RXSEL1	Výběr přijímaného digitálního vstupu
12,13	TXSEL0 TXSEL1	Výběr digitálního vstupu, který prochází na pin TX
14	NV/RERR	Log. 1 značí chybný příjem digitálního signálu
15	AUDIO	Log. 1 značí výpadek digitálního signálu na vstupu
16	96KHZ	Log. 1 značí zpracování digitálního signálu o vzorkovacím kmitočtu 96 kHz a vyšším
17	RCBL	Log. 1 indikuje začátek přijatého stavového bloku
18	U	Výstup uživatelských dat přijímaného kanálu
19	C	Výstup stavových dat přijímaného kanálu
20	TX	Výstup průchozího signálu vybraného piny TXSEL

Pro účely této diplomové práce bude digitální přijímač nastaven pouze do pracovního režimu „Software Mode“, tedy bude možno jej řídit pomocí mikrokontroléru, prostřednictvím sériového komunikačního rozhraní a řídicích registrů. D/A převodník AD1852 je kompatibilní pouze s komunikačním rozhraním SPI, z toho důvodu bude toto komunikační rozhraní použito pro komunikaci jak s obvodem AD1852 tak s obvodem CS8416.

### 3.2.3 Popis řízení pomocí sériového komunikačního rozhraní

Pomocí komunikačního rozhraní SPI, se kterým je obvod CS8416 kompatibilní, má uživatel možnost adresovat vnitřní řídicí registry tohoto obvodu, pomocí kterých lze provádět značně flexibilní a univerzální nastavení. Obvod CS8416 disponuje celkem 40-ti řídicími registry, z toho prvních deset (na hexadecimálních adresách 00h až 09h) je přístupno pro čtení i zápis, dalších třicet (na hexadecimálních adresách 0Ah až 7Fh) je přístupno pouze pro čtení.

V této kapitole jsou pro zjednodušení popsány pouze registry, které obsluhují důležité funkce, resp. parametry zpracování obvodu CS8416, týkající se hlavně přenosu a zpracování audio signálu. Kompletní přehled všech řídicích registrů, včetně popisů všech dostupných funkcí, lze nalézt v dokumentaci k obvodu CS8416 [7].

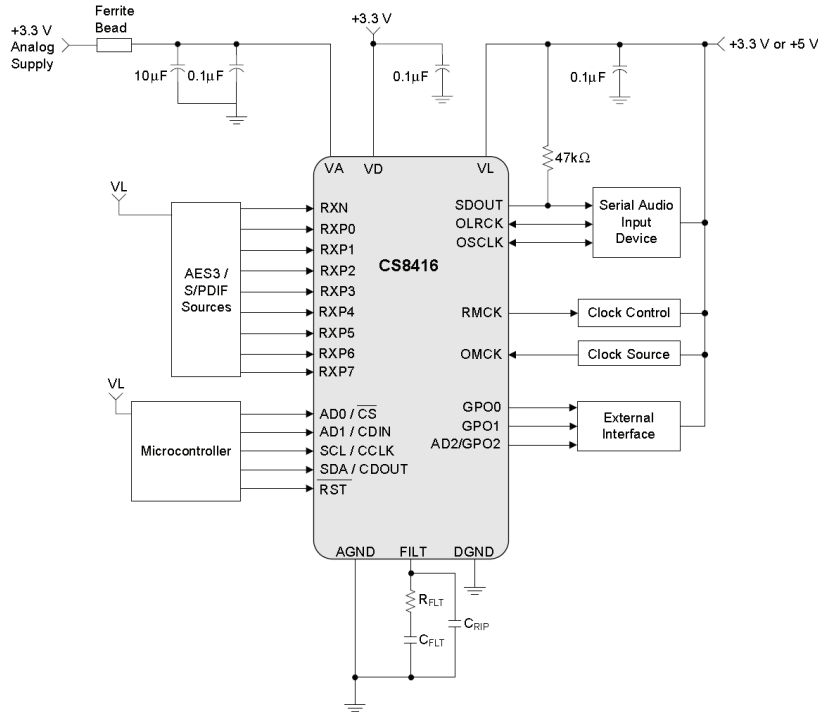
Tab. 3.9: Stručný přehled řídicích registrů pro nastavování funkcí obvodu CS8416 (převzato z [7])

Adr. / Bit	7	6	5	4	3	2	1	0
01h	SWCLK	MUTSAO	INT1	INT0	HOLD1	HOLD0	RMCKF	CHS
02h	DETCI	EMPH_C2	EMPH_C1	EMPH_C0	GPO0SEL3	GPO0SEL2	GPO0SEL1	GPO0SEL0
03h	GPO1SEL3	GPO1SEL2	GPO1SEL1	GPO1SEL0	GPO2SEL3	GPO2SEL2	GPO2SEL1	GPO2SEL0
04h	RUN	RXD	RXSEL2	RXSEL1	RXSEL0	TXSEL2	TXSEL1	TXSEL0
05h	SOMS	SOSF	SOSES1	SOSES0	SOJUST	SODEL	SOSPOL	SOLRPOL

- **MUTESAO** – ztlumení výstupního audio signálu
- **HOLD** – rozhoduje o způsobu nakládání s chybně přijatými vzorky digitálního audio signálu
- **RMCKF** – nastavení frekvence RMCK výstupního hodinového signálu
- **EMPH\_C** – řízení deemfázového filtru pro audio výstup
- **GPO[0,1,2]SEL** – nastavení kódů jednotlivých událostí, které reprezentují příznaky na jednotlivých GPO pinech
- **RUN** – spuštění normálního chodu obvodu CS8416, nastavuje se vždy do log. 1, po ustálení napájecího napětí, frekvence hodinového signálu a po prvotním nastavení všech řídicích registrů
- **RXSEL** – výběr jednoho z osmi signálových vstupů digitálního přijímače
- **SOSF** – volba výstupní frekvence signálu OSCLK
- **SORES** – nastavení bitové hloubky výstupních digitálních dat
- **SOJUST** – zarovnání výstupních audio dat
- **SODEL** – zpoždění digitálního výstupu oproti signálu OLRCK, pouze pro Left-Justified mód zarovnání audio dat (souvisí s nastavením normy I<sup>2</sup>S)
- **SOSPOL** – polarita hodinového signálu OSCLK
- **SOLRPOL** – polarita hodinového signálu OLRCK

Na Obr. 3.5 je uvedena základní koncepce zapojení obvodu digitálního přijímače CS8416 do navrhovaného zapojení pro pracovní režim „Software Mode“. Je doporučeno, podle [7], napájení VA pro smyčku fázového závěsu PLL přivádět ze samostatného napájecího zdroje přes feritový kroužek. Toto napájení by mělo být ideálně zcela odděleno od napájení digitální části VD, v praxi to ovšem není vždy zcela možné. Napájení VL v případě tohoto projektu je voleno +5 V. Zdroje signálu SPDIF a AES3 reprezentuje funkční blok na levé straně obrázku. Jedná se o libovolné zdroje digitálního audio signálu. Řídicí prvek, mikrokontrolér, v navrhovaném zapojení je propojen s obvodem CS8416 stejným způsobem jak je znázorněno na Obr. 3.5. Výstup digitálního audio signálu (SDOUT, OLRCK, OSCLK) ve třívodičovém rozhraní je na obrázku připojen k funkčnímu bloku „Serial Audio Input Device“, který v navrhovaném zapojení odpovídá D/A převodníku AD1852. V obrázku je rovněž naznačený pull-up rezistor s hodnotou 47 k $\Omega$ , který je připojen mezi napětí VL a pin SDOUT a slouží k nastavení obvodu CS8416 po startu do režimu řízení pomocí mikrokontroléru, tedy „Software Mode“. Blok „Clock Source“ představuje zdroj hodinového signálu připojený na pin OMCK, výstup hodinového signálu pro řízení navazující části obvodu, tedy zde přímo D/A převodníku, je odebírán z pinu RMCK. Piny GPO0, GPO1 a GPO2 pro přenos příznaků obvodu CS8416 jsou v navrhovaném zapojení propojeny opět s mikrokontrolérem. Mezi vývody AGND a FILT je připojený externí filtr pro smyčku fázového závěsu tvořený externími součástkami  $R_{FLT}$ ,  $C_{FLT}$  a  $C_{RIP}$ . Jaké jsou vlastnosti a požadavky na jednotlivé prvky filtru, včetně jejich doporučených nominálních hodnot, lze nalézt v dokumentaci k obvodu CS8416 [7]. V navrhovaném zapojení jsou tyto požadavky a doporučované hodnoty jednotlivých prvků dodrženy. Podle doporučení v dokumentaci tyto prvky musí být připojeny přímo na zem k napájecí větvi pro smyčku

fázového závěsu, tedy AGND. Spoje mezi jednotlivými součástkami by měly být voleny co nejkratší, aby nedocházelo k indukci rušivých signálů do těchto cest. Mělo by to za následek zhoršení vnitřních vlastností PLL smyčky fázového závěsu, včetně vzniku tzv. jitteru.



Obr. 3.5: Základní koncepce zapojení obvodu CS8416 pro řízení pomocí mikrokontroléru (převzato z [7])

### 3.3 Volba řídicího mikrokontroléru

Jako hlavní řídicí prvek obvodu s digitálním přijímačem a D/A převodníkem byl zvolen mikrokontrolér od firmy ATMEL, a sice model ATmega32. Jedná se o mikrokontrolér řady AVR v pouzdře DIP40. V úvahu by též připadal i model ATmega16 nebo podobný typ mikrokontroléru z této rodiny. Aby byl mikrokontrolér využitelný pro danou aplikaci, musí disponovat především dostatečným počtem vstupně-výstupních portů. Dále musí mít dostatečně velkou programovou paměť a nabízet podporu sériového komunikačního rozhraní SPI. Tato kritéria jsou v drtivé většině případů splněna.

### 3.4 Volba LCD displeje

LCD displej je možno vybrat z velké škály typů i výrobců. Pro využití v konstruovaném přípravku je vhodný displej podporující zobrazování textu (jako je např. typ displeje s řadičem HD44780 od firmy Everbouquet Wayton Technology). Jako vhodný typ byl vybrán 4-řádkový LCD displej bez podsvětlení. Výběr vhodného typu displeje závisí na kompatibilitě s mikrokontrolérem ATmega32 a na uživatelském prostředí hlavního ovládacího menu k řídicímu programu běžícím v mikrokontroléru. V Tab. 3.10 jsou uvedeny základní údaje zvoleného LCD displeje [8].

Tab. 3.10: Základní údaje zvoleného LCD displeje (převzato z [8])

Napájecí napětí $U_{CC}$	+5 V
Komunikace s LCD	4-bitová
Počet znaků v řádku $n_C$	16
Počet řádků $n_L$	4
Rozměry LCD displeje (š x v)	61,8 x 25,2

### 3.5 Volba výstupních audio obvodů

Protože zvolený D/A převodník, podle informací z [5], není vybaven interním obvodem pro rekonstrukci převedeného audio signálu, je potřeba za výstup převodníku dále zařadit externí výstupní audio obvody pro filtraci, tedy rekonstrukci signálu. Jedná se o zapojení dvou samostatných obvodů plnících jak funkci rekonstrukčních filtrů (tedy filtru typu dolní propust), tak i předzesilovačů signálu. Jako vhodné hlavní prvky těchto výstupních obvodů byly vybrány operační zesilovače s označením AD797 od firmy Analog Devices. Jedná se o velmi kvalitní, nízkošumové předzesilovače s poměrně nízkým zkreslením. Výstupní obvody zapojené za audio výstup D/A převodníku, kromě funkce zesílení výstupního signálu z D/A převodníku na potřebnou úroveň, plní rovněž funkci převodu symetrického signálu na nesymetrický. Navíc slouží k převodu signálu z proudového výstupu na výstup napěťový a také impedančně přizpůsobují výstupy D/A převodníku fyzickému (napěťovému) linkovému výstupu. V Tab. 3.11 jsou uvedeny základní údaje o zvolém operačním zesilovači [9].

Tab. 3.11: Základní údaje zvoleného operačního zesilovače AD797 (převzato z [9])

Rozsah napájecích napětí $U_{CC}$	$\pm 5$ V až $\pm 15$ V
Napěťové zesílení (při zátěži 600 $\Omega$ ) $A_U$	5
Šířka pásma $B$	110 MHz
Šumové napětí $U_N$	0,9 nV / $\sqrt{\text{Hz}}$
Celkové harmonické zkreslení $THD+N$	-120 dB (@ 20 kHz)
Doba ustálení $t_S$	800 ns
Rychlost přeběhu $SR$	20 V / $\mu\text{s}$

### 3.6 Obvodové schéma zapojení

Podkapitoly 3.6.1, 3.6.2 a 3.6.3 obsahují schémata zapojení celého obvodu. Návrhy desek plošných spojů a soupisky použitých součástek jsou umístěny v přílohách.

Z důvodů lepší manipulace s výrobkem během ožívování (např. kvůli programování mikrokontroléru), bylo celé zapojení rozděleno na tři desky plošných spojů. Stěžejní část celého zapojení tvoří hlavní DPS (Deska A). Tato bude zahrnovat digitální přijímač CS8416, D/A převodník AD1852, výstupní audio obvody, vstupní a výstupní audio konektory, dále konektor sloužící k propojení s řídicí deskou (Deskou B) a také konektor pro připojení napájení. Uživatel může pro příjem digitálního signálu

zvolit některý z celkem osmi signálových audio vstupů, kterými digitální přijímač disponuje, z toho šest z nich je vyvedeno na fyzické konektory pro různá rozhraní. Jedná se např. o rozhraní SPDIF (prostřednictvím konektorů TOBU3 nebo TOSLINK) nebo symetrické rozhraní AES3 (prostřednictvím konektorů XLR). Další dva signálové vstupy jsou vyvedeny na piny jumperu JP1. V případě potřeby je možno tyto kontakty použít a připojit k obvodu CS8416 prostřednictvím těchto pinů další dva libovolné digitální vstupy. V případě, kdy nejsou používány, jsou tyto jumpery spojkou přemostěny a dotyčné vstupy jsou tím uzemněny.

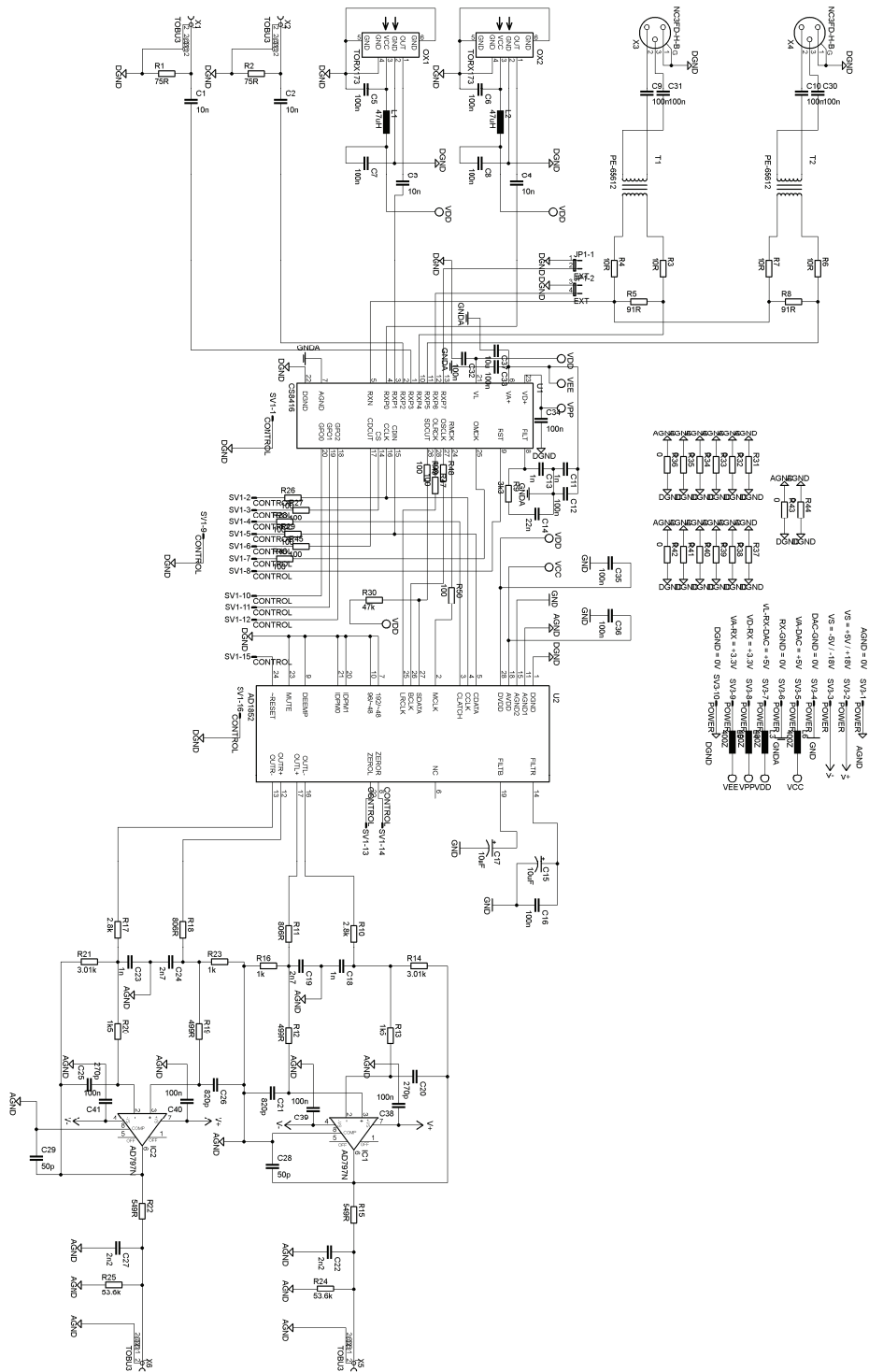
V návrhu desky plošných spojů, který je součástí přílohy B, je kladen důraz na kvalitu provedení zemních ploch, kdy jsou důsledně odděleny analogová a digitální zemní plocha. V návrhu je rovněž využito množství zemních prokovev. Cílem je snížení zemního odporu, což zajišťuje jednak dobré vzájemné odstínění všech digitálních i analogových signálů mezi sebou, jednak dobré vodivé propojení zemních ploch na straně TOP i BOTTOM.

Řídící obvod s ATmega32 je umístěn na druhou, samostatnou desku, tedy řídicí DPS (Deska B). Deska B obsahuje mikrokontrolér s jeho nezbytnými externími součástkami, resetovacím tlačítkem (pro případnou potřebu ručního resetování mikrokontroléru), konektory pro připojení tlačítek, LCD displeje, dále propojovací 16-pinový konektor s deskou A a také 6-pinový programovací konektor pro ISP programátor, který slouží k programování mikrokontroléru bez nutnosti jeho vyjmutí z patice na desce B. K desce B může být rovněž připevněn panel s LCD displejem a deska s ovládacími tlačítky, jejichž čelní části budou umístěny na vrchní straně šasi hotového prototypu.

Deska s tlačítky je umístěna na samostatnou desku plošného spoje. Obsahuje pět ovládacích tlačítek vhodného typu, propojovací kabel s deskou B a také SMD rezistory pro LED podsvícení tlačítek. Tlačítka z této desky budou upevněna na vrchní stranu šasi takovým způsobem, aby bylo docíleno pohodlného ovládání hotového prototypu.

### 3.6.1 Deska A – schéma zapojení

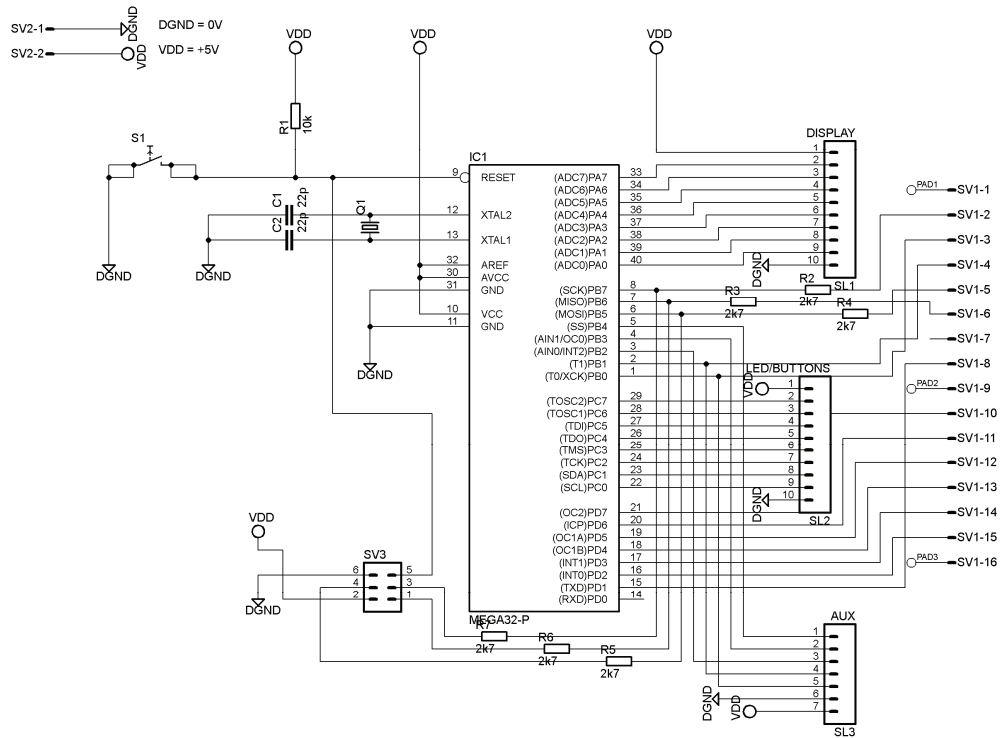
Na Obr. 3.6 je prezentováno obvodové schéma zapojení desky A. Schéma zapojení bylo částečně převzato ze zdrojů [5], [7], [10] a [11] a bylo patřičně modifikováno tak, aby bylo splněno zadání této diplomové práce.



Obr. 3.6: Schéma zapojení desky A

### 3.6.2 Deska B – schéma zapojení

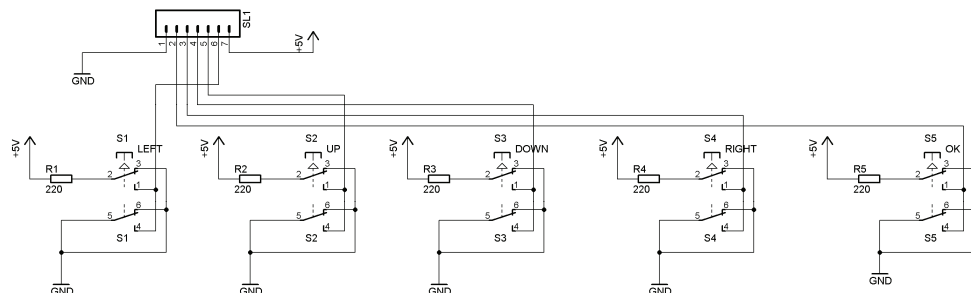
Na Obr. 3.7 je vyobrazeno obvodové schéma zapojení řídicí DPS (deska B). Schéma zapojení bylo z části převzato z doporučeného zapojení ve zdrojích [12], [13] a [14] a bylo modifikováno tak, aby bylo splněno zadání této diplomové práce.



Obr. 3.7: Schéma zapojení desky B

### 3.6.3 Deska s tlačítky – schéma zapojení

Na Obr. 3.8 je uvedeno schéma desky s tlačítky. Pro ovládání uživatelského MENU bude tlačítek celkem pět. Jedná se o čtyři tlačítka s obrázky šipek doleva, doprava, nahoru, dolů a jedno tlačítko s nápisem OK. Jedná se o tlačítka typu KS01 s matně stříbrným potahem hmatníků.



Obr. 3.8: Schéma zapojení desky s tlačítky

## 3.7 Poznámky ke konstrukční části projektu

### 3.7.1 Deska A

Hlavním kritériem v oblasti návrhu zapojení s D/A převodníkem je striktní oddělení analogové a digitální části obvodu. Vždy je potřeba umístit na DPS všechny pasivní i aktivní prvky obvodu takovým způsobem, aby mohla být na DPS jasně vytyčena část digitální i analogová. V přímé souvislosti s tímto krokem je potřeba také rozdělit signálovou zem zvlášť na analogovou a digitální. Před ožívováním je však nutné tyto země spojit nulovou propojkou nebo krátkým vodičem v jednom místě, a to nejlépe přímo pod pouzdem D/A převodníku nebo v jeho těsné blízkosti. K tomuto účelu jsou určeny připravené pozice pro nulovací propojky, které jsou na desce navrženy mezi oběma zeměmi, na straně TOP i BOTTOM. V případě, že by po oživení celého zapojení výstupní audio signál vykazoval nežádoucí vlastnosti, např. silný brum nebo šum, je možno zmiňovanou propojku odstranit a přesunout na jinou připravenou pozici na desce A. Napájecí zdroje pro analogovou i digitální část by měly být zcela oddělené. Dále je také vhodné na DPS oddělit napájecí větve pro každý integrovaný obvod zvlášť, nebo alespoň separovat napájecí větve pro smyčku fázového závěsu digitálního přijímače a její zem spojit s ostatními zeměmi v jednom bodě. Také je podle [7] vhodné, při návrhu napájecího okruhu pro smyčku fázového závěsu digitálního přijímače, vyvarovat se trasování cest tohoto napájení nebo země v blízkosti spojů s datovými nebo hodinovými signály. Zamezí se tím pronikání rušení do napájecího napětí pro smyčku fázového závěsu, které by mělo za následek vznik tzv. jitteru (tedy fázové nestability hodinového signálu) na výstupu smyčky fázového závěsu. Stejně tak není vhodné trasovat datové nebo hodinové signály poblíž externího filtru smyčky fázového závěsu.

Konektory vstupních signálů jsou připojeny k digitální signálové zemi. Při návrhu obvodu je zde možnost vyhradit samostatnou zem na desce plošného spoje pouze pro tyto konektory a jejich nejbližší součásti, hned vedle země digitální, a tyto obě země pak navzájem propojit v jednom místě. Za předpokladu, že ke vstupnímu signálu není z vnějšku indukováno žádné rušení, to ale není nezbytné.

Jak bylo uvedeno v kapitole 3.2.2, digitální přijímač CS8416 je možno nastavit do dvou různých pracovních režimů, a sice „Hardware Mode“ nebo „Software Mode“. Nastavení příslušného režimu lze docílit následovně: Pro nastavení „Hardware Mode“ je nutno spojit pin SDOUT se zemí (DGND) přes rezistor 47 k $\Omega$  (tedy pull-down rezistor), pro nastavení „Software Mode“ je nutno spojit pin SDOUT s napájecím napětím VL přes rezistor 47 k $\Omega$  (tedy pull-up rezistor). Funkce jednotlivých pinů digitálního přijímače je tak dána na základě tohoto nastavení. V navrhovaném zapojení na Obr. 3.6 je tento pull-up rezistor označen jako R30.

Analogová část desky A obsahuje audio výstupy D/A převodníku AD1852, dále výstupní filtrační obvody s operačními zesilovači AD797 a fyzický audio analogový výstup, který je z desky vyveden pomocí dvou konektorů CINCH (typ TOBU3). Napájecí napětí pro operační zesilovače AD797 je symetrické, může se pohybovat mezi  $\pm 5$  V až  $\pm 15$  V, v tomto případě je možno hodnotu napájení zvolit např.  $\pm 9$  V nebo  $\pm 12$  V [9], [10].

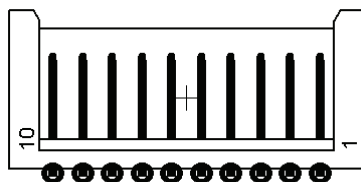
Obvod AD1852 disponuje dvěma piny s označením AGND, z čehož je zřejmé, že jedna analogová zem je určena pro připojení země z napájecího zdroje a druhá pro

připojení signálové země. Obvod D/A převodníku je vybaven také analogovou napěťovou referencí, která si žádá připojení filtračních kapacitorů k příslušným pinům FILTR a FILTB. Výstupy pro analogový audio signál z obvodu AD1852 jsou symetrické. Piny OUTL+ a OUTL- jsou tedy výstupy pro levý kanál (s pozitivní a negativní polaritou) a stejně tak piny OUTF+ a OUTF- jsou výstupy pro pravý kanál. Spoje vedoucí diferenční páry těchto výstupních signálů je vhodné navrhnout tak, aby obě cesty vedoucí signály byly trasovány těsně u sebe a kopírovaly pokud možno co nejvíce stejnou dráhu. Plocha mezi smyčkami těchto spojů by tak měla být co nejmenší, aby se tím zamezilo průniku dalších rušivých signálů. Případné rušení, které by se do obou diferenčních párů indukovalo (za předpokladu, že oba signály jsou zarušeny stejným rušivým signálem či brumem), by mělo být vzájemně odečteno v operačním zesilovači výstupního audio obvodu. Docílí se tím dvojnásobné amplitudy užitečného signálu a naopak velmi kvalitního potlačení rušivých signálů [5], [6], [7], [10], [11].

Protože celé zapojení bude vyrobeno ve formě prototypu a primárně bude určeno jako laboratorní přípravek do laboratoře nízkofrekvenční techniky, nezahrnuje tato diplomová práce žádný návrh napájecího zdroje. Požadovaná napětí pro celý výrobek bude zajišťovat vhodný laboratorní zdroj z výukové laboratoře.

### 3.7.2 Připojení konektorů napájení a řídicího rozhraní

Tato podkapitola popisuje propojení napájecích okruhů a vstupně-výstupních řídicích signálů z desky A na piny jednotlivých konektorů. Na Obr. 3.9 je naznačeno číslování pinů napájecího konektoru a v Tab. 3.12 se nachází popis jednotlivých druhů napětí na každém pinu.

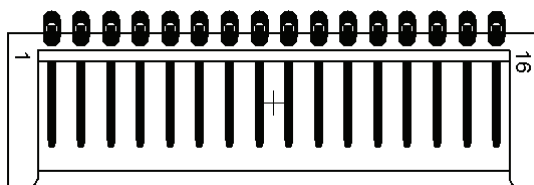


Obr. 3.9: Zapojení pinů v napájecím konektoru (pohled ze strany TOP)

Tab. 3.12: Zapojení pinů v napájecím konektoru

Č. pinu	Označení ve schématu	Hodnota napětí	Popis signálu
1	AGND		Analogová signálová zem
2	+VS / V+	+5 V až +15 V	Pozitivní větev symetrického zdroje
3	-VS / V-	-5 V až -15 V	Negativní větev symetrického zdroje
4	DAC-GND / GND		Napájecí zem pro D/A převodník
5	VA-DAC / VCC	+5 V	Analogové napájení pro D/A převodník
6	RX-GND / GNDA		Napájecí zem pro PLL dig. přijímače
7	VL-RX-DAC / VDD	+5 V	Digitální napájecí větev obvodů
8	VD-RX / VPP	+3,3 V	Napájecí větev pro digitální přijímač
9	VA-RX / VEE	+3,3 V	Napájecí větev pro PLL dig. přijímače
10	DGND		Digitální signálová zem

Obdobně jako v případě napájecího konektoru, zde budou přehledně popsány signály vstupně-výstupního rozhraní, které jsou přenášeny mezi deskou A a deskou B. Na Obr. 3.10 je naznačeno číslování pinů a v Tab. 3.13 se nachází popis jednotlivých signálů vstupně-výstupního rozhraní na každém pinu.



Obr. 3.10: Zapojení pinů konektoru vstupně-výstupního rozhraní (pohled ze strany TOP)

Tab. 3.13: Zapojení pinů konektoru vstupně-výstupního rozhraní

Č. pinu	Ozn. pinu Dig. př. a DAC	Ozn. pinu ATmega32	Popis funkce
1	DGND	GND	Zemnicí pin
2	CCLK/MCLK	SCK / PB7	D.př. , D/A přev. – hodinový signál pro SPI rozhraní
3	$\overline{\text{CS}}$	T0/XCK / PB0	D.př. – adresovací signál SPI rozhraní pro dig. př.
4	CLATCH	T1 / PB1	D/A přev. – potvrzovací signál SPI rozhraní pro D/A přev.
5	CDIN/CDATA	MOSI / PB5	D.př. , D/A přev. – výstupní data SPI rozhraní
6	CDOUT	MISO / PB6	D.př. – vstupní data SPI rozhraní
7			
8	$\overline{\text{RST}}$	TXD / PD1	D.př. – resetovací pin
9	DGND	GND	Zemnicí pin
10	GPO0	OC2 / PD7	D. př. – pin č.0 stavových příznaků audio signálu
11	GPO1	ICP / PD6	D. př. – pin č.1 stavových příznaků audio signálu
12	GPO2	OC1A / PD5	D. př. – pin č.2 stavových příznaků audio signálu
13	ZEROL	OC1B / PD4	D/A přev. – nulový audio signál v levém kanálu
14	ZEROR	INT1 / PD3	D/A přev. – nulový audio signál v pravém kanálu
15	$\overline{\text{RESET}}$	INT0 / PD2	D/A přev. – resetovací pin
16	DGND	GND	Zemnicí pin

### 3.7.3 Deska B

Klíčovým prvkem řídicí desky je mikrokontrolér ATmega32 v provedení DIP40. Nezbytnými diskrétními součástkami nutnými k fungování mikrokontroléru jsou krystal Q1 s frekvencí 16,00 MHz, keramické kondenzátory C1 a C2 s kapacitou 22 pF a resetovací tlačítko S1 umístěné na levé straně desky. Kromě propojovacího konektoru s deskou A, se na desce B nachází ještě několik dalších propojovacích konektorů. Jedná se o konektor pro připojení LCD displeje (připojen k portu A mikrokontroléru), konektor pro připojení tlačítek (připojen k portu C mikrokontroléru) a konektor s vyvedenými nepoužitými vstupně-výstupními piny (část portu B mikrokontroléru), které mohou být využity k různým účelům, např. připojení signalizačních diod apod. Tento konektor je označený jako AUX. Všechny konektory pro připojení vnějších

periferií mají vždy na jednom z pinů přivedenu zem a na druhém z pinů napájecí napětí +5 V. Uvedené řešení umožňuje komfortní přivedení napájecího napětí ke všem připojovaným periferiím, ovšem v praxi je použitelné pouze pro proudově nenáročné aplikace (do proudového odběru  $I_{\max} = 100 \text{ mA}$ ). Dále je na desce umístěn ISP programovací konektor typu MLW06 pro rychlé programování a ladění programového kódu. Programovací rozhraní mikrokontroléru je vyvedeno přes rozhraní SPI a jedná se tak o sdílenou linku s programátorem i oběma čipy na desce A. ISP programátor ovšem není k mikrokontroléru připojen trvale a za normálního chodu obvodu neovlivňuje funkci desky A. Piny na ISP konektoru jsou zapojeny podle doporučení firmy ATMEL, jak je prezentováno ve zdrojích [12], [13], [14].

## 4 NÁVRH ŘÍDÍCÍHO PROGRAMU

V kapitole 4 bude popsána problematika řízení D/A převodníku a digitálního přijímače pomocí sériového komunikačního rozhraní SPI. Budou zde popsány funkce programu, také řídicí příkazy pro nastavování parametrů digitálního přijímače i D/A převodníku včetně popisů hlaviček funkcí programového kódu, který je uložen v příloze. Také zde budou popsány časové průběhy řídicích sekvencí.

### 4.1 Popis zapojení rozhraní SPI

Jak bylo uvedeno v minulých kapitolách (3.1.3 a 3.2.3), k řízení a nastavování všech parametrů obou obvodů je použito sériové komunikační rozhraní, které poskytuje jednosměrnou (v případě D/A převodníku AD1852) a obousměrnou komunikaci (v případě digitálního přijímače CS8416) s mikrokontrolérem prostřednictvím čtyřvodičového komunikačního rozhraní SPI. Ústředním prvkem pro inicializaci každé přenosové relace je mikrokontrolér ATmega32, který pracuje v režimu Master (tedy nadřazený prvek). Oba obvody pracují v režimu Slave (tedy podřazené prvky). Při povolení přenosového rozhraní SPI v mikrokontroléru ATmega32, jsou pro danou obousměrnou komunikaci vyhrazeny vstupně-výstupní piny na portu B. Tab. 4.1 popisuje funkce jednotlivých pinů komunikačního rozhraní SPI.

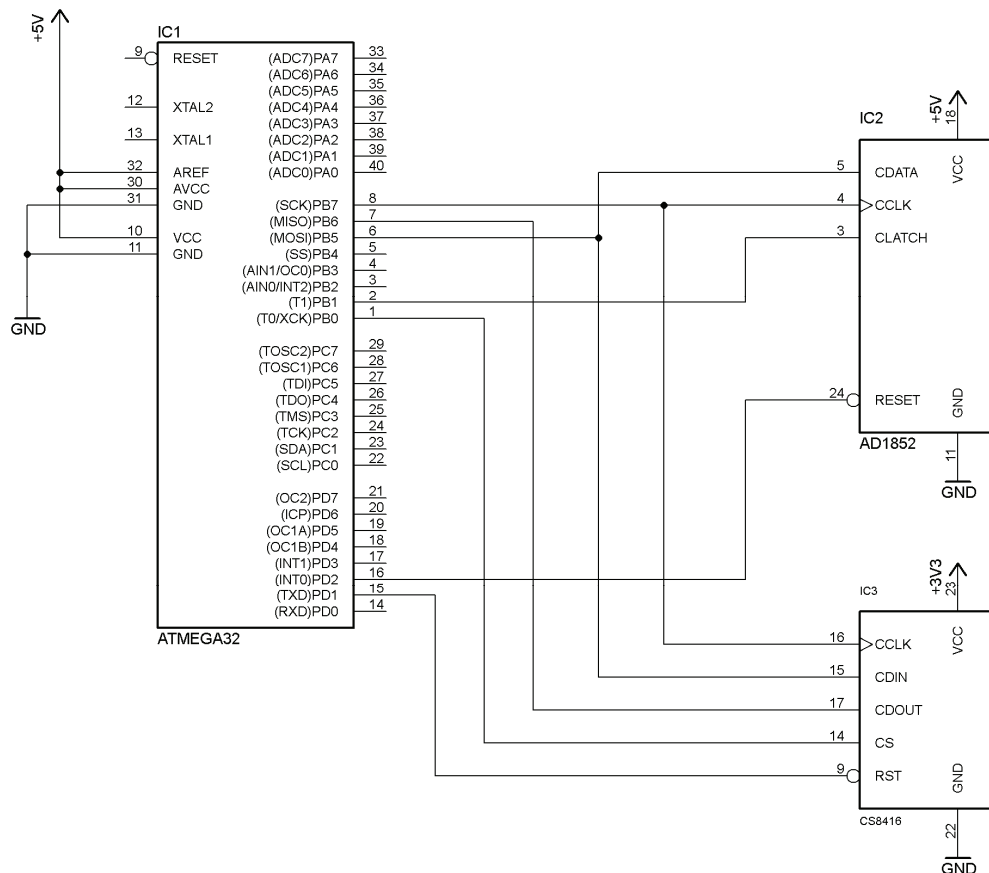
Tab. 4.1: Popisy pinů mikrokontroléru ATmega32 řídicího rozhraní SPI (převzato z [12])

Označení pinu	Zkratka	Funkce
PB7	SCK	Hodinový signál
PB6	MISO	Vstup dat z vnějších obvodů
PB5	MOSI	Výstup dat k vnějším obvodům
PB4	$\overline{SS}$	Signál pro adresování daného Slave zařízení

Signál z pinu PB7 (SCK) tak bude přiveden ke vstupům hodinového signálu pro oba obvody. Stejným způsobem bude přiveden signál z pinu PB5 (MOSI). Signál na pin PB6 (MISO) bude přiveden pouze z digitálního přijímače, jelikož obvod D/A převodníku není vybaven pinem pro zpětnou komunikaci směrem k mikrokontroléru. Nicméně, i přes tento nedostatek lze obvod AD1852 bez problémů nastavovat, pokud bude samotný programový kód sestaven takovým způsobem, aby byly v datové paměti mikrokontroléru uloženy všechny informace o parametrech D/A převodníku, nastavované v předchozích krocích běhu programu. Digitální přijímač je možno nastavovat i jiným způsobem, jelikož v prvním kroku je možno přečíst aktuální nastavení požadovaného kontrolního registru a v druhém kroku toto nastavení podle potřeby změnit nebo ponechat. Signál z pinu PB4 ( $\overline{SS}$ ) je v nečinném stavu SPI přenosu v log. 1 a v okamžiku začátku přenosu je překlopen do log. 0. Po odeslání jednoho řídicího slova je signál  $\overline{SS}$  opět překlopen do log. 1. Jelikož obvod ATmega32 používá primárně při SPI komunikaci velikost přenášeného slova 8 bitů, a pro řízení obou

obvodů je potřeba generovat tento signál nejméně po přenesených 16 bitech, je nutno generovat signál  $\overline{SS}$  (resp.  $\overline{CS}$  nebo CLATCH) za pomoci jiného, samostatného výstupního pinu, který je překlápen mezi hodnotami log. 0 a log. 1 podle řídicího programu, tedy podle požadavků na řízení každého obvodu.

Na Obr. 4.1 je vyobrazeno zjednodušené zapojení komunikačního rozhraní SPI mezi obvodem ATmega32 (jako Master) a obvody CS8416 a AD1852 (jako Slave).



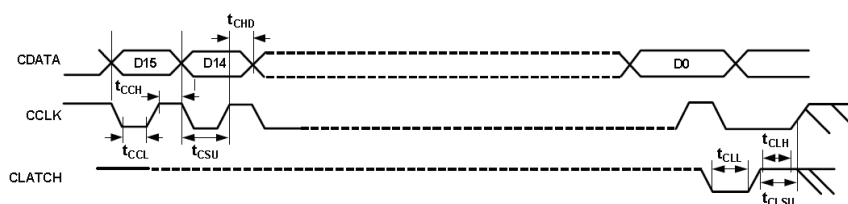
Obr. 4.1: Zapojení komunikačního rozhraní SPI mikrokontroléru s řízenými obvody

## 4.2 Řízení D/A převodníku AD1852

Jak již bylo řečeno v podkapitole 3.1, jedním ze způsobů řízení D/A převodníku je řízení pomocí jeho funkčních pinů. Řízení se provádí pomocí přivedení log. 1 (napětí +5 V) nebo přivedením log. 0 (připojení na digitální zem). Tento způsob řízení je sice jednodušší, logický a nenáročný, avšak pro potřeby tohoto projektu málo efektivní a neobsahuje zcela všechny dostupné parametry nastavitelných funkcí. Druhý způsob řízení D/A převodníku, prostřednictvím kontrolních registrů adresovatelných prostřednictvím komunikačního rozhraní SPI, je daleko univerzálnější. Tato kapitola popisuje časové průběhy SPI řídicích sekvencí pro D/A převodník AD1852 a jejich základní vlastnosti [5].

Maximální frekvence hodinového signálu CCLK pro přenos řídicích sekvencí, kterou je schopen obvod AD1852 zpracovat, je 25 MHz. Maximální rychlost přenosu dat je tedy 25 Mbit/s. Minimální rychlost přenosu není stanovena. Maximální frekvence hodinového signálu, kterou je schopen dodat mikrokontrolér ATmega32, je 16 MHz. Pro potřeby tohoto projektu však může být rychlost přenosu zvolena daleko nižší než jsou tyto mezní hranice obou obvodů. Menší rychlost přenosu dat může být použita, protože objem přenášených dat mezi mikrokontrolérem a D/A převodníkem je malý. Tato data bývají zapisována do registrů převodníku v nepravidelných intervalech, a to pouze v okamžiku nastavování některého z parametrů. Dalším důvodem volby menší rychlosti přenosu dat jsou méně časté přechody mezi logickými stavy, což má za následek menší míru rušení indukovaného do ostatních částí obvodu [5], [12].

Sériová 16-bitová data přenášená prostřednictvím pinu CDATA obvodu AD1852 jsou nastavována na náběžné hrany hodinového signálu CCLK a jsou vzorkována při sestupných hranách hodinového signálu CCLK. Signál CLATCH je po celou dobu přenosu ve stavu log. 1 a po skončení celého přenosu, tedy těsně před skončením doby trvání posledního přenášeného bitu, je přeplopen do log. 0 a v tomto stavu setrvává, dokud není přenesen poslední bit a hodinový signál CCLK se nenachází v log. 0. Poté je signál CLATCH přeplopen znovu do log. 1. Jedná se v podstatě o krátký závit do log. 0, kterým mikrokontroler vůči obvodu AD1852 potvrzuje kompletní přenos celé 16-bitové řídicí sekvence. Obr. 4.2 naznačuje celý tento popisovaný proces přenosu [5], [6], [12].



Obr. 4.2: Časový průběh SPI komunikace s obvodem AD1852 (převzato z [5])

Bit s označením D15 představuje MSB, bit s označením D0 představuje LSB. Mezní hodnoty časů jednotlivých stavů (související obvykle s maximální možnou rychlostí přenosu dat) jsou uvedeny v dokumentaci [5].

Tab. 4.2 udává příklady sekvencí, kterými jsou nastavovány jednotlivé parametry převodníku a které budou přenášeny pomocí sériového komunikačního rozhraní. Zleva je vždy uveden název daného parametru a v závorce příklad jeho nastavení. Oranžově jsou vyznačeny bity, resp. pozice bitů, které jsou zodpovědné za řízení daného parametru, zeleně označené dva spodní bity udávají adresu kontrolního registru. Při nastavování kontrolního registru s adresou „01“ je možno nastavit všechny dostupné parametry převodníku pomocí jednoho 16-bitového slova. Včetně nastavení hlasitosti je možno nastavit převodník ve třech krocích. Nicméně, všechny dostupné parametry D/A převodníku budou řídicím programem řízeny každý zvlášť [5].

Tab. 4.2: Příklady řídicích sekvencí pro obvod AD1852

Funkce	CDATA – sériová řídicí sekvence															
	$D_{15}$	$D_{14}$	$D_{13}$	$D_{12}$	$D_{11}$	$D_{10}$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
Volume left (MAX)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
Volume right (MAX)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
INT Mode (2X)	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
INT Mode (4X)	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
No. of bits (16)	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
RESET (aktivní)	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
MUTE (aktivní)	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Serial mode (DSP)	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1
De-emphasis f. (44.1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

### 4.3 Řízení digitálního přijímače CS8416

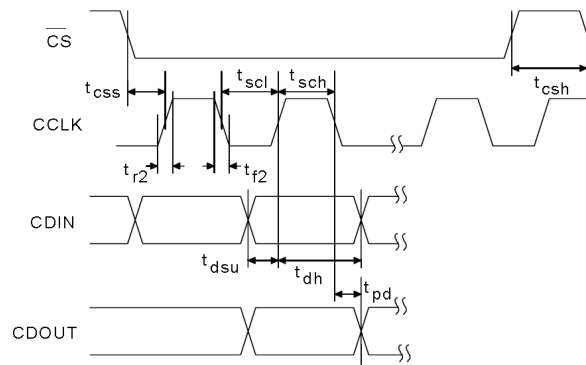
Jak bylo uvedeno v kapitole 3.2, podobným způsobem jako u D/A převodníku AD1852, je možno také řídit digitální přijímač CS8416, a sice pomocí logických signálů (0,1) přiváděných na dané funkční piny. Tento způsob řízení přijímače je z hlediska funkčnosti možný, ovšem je vhodnější pro aplikace, které nevyžadují flexibilitu nastavení všech parametrů (tj. např. v aplikacích pro domácí kino, zvukový výstup z DVD přehrávače apod.). Navíc tento způsob řízení skýtá podstatně užší spektrum možností než u režimu řízení pomocí mikrokontroléru (tj. než tzv. pracovní režim „Software Mode“) [7].

Další způsob řízení digitálního přijímače, tedy pomocí sériové komunikační sběrnice, patří k velmi univerzálním a přináší velkou flexibilitu nastavení obvodu. Sériová komunikace pomocí sběrnice SPI je zde realizována prostřednictvím 4 pinů, u nichž je jasně dán směr komunikace mezi obvodem a mikrokontrolérem (analogicky jako u D/A převodníku). Na rozdíl od obvodu AD1852, zde je obvod CS8416 vybaven i zpětným komunikačním kanálem. Díky tomu lze např. vyčíst z požadovaných kontrolních registrů informace o formátu digitálního signálu z přijímaného zařízení. Tuto informaci poté zpracuje mikrokontrolér a může např. automaticky změnit nastavení některého parametru D/A převodníku a také zobrazit patřičný údaj na LCD displeji.

Jak se dále uvádí v [7], tento obvod podporuje dvoje rozhraní pro sériovou komunikaci, tedy nejen SPI (které bude použito), ale také rozhraní I<sup>2</sup>C. Pro sériovou komunikaci SPI tedy budou použity piny s označením CDOUT, CCLK, CDIN a  $\overline{CS}$ .

Maximální frekvence hodinového signálu SPI rozhraní, kterou je schopen obvod CS8416 zpracovat bez problémů, je 6,0 MHz. Maximální rychlost přenosu dat je tedy 6 Mbit/s. Minimální rychlost přenosu není přesně stanovena. V každém případě, podle dokumentace [7], je doporučeno volit frekvenci hodinového signálu SPI komunikace méně než 4,1 MHz. Mikrokontrolér je schopen dosáhnout maximální frekvence hodinového signálu pro SPI komunikaci 16 MHz. Pro potřeby tohoto projektu ale tato frekvence bude zvolena nižší. Sériová řídicí data na sběrnici SPI (tedy CDIN a CDOUT) jsou nastavována na sestupné hrany hodinového signálu CCLK a jsou vzorkována při náběžných hranách hodinového signálu CCLK. Situaci při přenosu sériových dat pomocí komunikační sběrnice SPI popisuje dále obrázek Obr. 4.3

[7], [12].



Obr. 4.3: Časový průběh SPI komunikace s obvodem CS8416 (převzato z [7])

Mezní hodnoty časů jednotlivých stavů (související obvykle s maximální možnou rychlostí přenosu dat) jsou uvedeny v [7]. Podkapitola 4.3.1 se zabývá popisem zápisu datové sekvence do kontrolních registrů a podkapitola 4.3.2 se zabývá popisem čtení datové sekvence z kontrolních registrů.

### 4.3.1 Zápis do kontrolního registru

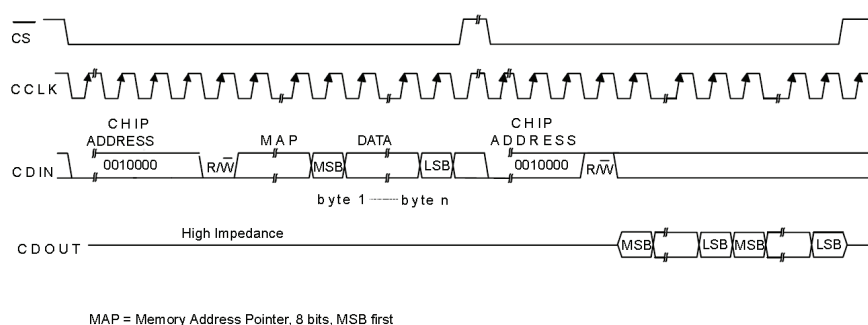
Pro zápis do kontrolního registru obvodu CS8416 je nutné v prvním kroku překlopit signál  $\overline{CS}$  do log. 0 a dále po sběrnici SPI odeslat tzv. adresu čipu pro tento obvod. Ta je stanovena jako osmice bitů „0010000X“. Poslední bit označený X, je bit udávající proces čtení nebo zápisu (tzv. bit R/ $\overline{W}$ ). Pro zápis do kontrolního registru je tedy  $X = 0$ . V druhém kroku je potřeba po SPI sběrnici odeslat adresu nastavovaného kontrolního registru. Adresa je v obvodu ukládána do proměnné označené MAP (Memory Address Pointer). Obsahuje celkem 7 bitů, odesílaná sekvence je osmibitová, MSB je rovno nule. Maximální adresa, kterou je možno takto adresovat, je tedy „0111111“ (tedy „07Fh“). V dalším kroku, po odeslání adresy do proměnné MAP, je možno odeslat samostatnou osmibitovou sekvenci pro nastavení registru na adrese udávané pomocí MAP. Stejný název proměnné (tedy MAP), se stejnou funkcí je pro přehlednost použit i ve zdrojovém kódu pro ovládací knihovnu CS8416. Po odeslání osmice bitů pomocí SPI je provedeno nastavení registru na adrese MAP.

Nyní je v případě potřeby možné odeslat další osmici bitů (řídící sekvenci), která nastavuje kontrolní registr na adrese MAP+1, poté lze odeslat další sekvence nastavení kontrolních registrů na adresu vždy o jedničku vyšší než odpovídá adrese registru z předchozí sekvence. Proměnná adresy MAP je totiž vždy bezprostředně po nastavení prvního kontrolního registru navýšena o 1. Po procesu nastavení posledního kontrolního registru je nutné překlopit signál  $\overline{CS}$  do zpět log. 1, čímž mikrokontrolér signalizuje obvodu CS8416 konec přenosu dat v této relaci. Pin CDOUT (výstupní pin obvodu CS8416) je po celou dobu zápisu do kontrolních registrů ve stavu vysoké impedance, tedy není možno z něj číst jakákoli data. Obr. 4.4 vyobrazuje popisovanou situaci [7].

### 4.3.2 Čtení z kontrolního registru

Pro čtení z kontrolního registru obvodu CS8416 je nutné v prvním kroku překlopit signál  $\overline{CS}$  do log. 0 a dále provést zápis adresy čipu pro zmiňovaný obvod. Tato adresa představuje kód „0010000X“. Poslední bit X opět představuje bit označující operaci zápisu nebo čtení. V tomto případě, pro čtení z kontrolního registru, bude tedy  $X = 1$ . V dalším kroku je potřeba opět provést zápis adresy registru, MAP. Sekvence tedy bude představovat např. „01111111“ (tedy „07Fh“). Ihned po provedení zápisu adresy MAP je potřeba překlopit signál  $\overline{CS}$  do log. 1. V dalším kroku, ihned jakmile je mikrokontrolér připraven ke čtení (čekací doba by měla být nejméně 1  $\mu$ s), je signál  $\overline{CS}$  překlopen do log. 0 a dále je odeslána opět adresa čipu s posledním bitem nastaveným pro čtení, tedy „0010001“. Bezprostředně po odeslání této adresy pin CDOU opouští stav vysoké impedance a CS8416 prostřednictvím tohoto pinu začne odesílat data k mikrokontroléru.

Podobně jako v minulé podkapitole, i zde, v případě potřeby, pokud je hodinový signál stále aktivní a signál  $\overline{CS}$  v log. 0, je možno kontinuálně vyčítat data z dalších (následujících) registrů na adresách MAP+1, MAP+2 atd. Adresovací proměnná MAP se po přečtení prvního kontrolního registru automaticky okamžitě navyšuje o 1. Po přečtení jednoho nebo více potřebných registrů je potřeba překlopit signál  $\overline{CS}$  zpět do log. 1, čímž se ukončí relace čtení kontrolních registrů obvodu CS8416. Obr. 4.4 vyobrazuje popisovanou situaci [7].



Obr. 4.4: Zápis do kontrolního registru a čtení z kontrolního registru pomocí SPI rozhraní (převzato z [7])

### 4.3.3 Řídící sekvence pro obvod CS8416

V podkapitolách 4.3.1 a 4.3.2 byl popsán způsob, jakým lze docílit zápisu dat nebo přečtení dat z některého z kontrolních registrů obvodu CS8416. Tato podkapitola se zabývá konkrétním nastavením jednotlivých registrů. Bude uveden příklad konkrétního nastavení, které by mělo být provedeno řídicím programem po startu a inicializaci obvodu.

Tab. 4.3 obsahuje souhrn jednotlivých kontrolních registrů, do kterých lze data zapisovat, a které budou nastavovány pomocí řídicího programu. V levém sloupci se nachází adresa kontrolního registru v hexadecimálním tvaru, pravá část tabulky pak obsahuje konkrétní bity řídicích sekvencí, které provedou celkové počáteční nastavení digitálního přijímače.

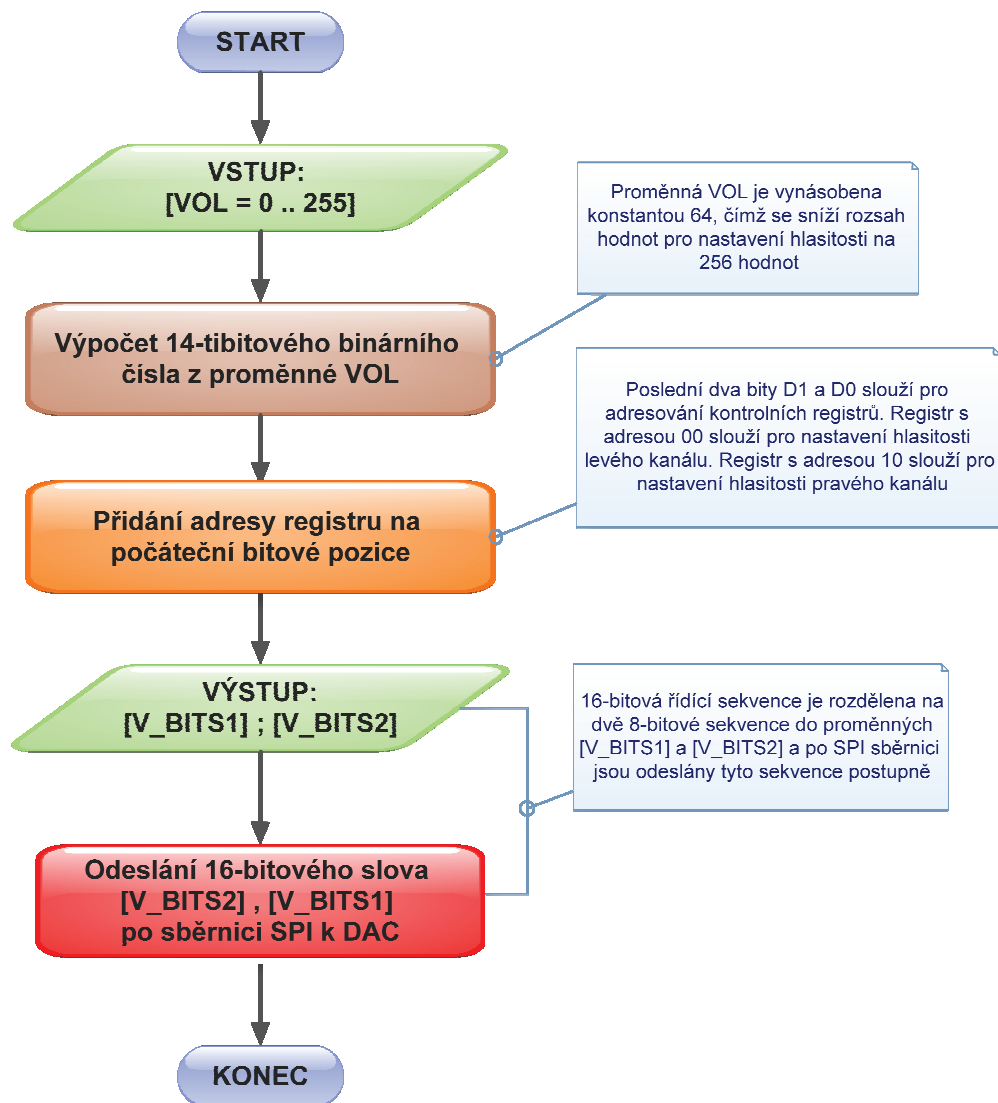
Tab. 4.3: Příklad řídicích sekvencí pro počáteční nastavení registrů obvodu CS8416

Adresa kontrolního registru (MAP)	CDIN – sériová řídicí sekvence							
	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
00h	0	0	0	0	1	0	0	0
01h	1	0	0	0	0	0	0	0
02h	0	1	0	0	1	0	0	0
03h	0	0	1	0	0	0	0	1
04h	1	0	0	0	0	0	0	1
05h	1	0	1	0	0	0	0	0
06h	0	0	0	1	1	1	1	1
07h	0	1	0	0	0	1	0	1
08h	0	1	1	1	1	1	1	1
09h	0	0	0	0	0	0	0	0

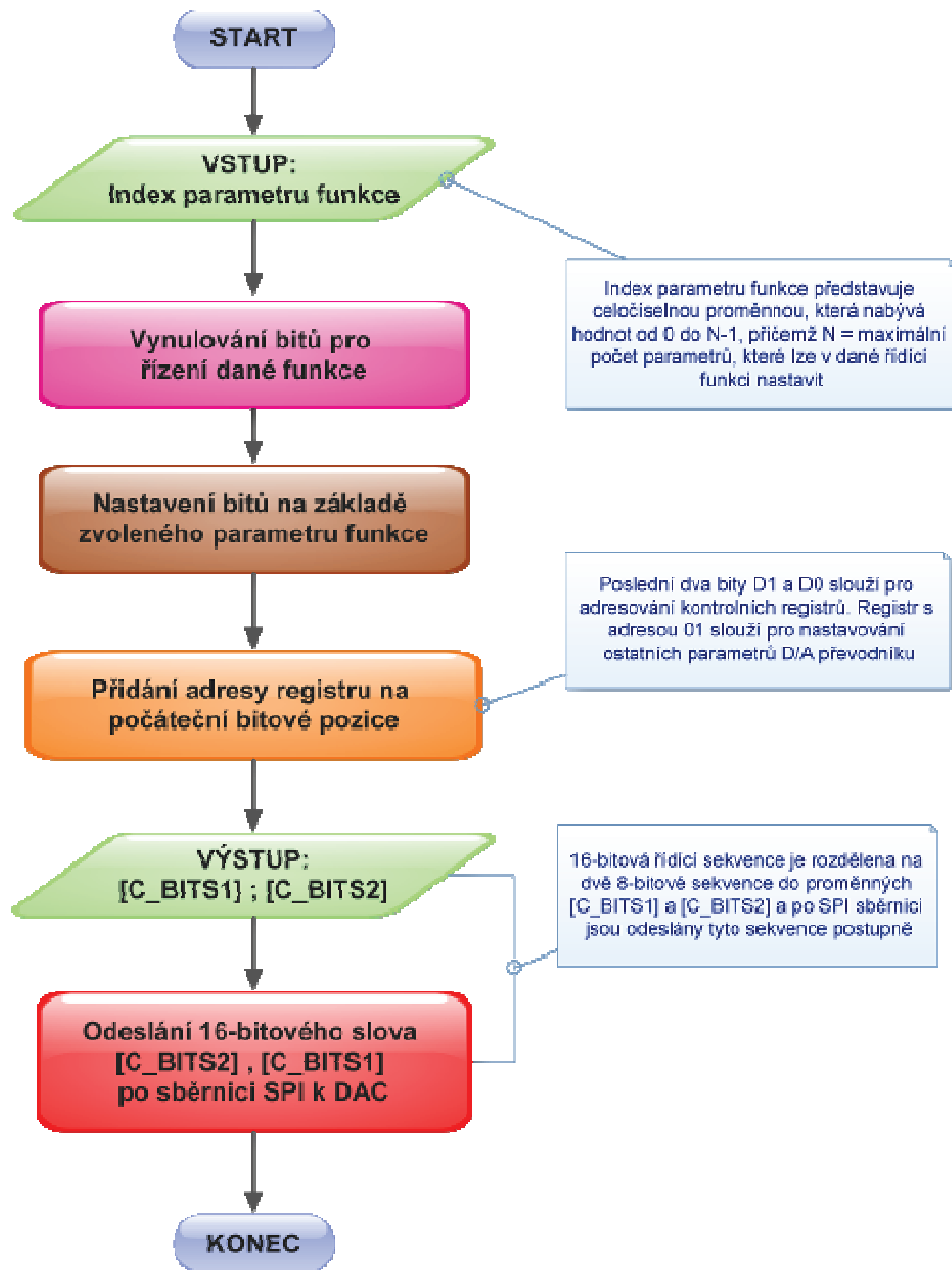
## 4.4 Vývojové diagramy řídicího programu

Následující vývojové diagramy blíže specifikují chování řídicího programu mikrokontroléru. Řídicí program je koncipován jako hlavní řídicí program se svým samostatným jádrem a připojenými ovládacími knihovnami. Jádro aplikace zahrnuje uživatelské rozhraní, tedy výpisy ovládacího MENU a dalších informací na LCD displej, přijímání povelů z ovládacích tlačítek, přijímání logických signálů z datových pinů obou obvodů a zasílání předem definovaných řídicích sekvencí pomocí rozhraní SPI. Řídicí sekvence pro ovládání obvodů AD1852 a CS8416 jsou uloženy v pomocných ovládacích knihovnách, které obsahují všechny potřebné ovládací funkce pro oba obvody. Signál na pinu MOSI mikrokontroléru ATmega32 představuje datový výstup, který je společný pro oba obvody, podobně jako signál na pinu CCLK, který představuje hodinový signál. Signál na pinu MISO představuje datový vstup, který je odebírán pouze z digitálního přijímače. Signály pro výběr daného obvodu, tedy CLATCH (pro AD1852) nebo  $\overline{CS}$  (pro CS8416) mohou být generovány v principu libovolnými vstupně-výstupními piny mikrokontroléru, které jsou k dispozici (kromě pinu PB4, který představuje pro tuto aplikaci nevhodný signál SS (SlaveSelect)).

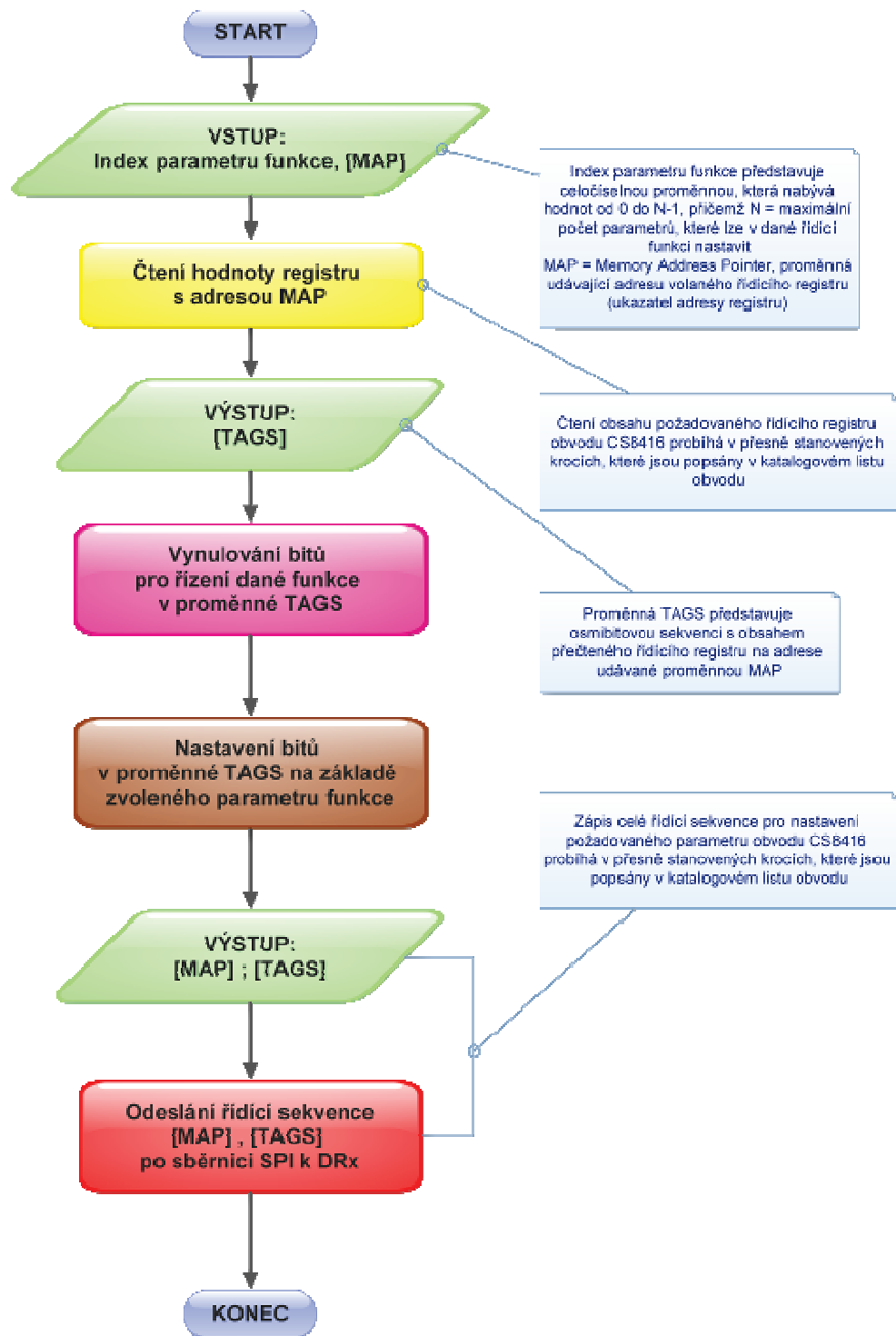
Vývojový diagram na Obr. 4.5 popisuje chování programového kódu při volání funkce změny hlasitosti pro levý nebo pravý kanál z řídicí knihovny pro D/A převodník AD1852, s názvem „ad1852.c“. Vývojový diagram na Obr. 4.6 popisuje chování programového kódu při volání ostatních funkcí pro změny parametrů z řídicí knihovny pro D/A převodník AD1852, s názvem „ad1852.c“. Další vývojový diagram (Obr. 4.7) popisuje chování programového kódu při volání funkce z ovládací knihovny pro digitální přijímač CS8416, která má název „cs8416.c“. Poslední vývojový diagram na Obr. 4.8 již popisuje chování hlavního ovládacího programu pro řízení celého zapojení.



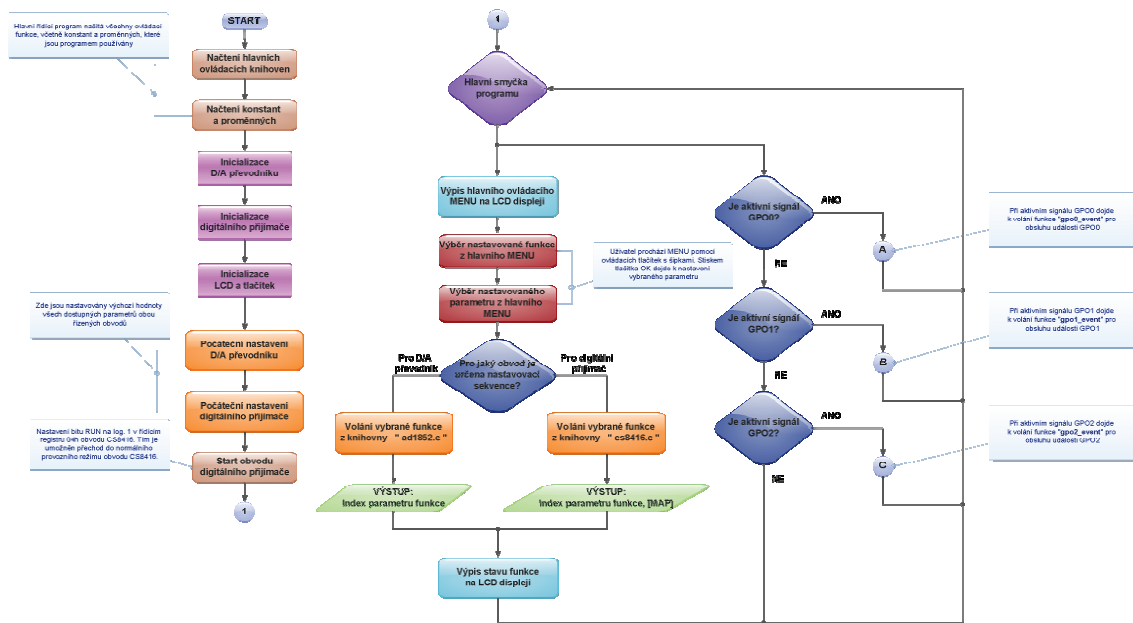
Obr. 4.5 Vývojový diagram ovládací knihovny „ad1852.c“ pro řízení obvodu AD1852, funkce pro změnu hlasitosti levého nebo pravého kanálu



Obr. 4.6: Vývojový diagram ovládací knihovny „ad1852.c“ pro řízení obvodu AD1852, funkce řízení ostatních parametrů z kontrolního registru



Obr. 4.7: Vývojový diagram ovládací knihovny „cs8416.c“ pro řízení obvodu CS8416, funkce nastavení parametrů v požadovaném kontrolním registru



Obr. 4.8: Vývojový diagram hlavního řídicího programu

## 4.5 Popis hlavního řídicího programu

Hlavní řídicí program zajišťuje správné řízení obou integrovaných obvodů na Desce A pomocí sériového komunikačního rozhraní SPI a také chod uživatelského prostředí s ovládacím MENU zobrazovaným na LCD displeji. Toto MENU je svázáno s interními ovládacími funkcemi programu pro každý z obvodů.

Řídicí funkce, které jsou uloženy v ovládacích knihovnách, jsou volány hlavním řídicím programem a informace o nastavení parametrů řízených obvodů jsou předávány těmto funkcím pomocí jejich vstupních proměnných. Jedná se o indexy parametrů těchto funkcí, které jsou celočíselné a jejich rozsah se pohybuje v závislosti na počtu nastavitelných parametrů v dané řídicí funkci.

Uživatelské prostředí s hlavním ovládacím MENU je koncipováno takovým způsobem, že jednotlivé řídicí funkce uživatel prochází pomocí šipek nahoru a dolů, dostupné parametry těchto funkcí uživatel prochází pomocí šipek doleva nebo doprava. Změna nastavení parametru, který byl uživatelem vybrán, je realizována po stisku tlačítka OK. Před přenosem každé řídicí sekvence jsou navíc nastaveny správné atributy pro přenos řídicího signálu po sběrnici SPI, v závislosti na obvodu, jehož parametry se mění. Frekvence hodinového signálu pro přenos po SPI sběrnici byla pro tento projekt zvolena  $f_{clk} = 500 \text{ kHz}$ .

## 4.5.1 Soupis hlaviček funkcí

V této podkapitole jsou sepsány hlavičky všech funkcí v ovládacích knihovnách (kromě knihovny „lcd.c“) a v hlavním řídicím programu, které jsou používány. Celý zdrojový kód je uveden v příloze F na CD.

- Ovládací knihovna pro D/A převodník – ad1852.c

```
void DAC_init(void); //funkce inicializace D/A převodníku
void SPI_MasterInit(void); //funkce inicializace SPI rozhraní (pro D/A převodník)
void SPI_DA_Tx(char cData2, char cData1); //funkce pro odesílání 16-bitových dat po
SPI
void set_volume_left(unsigned int vol); //funkce nastavení hlasitosti pro levý
kanál
void set_volume_right(unsigned int vol); //funkce nastavení hlasitosti pro pravý
kanál
void set_int_mode(unsigned char im); //funkce nastavení módu vzorkování
void set_serial_mode(unsigned char sdim); //funkce nastavení zarovnání signálu
void set_no_of_bits(unsigned char nob); //funkce nastavení bitového rozlišení
void set_deemp_filter(unsigned char df); //funkce nastavení deemfázového filtru
void mute(unsigned char m); //funkce pro ztlumení signálu (MUTE)
void soft_reset(void); //funkce pro softwarový reset obvodu AD1852 (RESET)
```

- Ovládací knihovna pro digitální přijímač – cs8416.c

```
void DRx_init(void); //funkce inicializace digitálního přijímače
void SPI_MasterAndSlaveInit(void); //funkce inicializace SPI rozhraní (pro
digitální přijímač)
void SPI_DR_Tx(unsigned char m, unsigned char data); //funkce pro zápis dat do
registru přijímače po SPI
char SPI_DR_Rx(unsigned char m); //funkce pro čtení dat z registru přijímače po SPI

void DRx_set_val(void); //funkce pro nastavení výchozích (default) hodnot
(parametrů přenosu audio dat) digitálního přijímače - druhá část inicializace
void DRx_Run(void); //funkce pro softwarové nastartování digitálního přijímače
(použít až po nastavení defaultních hodnot a ustálení hodinového signálu)

void f0_fswclk(unsigned char sclk); //Registr 00h, nastavování funkce FSWCLK
void f0_pdur(unsigned char pdu); //Registr 00h, nastavování funkce PDUR
void f0_trunc(unsigned char trun); //Registr 00h, nastavování funkce TRUNC
void f1_swclk(unsigned char wclk); //Registr 01h, nastavování funkce SWCLK
void f1_mutesao(unsigned char muteo); //Registr 01h, nastavování funkce MUTESAO
void f1_int(unsigned char intc); //Registr 01h, nastavování funkce INT
void f1_hold(unsigned char hold); //Registr 01h, nastavování funkce HOLD
void f1_rmckf(unsigned char mck); //Registr 01h, nastavování funkce RMCKF
void f1_chs(unsigned char chset); //Registr 01h, nastavování funkce CHS
void f2_detci(unsigned char dtc); //Registr 02h, nastavování funkce DETCI
void f2_emph_cntl(unsigned char emph); //Registr 02h, nastavování funkce EMPH_CNTL
void f2_gpo0sel(unsigned char gpo0c); //Registr 02h, nastavování funkce GPO0SEL
void f3_gpo1sel(unsigned char gpo1c); //Registr 03h, nastavování funkce GPO1SEL
void f3_gpo2sel(unsigned char gpo2c); //Registr 03h, nastavování funkce GPO2SEL
void f4_run(unsigned char run); //Registr 04h, nastavování funkce RUN
void f4_rxd(unsigned char rxd); //Registr 04h, nastavování funkce RXD
void f4_rxsel(unsigned char inp); //Registr 04h, nastavování funkce RXSEL
void f4_txsel(unsigned char pstr); //Registr 04h, nastavování funkce TXSEL
void f5_soms(unsigned char msms); //Registr 05h, nastavování funkce SOMS
void f5_sosf(unsigned char osclk); //Registr 05h, nastavování funkce SOSF
void f5_sores(unsigned char sor); //Registr 05h, nastavování funkce SORES
void f5_sojust(unsigned char jsd); //Registr 05h, nastavování funkce SOJUST
void f5_sodel(unsigned char dsd); //Registr 05h, nastavování funkce SODEL
void f5_sospol(unsigned char osp); //Registr 05h, nastavování funkce SOSPOL
void f5_solrpol(unsigned char olrp); //Registr 05h, nastavování funkce SOLRPOL
void f6_rerrm_on(unsigned char errmon); //Registr 06h, funkce pro zapínání bitů
masky chybového registru
void f6_rerrm_off(unsigned char errmoff); //Registr 06h, funkce pro vypínání bitů
masky chybového registru
void f7_intm_on(unsigned char intmon); //Registr 07h, funkce pro zapínání bitů
masky registru přerušení
void f7_intm_off(unsigned char intmoff); //Registr 07h, funkce pro vypínání bitů
```

```
masky registru přerušeni
void f8_f9_int_mode_msb_lsb(unsigned char status); //Registry 08h a 09h, MSB a LSB
bity pro nastavení reakce při vyhodnocení přerušeni
```

- Hlavní řídicí program – program.c

```
int gpo0_event(char g); //funkce obsluhy udalosti přerušeni při detekci signálu GPO0
int gpo1_event(char g); //funkce obsluhy udalosti přerušeni při detekci signálu GPO1
int gpo2_event(char g); //funkce obsluhy udalosti přerušeni při detekci signálu GPO2

int main(void); //hlavní funkce řídicího programu
```

## 5 VÝSLEDKY MĚŘENÍ OBVODU S D/A PŘEVODNÍKEM

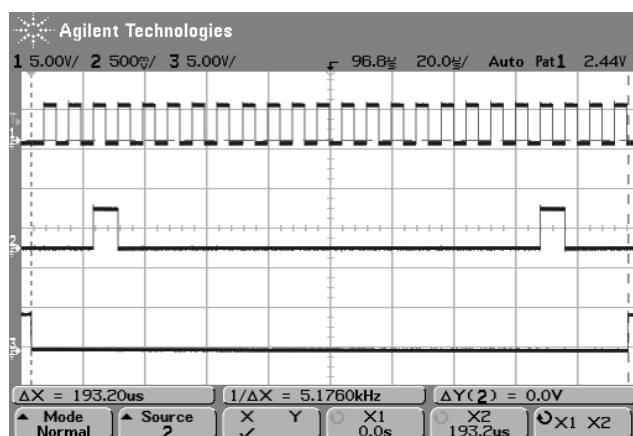
Tato kapitola obsahuje veškeré naměřené hodnoty, tabulky, grafy a oscilogramy, které byly při oživení obvodu naměřeny.

### 5.1 Měření mikroprocesorového řízení

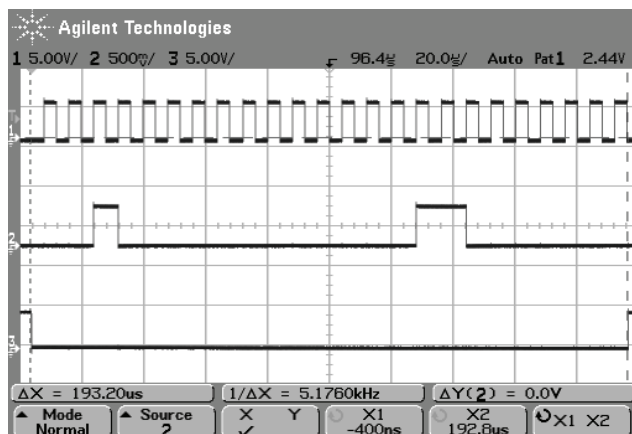
V první fázi oživování bylo provedeno měření mikroprocesorového řízení celého obvodu. Její ústřední člen, mikrokontrolér ATmega32, je umístěn na desce B. Kromě úkolu interakce s uživatelem provádí také automatizované kroky při inicializaci jednotlivých periférií obvodu a jejich řízení. V podkapitole 5.1.1 jsou prezentovány naměřené oscilogramy, které souvisí s řízením obvodu digitálního přijímače, tedy obvodu CS8416. V podkapitole 5.1.2 jsou prezentovány naměřené oscilogramy související s řízením obvodu D/A převodníku, tedy obvodu AD1852.

#### 5.1.1 Oscilogramy řízení digitálního přijímače CS8416

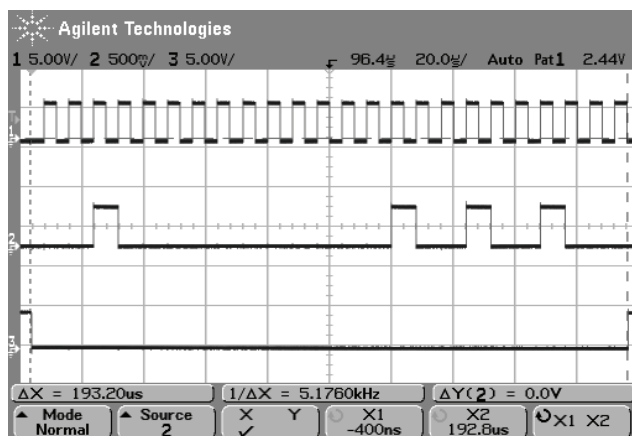
Oscilogramy na Obr. 5.1 až Obr. 5.10 prezentují SPI komunikaci s digitálním přijímačem, a sice řídicí sekvence pro obvod CS8416, které byly popsány v kapitole 4.3.3. Počáteční nastavení obvodu CS8416 zahrnuje zápis řídicích sekvencí do celkem deseti registrů, pomocí kterých je obvod nastaven do požadovaného stavu. Jak bylo zjištěno, data odesílaná mikrokontrolérem k obvodu digitálního přijímače korespondují s požadovanými řídicími bitovými sekvencemi popsány v kapitole 4.3.3. Signály v oscilogramech jsou následující: Kanál 1 představuje signál CCLK / SCK, tedy hodinový signál, kanál 2 představuje signál  $\overline{CDIN}$  / MOSI, tedy datový signál a kanál 3 představuje signál  $\overline{CS}$  / PB0, tedy adresovací signál pro CS8416. Kurzory znázorněny v oscilogramech vyznačují celkovou dobu přenosu řídicí sekvence (tato odpovídá údaji „ $\Delta X$ “).



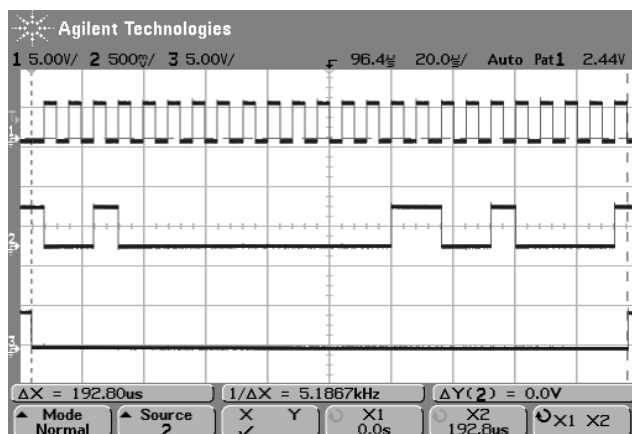
Obr. 5.1: Počáteční nastavení registru 00h digitálního přijímače CS8416



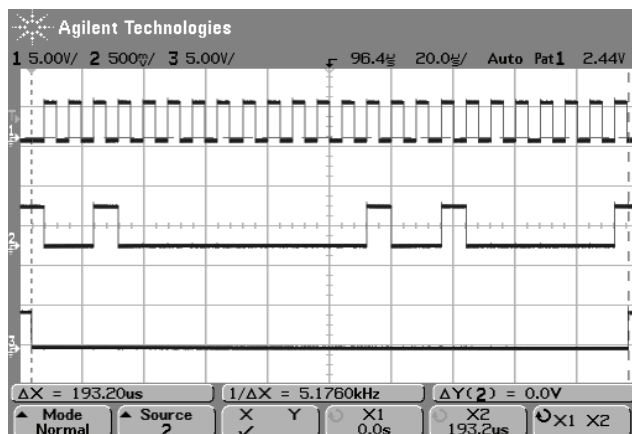
Obr. 5.2: Počáteční nastavení registru 01h digitálního přijímače CS8416



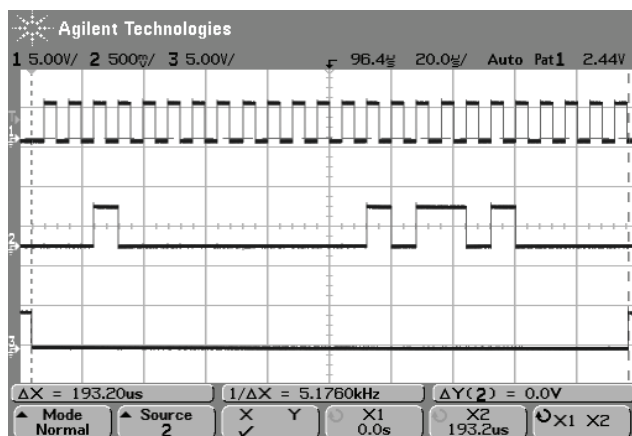
Obr. 5.3: Počáteční nastavení registru 02h digitálního přijímače CS8416



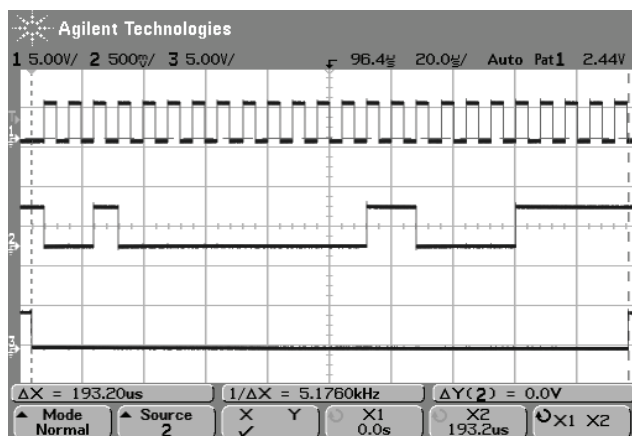
Obr. 5.4: Počáteční nastavení registru 03h digitálního přijímače CS8416



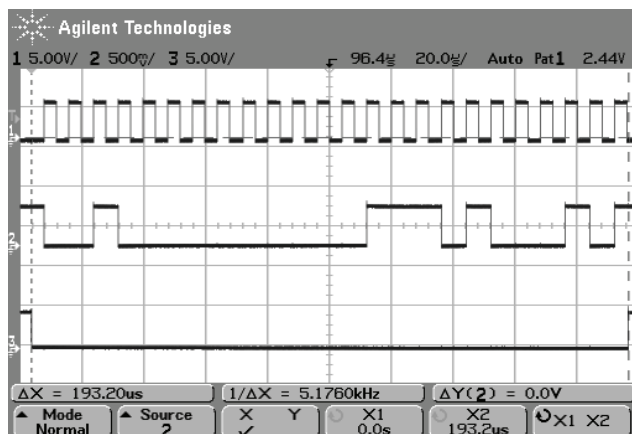
Obr. 5.5: Počáteční nastavení registru 04h digitálního přijímače CS8416



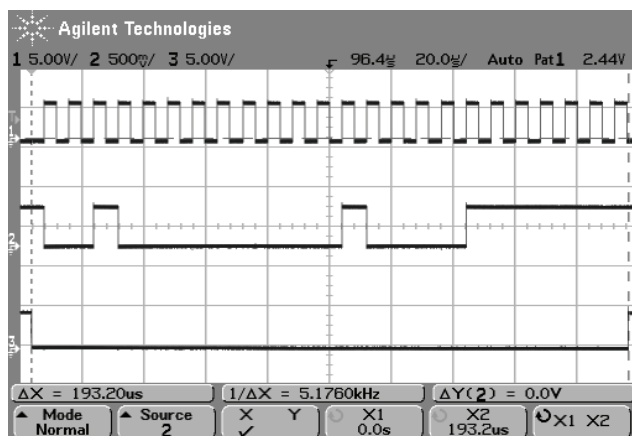
Obr. 5.6: Počáteční nastavení registru 05h digitálního přijímače CS8416



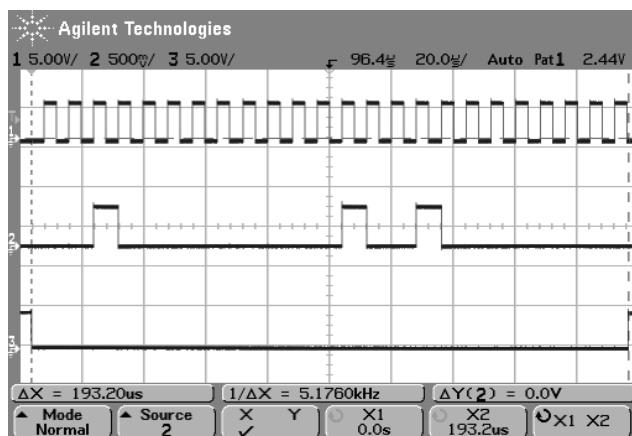
Obr. 5.7: Počáteční nastavení registru 06h digitálního přijímače CS8416



Obr. 5.8: Počáteční nastavení registru 07h digitálního přijímače CS8416



Obr. 5.9: Počáteční nastavení registru 08h digitálního přijímače CS8416

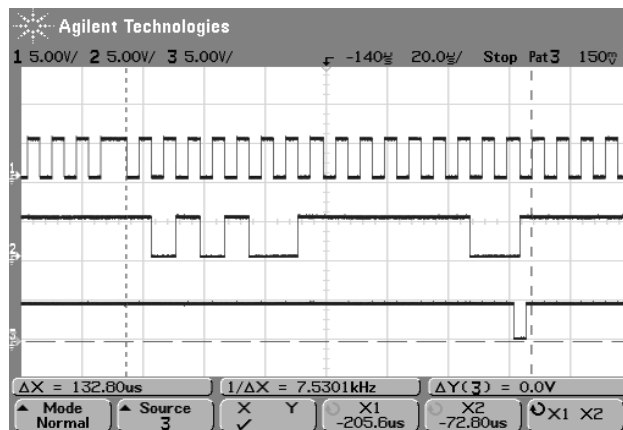


Obr. 5.10: Počáteční nastavení registru 09h digitálního přijímače CS8416

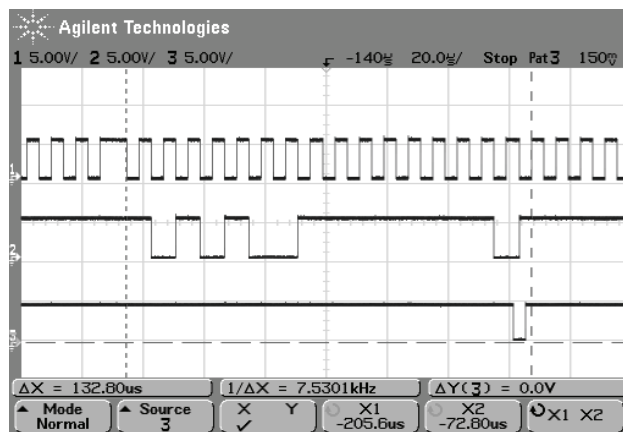
Všechny signály jsou přenášeny v TTL logice, tedy v log. 1 dosahuje signál úrovně +5 V.

## 5.1.2 Oscilogramy řízení D/A převodníku AD1852

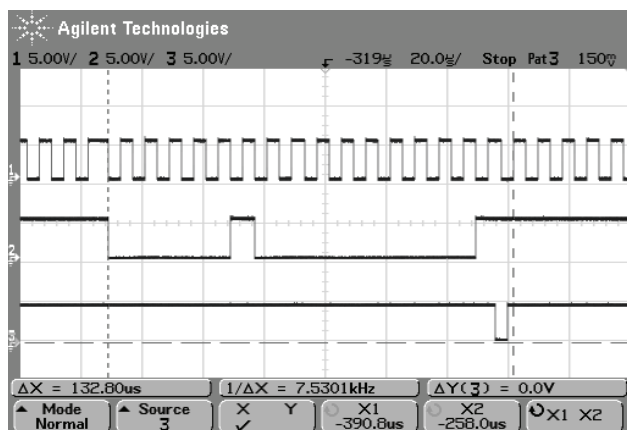
Tato kapitola prezentuje oscilogramy řídicích sekvencí pro obvod D/A převodníku, tedy AD1852. Řídící sekvence sestává z celkem 16-ti bitů, z nichž vždy jeden bit nebo skupiny bitů na určitých pozicích reprezentují nastavení jednotlivých parametrů D/A převodníku, jak je podrobně popsáno v kapitole 4.2. Oscilogramy na Obr. 5.11 až Obr. 5.19 představují přenos řídicí sekvence pro nastavení jedné funkce, která je uvedena v popisu oscilogramu. Kanál 1 představuje hodinový signál CCLK / SCK, kanál 2 představuje datový signál CDATA / MOSI a kanál 3 představuje potvrzovací signál CLATCH / PB1. Kurzory znázorněny v oscilogramu vyznačují celkovou dobu přenosu řídicí sekvence (tato odpovídá údaji „ $\Delta X$ “).



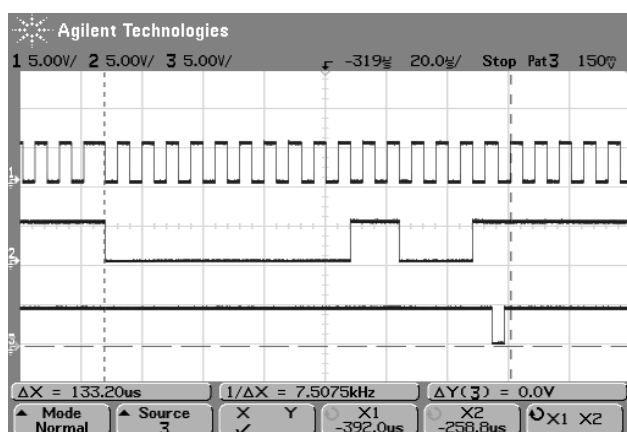
Obr. 5.11: Nastavení hodnoty hlasitosti pro levý kanál, hodnota VOL = 170



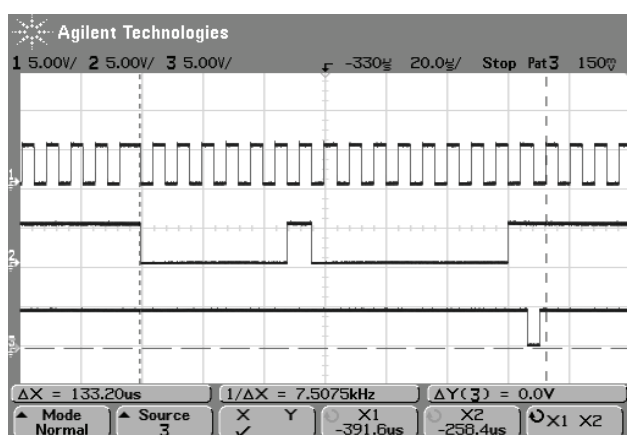
Obr. 5.12: Nastavení hodnoty hlasitosti pro pravý kanál, hodnota VOL = 170



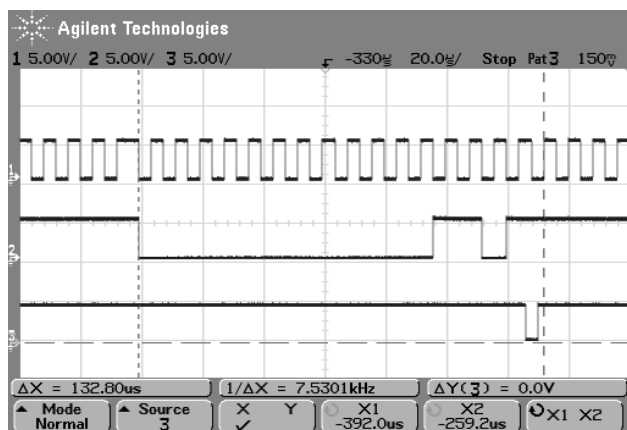
Obr. 5.13: Nastavení módu převzorkování INT, hodnota 4X (vzorkovací frekvence 96 kHz)



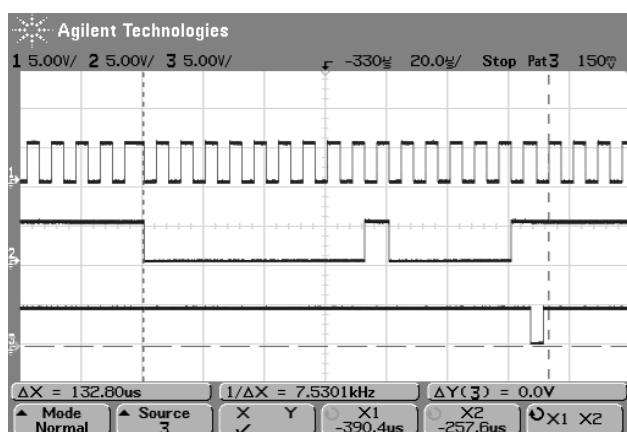
Obr. 5.14: Nastavení zarovnání digitálního signálu, mód DSP



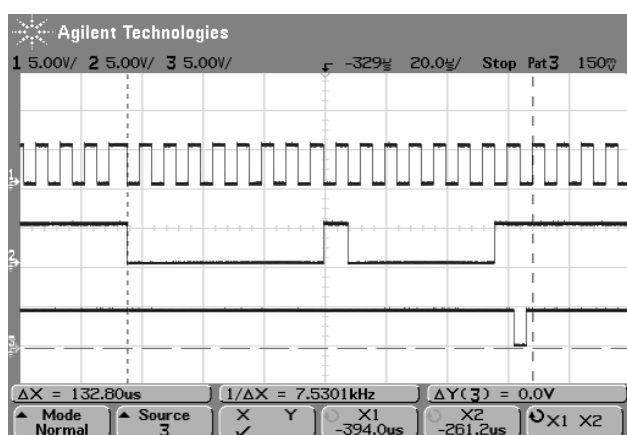
Obr. 5.15: Nastavení bitové hloubky signálu v Right-Justified módu, 16 bitů



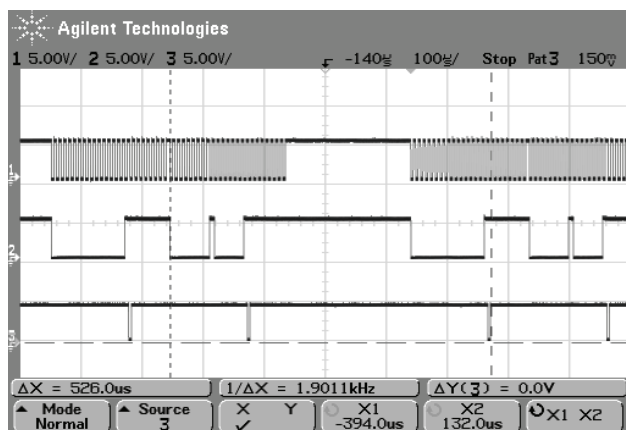
Obr. 5.16: Nastavení deemfázového filtru, pro frekvenci 48 kHz



Obr. 5.17: Nastavení ztlumení signálu (MUTE)



Obr. 5.18: Nastavení Reset (Soft Reset), průběh s aktivním příkazem

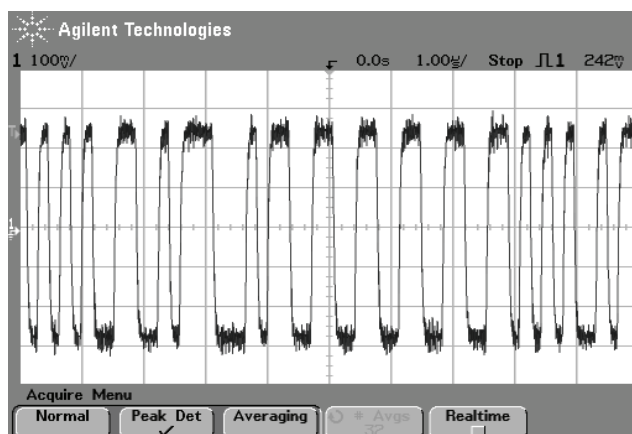


Obr. 5.19: Nastavení Reset (Soft Reset), průběh s aktivním příkazem a následným vynulováním

Kurzory posledního oscilogramu na Obr. 5.19 vymezují celkovou dobu resetování obvodu AD1852 pomocí kontrolního registru. Prodleva mezi aktivací soft resetu a jeho následnou deaktivací činí cca 260  $\mu$ s.

## 5.2 Měření digitálního přijímače

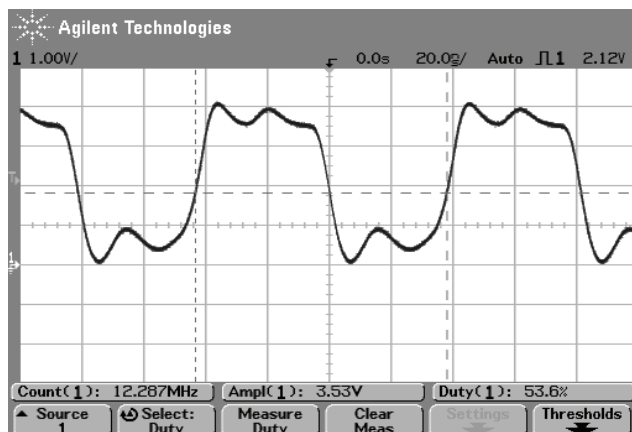
Ve druhé fázi byl oživen a měřen digitální přijímač CS8416. Po připojení napájecích napětí byl přiveden hodinový signál na vstupní pin OMCK, také bylo provedeno počáteční nastavení řídicích registrů obvodu CS8416 a dále byl na jeho digitální audio vstup RXP0 přiveden digitální audio signál PCM (nekomprimovaný), jehož zdrojem byl DVD přehrávač značky Pioneer vybavený výstupním digitálním rozhraním SPDIF. Byl zde přehráván zvuk z měřicího CD s vygenerovanými tóny různých frekvencí a úrovní. Oscilogram na Obr. 5.20 vyobrazuje průběh tohoto digitálního signálu přiváděného na vstup RXP0 digitálního přijímače.



Obr. 5.20: Digitální audio signál na vstupu RXP0 digitálního přijímače CS8416

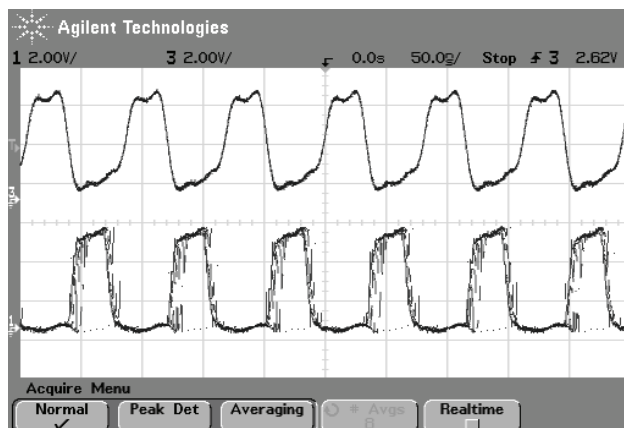
Hodinový signál pro digitální přijímač, na pinu OMCK, je přiváděn z vnějšího generátoru. Signál je generován pomocí arbitrary generátoru Agilent 33220A. Jedná se o obdélkový signál s frekvencí 12,288 MHz, vrcholovou hodnotou cca +4 V a se

střídou  $50\% \pm 5\%$ .



Obr. 5.21: Hodinový signál pro digitální přijímač,  $f = 12,288$  MHz

Po přivedení hodinového signálu na pin OMCK digitálního přijímače a po prvotním nastavení jeho řídicích registrů se objeví na pinu RMCK hodinový signál, který je výstupem pro další obvody (zde pro D/A převodník). Tuto situaci dokládá oscilogram na Obr. 5.22. Kanál 3 (nahore) představuje vstup hodinového signálu na pinu OMCK, kanál 1 (dole) představuje výstup hodinového signálu na pinu RMCK.



Obr. 5.22: Oscilogramy hodinových signálů OMCK a RMCK

Jak je z oscilogramu patrné, výstup hodinového signálu RMCK je zatížen poměrně silným jitterem (více než 10%), který vážně ohrožuje správnost fungování jak D/A převodníku, tak i digitálního přijímače samotného.

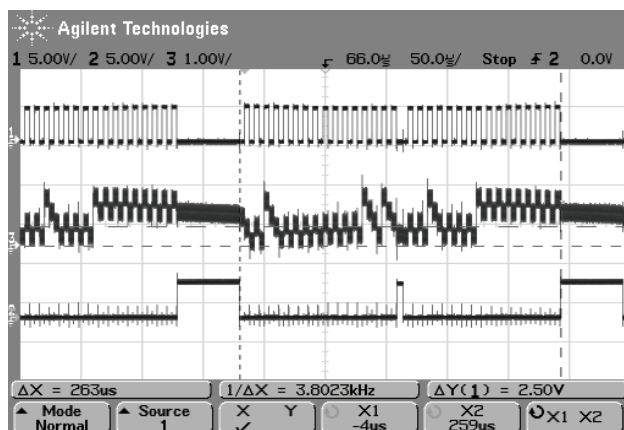
Měření na pinech pro I<sup>2</sup>S rozhraní bylo provedeno opět pomocí osciloskopu, ovšem nebyly naměřeny žádné smysluplné průběhy. Z této fáze měření lze pouze konstatovat, že byly měřeny výstupní piny OSCLK, OLRCK a SDOUT digitálního přijímače (resp. vstupní piny BCLK, LRCLK, SDATA D/A převodníku), na nichž byly naměřeny tyto (časově stálé) logické úrovně (viz. Tab. 5.1):

Tab. 5.1: Signály naměřeny na výstupu rozhraní I<sup>2</sup>S digitálního přijímače

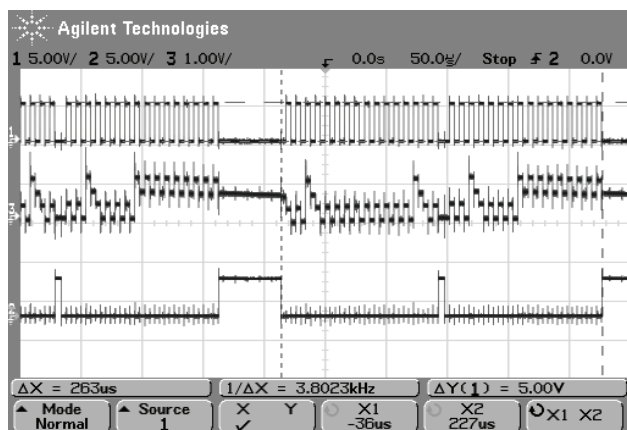
OSCLK	Hodinový signál jednotlivých bitů	Log. 0 (0 V)
OLRCK	Hodinový signál jednotlivých slov	Log. 0 (0 V)
SDOUT	Datový signál	Log. 1 (+5 V)

Tento stav by při normální funkci obvodu CS8416 neměl vůbec nastat, jelikož alespoň hodinové signály by měly být na výstupech měřitelné. Příčinou tohoto stavu je zřejmě silný jitter, který postihuje hodinový signál RMCK (viz. Obr. 5.22), kterým jsou řízeny vnitřní obvody digitálního přijímače i D/A převodníku. To zřejmě zapříčinilo uvedený stav na sběrnici I<sup>2</sup>S.

V další fázi byl měřen přenos mezi mikrokontrolérem na desce B a digitálním přijímačem na desce A. Při ladění zdrojového kódu ovládacího programu byl ke generování a přenosu řídicích signálů pro digitální přijímač využit vývojový kit s ATmega32, typ EvB 4.3 v.4. Obě zařízení (jak deska B tohoto zapojení, tak vývojový kit) využívají mikrokontrolér ATmega32. Výsledky měření jsou totožné, nezávisle na tom jaký zdroj řídicích signálů byl použit. Při měření přenosu dat mezi mikrokontrolérem a digitálním přijímačem byla v této fázi věnována pozornost přenosu dat směrem z obvodu CS8416 k mikrokontroléru ATmega32. Tento přenos dat byl podrobněji popsán v kapitole 4.3.2. Následující oscilogramy byly získány měřením přenosu dat směrem z digitálního přijímače k mikrokontroléru. Kanál 1 představuje hodinový signál na pinu CCLK, kanál 2 představuje adresovací signál na pinu  $\overline{CS}$  a kanál 3 představuje zpětný komunikační kanál na pinu CDOUT. Na Obr. 5.23 je patrné poměrně silné rušení v signálu CDOUT. Později bylo zjištěno na desce A nesprávné propojení napájecích zemí mezi digitálním přijímačem a mikrokontrolérem. Tato chyba byla tedy dodatečně odstraněna. To dokládá oscilogram na Obr. 5.24. Jak je vidět z tohoto oscilogramu, digitální přijímač se pokouší komunikovat s mikrokontrolérem, nicméně úroveň signálu CDOUT není dostatečná pro TTL logiku, která je používána ke komunikaci s obvodem ATmega32 a navíc je v signálu superponován hodinový signál CCLK. Tento problém se přes veškerou snahu již nepodařilo odstranit.

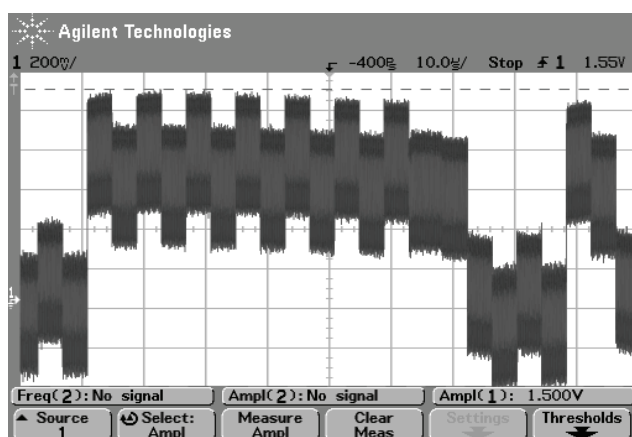


Obr. 5.23: Komunikace mezi CS8416 a ATmega32, zarušený signál CDOUT.



Obr. 5.24: Komunikace mezi CS8416 a ATmega32, signál CDOUT bez rušení

V dalším kroku byly měřeny časové průběhy na pinech GPO. Oscilogram na Obr. 5.25 dokládá časový průběh signálu na pinu GPO1. V tomto měření byl kontrolním registrem 03h nastaven obvod CS8416 tak, aby signál na GPO1 odpovídal stavu globálních přerušeni obvodu CS8416.



Obr. 5.25: Časový průběh signálu na pinu GPO1 - globální přerušeni obvodu CS8416

### 5.3 Měření D/A převodníku

Ve třetí fázi ožívání byl proměřen samotný D/A převodník. Kvůli digitálnímu přijímači, který nemůže generovat platný datový signál na pinech třívodičového rozhraní, je komplikované dokázat správnou funkčnost D/A převodníku. Proběhly i pokusy s připojením externího zdroje signálu I<sup>2</sup>S z jiného zařízení. Signály byly však velmi degradovány šumem a indukovaným rušením ze spínaného zdroje daného zařízení, navíc výstup hodinového signálu připojovaný na pin MCLK obvodu AD1852 nesplňoval parametry pro úroveň a strmost hran hodinového signálu, které jsou doporučovány dokumentací obvodu AD1852 [5].

Měření, které proběhlo na pinech D/A převodníku je zaznamenáno do Tab. 5.2. Na obou analogových audio výstupech byl naměřen pouze kladný napěťový offset. Dále měření úrovní signálů ZERO FLAGS ukázalo, že D/A převodník správně detekoval

chybějící platný digitální signál na jeho vstupu.

Tab. 5.2: Signály naměřeny na pinech D/A převodníku

Č. pinu	Zkratka	Popis	Úroveň
2	MCLK	Vstupní hodinový signál	(viz. Obr. 5.22 – k.1)
8	ZEROR	Žádný signál v pravém kanále	Log. 1 (+5 V)
22	ZEROL	Žádný signál v levém kanále	Log. 1 (+5 V)
14	FILTER	Filtr pro napětovou referenci	+2,5 V
24	$\overline{\text{RESET}}$	Resetovací signál	Log. 1 (+5 V)
12	OUTR+	Výstup pravého kanálu HOT	+2,34 V
13	OUTR–	Výstup pravého kanálu COLD	+2,44 V
17	OUTL+	Výstup levého kanálu HOT	+2,33 V
16	OUTL–	Výstup levého kanálu COLD	+2,43 V
25	LRCLK	Hodinový signál jednotlivých slov	Log. 0 (0 V)
26	BCLK	Hodinový signál jednotlivých bitů	Log. 0 (0 V)
27	SDATA	Datový signál	Log. 1 (+5 V)

Napětový offset (přibližně +2,4 V), který byl naměřen na analogových audio výstupech D/A převodníku, je, podle předpokladu, nutný ke správné rekonstrukci audio signálu do jeho záporných půlvln. Tento offset je částečně odečten v analogových výstupních obvodech, které mj. převádí symetrický signál na nesymetrický. Další napětový offset, který by byl i nadále přítomen ve výstupním analogovém signálu na fyzickém výstupu, může být eliminován např. sériovým zapojením svitkového nebo elektrolytického kondenzátoru vhodné nominální hodnoty.

## 5.4 Měření výstupních analogových obvodů

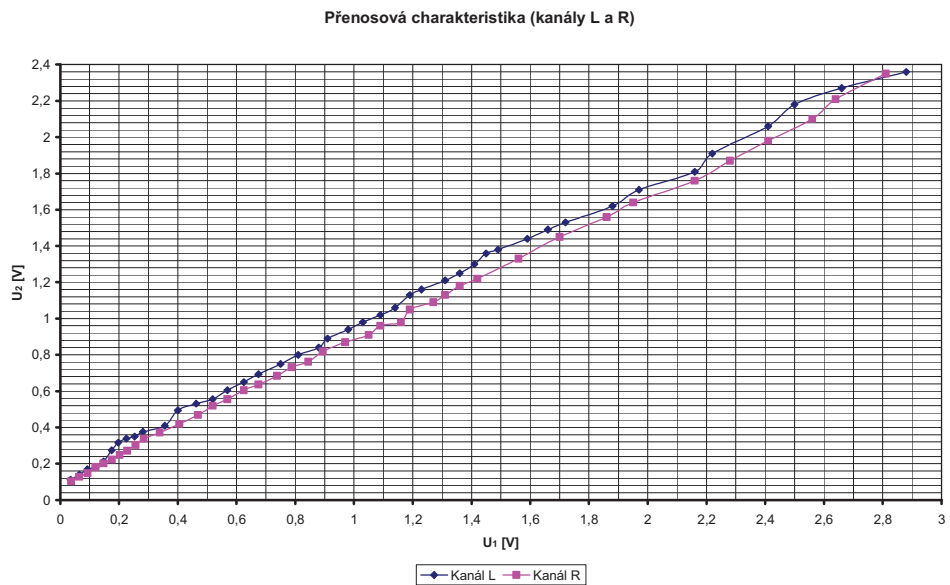
Ve čtvrté fázi ožívování byly změřeny výstupní analogové audio obvody. D/A převodník AD1852 na svých analogových výstupech nemohl posílat signál, který by bylo možno pro měření použít, proto byl k výstupním audio obvodům pomocí propojovacích vodičů připojen nízkofrekvenční generátor signálů, pomocí kterého bylo toto měření provedeno. Jedná se o arbitrary generátor Agilent, typ 33220A. Měření výstupních analogových audio obvodů je doloženo tabulkami naměřených hodnot a také grafickými závislostmi. Měření zahrnuje přenosovou charakteristiku, frekvenční modulovou charakteristiku, měření harmonického zkreslení a  $THD+N$  a dále měření poměru signál-šum ( $SNR$ ) a také měření mezikanálových přeslechů  $S_{ICC}$ . Všechna měření byla prováděna pro oba výstupní kanály.

### 5.4.1 Měření přenosové charakteristiky

V Tab. 5.3 jsou uvedeny naměřené hodnoty výstupního obvodu pro oba kanály. Veličina  $U_1$  značí napětí vstupního signálu, veličina  $U_2$  značí napětí výstupního signálu. Dále, na Obr. 5.26 je vyobrazen graf změřené přenosové charakteristiky.

Tab. 5.3: Naměřené hodnoty přenosové charakteristiky výstupních audio filtrů

Levý kanál		Pravý kanál	
$U_1$ [V]	$U_2$ [V]	$U_1$ [V]	$U_2$ [V]
0,0353	0,112	0,0372	0,103
0,065	0,1406	0,0644	0,1281
0,092	0,1687	0,0931	0,1484
0,121	0,1813	0,12	0,1813
0,147	0,2125	0,147	0,2016
0,175	0,2742	0,175	0,2234
0,197	0,3166	0,202	0,2483
0,225	0,3384	0,228	0,2719
0,253	0,35	0,256	0,3036
0,281	0,3752	0,284	0,3382
0,356	0,409	0,338	0,372
0,4	0,494	0,406	0,419
0,463	0,531	0,469	0,469
0,519	0,556	0,519	0,519
0,569	0,606	0,569	0,556
0,625	0,65	0,625	0,606
0,675	0,694	0,675	0,637
0,75	0,75	0,738	0,685
0,81	0,8	0,788	0,732
0,88	0,84	0,844	0,762
0,91	0,89	0,894	0,818
0,98	0,94	0,97	0,87
1,03	0,98	1,05	0,91
1,09	1,02	1,09	0,96
1,14	1,06	1,16	0,98
1,19	1,13	1,19	1,05
1,23	1,16	1,27	1,09
1,31	1,21	1,31	1,13
1,36	1,25	1,36	1,18
1,41	1,3	1,42	1,22
1,45	1,36	1,56	1,33
1,49	1,38	1,7	1,45
1,59	1,44	1,86	1,56
1,66	1,49	1,95	1,64
1,72	1,53	2,16	1,76
1,88	1,62	2,28	1,87
1,97	1,71	2,41	1,98
2,16	1,81	2,56	2,1
2,22	1,91	2,64	2,21
2,41	2,06	2,81	2,35



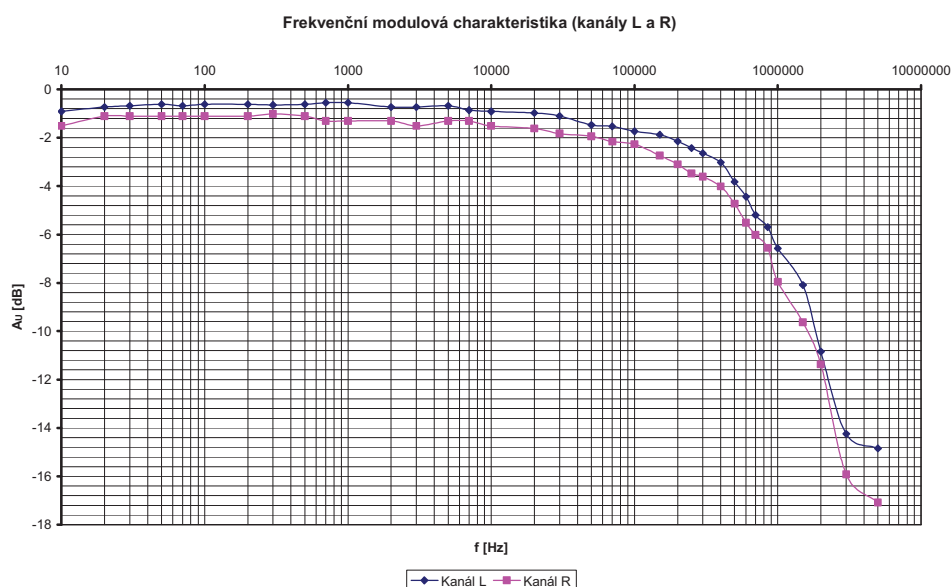
Obr. 5.26: Přenosová charakteristika výstupních audio filtrů

### 5.4.2 Měření frekvenční modulové charakteristiky

V Tab. 5.4 jsou uvedeny naměřené hodnoty výstupního obvodu pro oba kanály. Veličina  $f$  značí frekvenci vstupního signálu, veličina  $U_1$  značí napětí vstupního signálu, veličina  $U_2$  značí napětí výstupního signálu a veličina  $A_U$  značí napěťové zesílení v decibelech.

Tab. 5.4: Naměřené hodnoty frekvenční modulové charakteristiky výstupních audio filtrů

Levý kanál				Pravý kanál			
$f$ [Hz]	$U_1$ [V]	$U_2$ [V]	$A_U$ [dB]	$f$ [Hz]	$U_1$ [V]	$U_2$ [V]	$A_U$ [dB]
10	1	0,9	-0,91515	10	1	0,84	-1,51441
20	1	0,919	-0,73369	20	1	0,88	-1,11035
30	1	0,925	-0,67717	30	1	0,88	-1,11035
50	1	0,931	-0,62101	50	1	0,88	-1,11035
70	1	0,925	-0,67717	70	1	0,88	-1,11035
100	1	0,931	-0,62101	100	1	0,88	-1,11035
200	1	0,931	-0,62101	200	1	0,88	-1,11035
300	1	0,928	-0,64904	300	1	0,89	-1,0122
500	1	0,931	-0,62101	500	1	0,88	-1,11035
700	1	0,938	-0,55594	700	1	0,86	-1,31003
1k	1	0,938	-0,55594	1k	1	0,86	-1,31003
2k	1	0,919	-0,73369	2k	1	0,86	-1,31003
3k	1	0,919	-0,73369	3k	1	0,84	-1,51441
5k	1	0,925	-0,67717	5k	1	0,86	-1,31003
7k	1	0,906	-0,85744	7k	1	0,86	-1,31003
10k	1	0,9	-0,91515	10k	1	0,84	-1,51441
20k	1	0,894	-0,97325	20k	1	0,83	-1,61844
30k	1	0,881	-1,10048	30k	1	0,81	-1,8303
50k	1	0,844	-1,47315	50k	1	0,8	-1,9382
70k	1	0,838	-1,53512	70k	1	0,78	-2,15811
100k	1	0,819	-1,73432	100k	1	0,77	-2,27019
150k	1	0,806	-1,8733	150k	1	0,73	-2,73354
200k	1	0,781	-2,14698	200k	1	0,7	-3,09804
250k	1	0,756	-2,42956	250k	1	0,67	-3,4785
300k	1	0,738	-2,63887	300k	1	0,66	-3,60912
400k	1	0,706	-3,02391	400k	1	0,63	-4,01319
500k	1	0,644	-3,82228	500k	1	0,58	-4,73144
600k	1	0,6	-4,43697	600k	1	0,53	-5,51448
700k	1	0,55	-5,19275	700k	1	0,5	-6,0206
850k	1	0,519	-5,69665	850k	1	0,47	-6,55804
1M	1	0,469	-6,57654	1M	1	0,4	-7,9588
1,5M	1	0,394	-8,09008	1,5M	1	0,33	-9,62972
2M	1	0,287	-10,8424	2M	1	0,27	-11,3727
3M	1	0,194	-14,244	3M	1	0,16	-15,9176
5M	1	0,181	-14,8464	5M	1	0,14	-17,0774



Obr. 5.27: Frekvenční modulová charakteristika výstupních audio filtrů

### 5.4.3 Měření dalších parametrů

Tato podkapitola obsahuje další parametry, které byly změřeny u výstupních audio obvodů. Jedná se zejména o měření harmonického zkreslení,  $THD+N$ , poměr signál-šum a mezikanálové přeslechy.

- **Harmonické zkreslení a  $THD+N$ :**

Tab. 5.5: Naměřené hodnoty harmonického zkreslení a  $THD+N$

Harmonické zkreslení	$k_2$	$k_3$	$THD+N$ (@ 1 kHz)
Levý kanál	0,510 %	0,161 %	0,182 %
Pravý kanál	0,566 %	0,121 %	0,283 %

- **Poměr signál-šum:**

Tab. 5.6: Naměřené hodnoty poměru signál-šum

Levý kanál	Pravý kanál
$U_{2-MAX} = 3,86 \text{ V}$	$U_{2-MAX} = 3,90 \text{ V}$
$U_{2-MIN} = 1,70 \text{ mV}$	$U_{2-MIN} = 1,53 \text{ mV}$
$SNR = 67,12 \text{ dB}$	$SNR = 68,13 \text{ dB}$

- **Mezikanálové přeslechy:**

Tab. 5.7: Naměřené hodnoty mezikanálových přeslechů









Levý → Pravý	Pravý → Levý
$U_L = 4,89 \text{ V}$	$U_R = 4,77 \text{ V}$
$U_R = 2,36 \text{ mV}$	$U_L = 2,28 \text{ mV}$
$S_{\text{ICC}} = -66,33 \text{ dB}$	$S_{\text{ICC}} = -66,41 \text{ dB}$

## 5.5 Fotografie LCD s ovládacím MENU

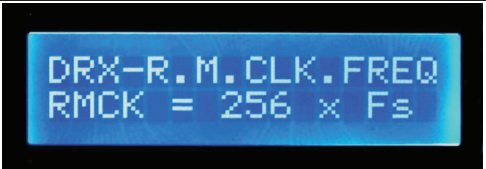




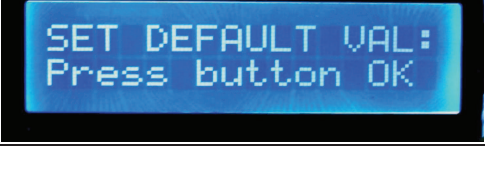
V této kapitole jsou prezentovány fotografie LCD, prostřednictvím kterého je zobrazováno ovládací MENU pro řízení digitálního přijímače CS8416 a D/A převodníku AD1852. V ovládacím MENU se uživatel pohybuje pomocí ovládacích tlačítek. Jednotlivé ovládací funkce, resp. položky v MENU, se přepínají pomocí tlačítek s šípkami nahoru nebo dolů, parametry těchto funkcí jsou přepínány pomocí tlačítek s šípkami doleva nebo doprava. Tlačítkem OK je potvrzen výběr zvoleného parametru a následně je provedeno odeslání řídicí sekvence pomocí komunikačního rozhraní SPI.

Tab. 5.8 a Tab. 5.9 obsahují fotografie LCD displeje s některými položkami v MENU. V dalším sloupci této tabulky je možno zjistit ostatní parametry daných ovládacích funkcí, které lze nastavit, případně výpisy programu na druhém řádku LCD displeje. Celou fotodokumentaci položek ovládacího MENU lze nalézt v příloze G na CD. Vyobrazené položky ovládacího MENU na fotografiích (v tabulkách i na CD v příloze) odpovídají počátečnímu nastavení obou obvodů, které je provedeno vždy po připojení napájecího napětí nebo po provedení funkce pro nastavení výchozích hodnot („SET DEFAULT VAL“).

Tab. 5.8: Vybrané fotografie LCD s ovládacím MENU (část 1)

Pořadí položky v MENU	Název funkce, skoky pomocí šipek ↑ a ↓	Fotografie LCD displeje	Další parametry, skoky pomocí šipek ← a →
	Úvodní obrazovka po startu programu		
01.	INPUT:		Inp. - 01 Inp. - 02 ..... Inp. - 07 Inp. - 08
02.	VOLUME:		Level - [0 až 255]
04.	DAC-SERIAL MODE:		Right-Justified I <sup>2</sup> S compatible Left-Justified DSP compatible
05.	DAC-No. of BITS:		24 bit 20 bit 16 bit
09.	DRX-PHASE DET.:		normal upd. rate higher upd. rate
12.	DRX-MUTE S.A. OUT:		SDOUT not muted SDOUT muted
14.	DRX-ERR. SAMPLES:		hold last sample replace w. zeros do not change

Tab. 5.9: Vybrané fotografie LCD s ovládacím MENU (část 2)

Pořadí položky v MENU	Název funkce, skoky pomocí šipek ↑ a ↓	Fotografie LCD displeje	Další parametry, skoky pomocí šipek ← a →
15.	DRX-R.M.CLK FREQ.:		RMCK = 256 x Fs RMCK = 128 x Fs
18.	DRX-EMPH. CTRL:		emph off 32 kHz set 44,1 kHz set 48 kHz set auto – 50us/15us
22.	DRX-RMCK CONTROL		RMCK – output RMCK – Hi-Z
24.	DRX. MAS./SL. MODE:		S.A.out – slave S.A.out – master
31.	DAC-SOFT RESET:		„Press buton OK“ „Reseting ....“ „DAC Reseted!“
32.	SET DEFAULT VAL:		„Press buton OK“ „Setting def. val.“ „Default SET!“

## 6 ZÁVĚR

V první kapitole této diplomové práce bylo provedeno stručné seznámení s problematikou A/D a D/A převodů a také s činností A/D a D/A převodníků, včetně převodníků obsahujících Sigma-Delta modulátor. Dále byla stručně objasněna funkce multistandardních převodníků a bylo uvedeno, jakým způsobem je lze využívat. Další kapitola této práce pak prezentovala vlastní technické řešení návrhu obvodu s D/A převodníkem, včetně mikroprocesorového řízení a byl proveden popis zapojení včetně návrhu blokového schématu. Byly rovněž stanoveny technické požadavky, které byly kladeny na navrhovaný obvod. V další kapitole byly podrobněji popsány hlavní funkční bloky obvodu, tedy obvody digitálního přijímače a D/A převodníku, včetně způsobu jejich řízení a také řízení jejich dalších nezbytných periférií. Všechny prvky obvodu byly zvoleny tak, aby splňovaly podmínky kladeny na navrhovaný obvod v kapitole 2.3. Dále bylo navrženo obvodové schéma celého zapojení s D/A převodníkem, digitálním přijímačem, jejich nutnými perifériemi a mikroprocesorovým řízením, včetně kompletní konstrukční dokumentace pro výrobu funkčního prototypu. Čtvrtá kapitola byla věnována popisu řízení zapojení z hlediska řídicího prvku pro celé zapojení, tedy mikrokontroléru. Byly rovněž navrženy a prezentovány vývojové diagramy jednotlivých částí řídicího programu. Dále byl navržen kompletní algoritmus pro mikroprocesorové řízení, jehož zdrojový kód byl z části řešen jakožto výstup projektu pro předmět Mikrokontroléry pro přístrojové aplikace. Jedná se hlavně o část programu pro řízení D/A převodníku. Algoritmus mikroprocesorového řízení také obsahuje uživatelské rozhraní s ovládacím MENU na LCD displeji, pomocí kterého jsou řízeny periférie prototypu a jsou indikovány pracovní režimy digitálního přijímače a D/A převodníku.

Po provedení výroby a zapájení desek plošných spojů byl celý výrobek ožívován a jeho jednotlivé části byly proměřeny. V páté kapitole této diplomové práce jsou prezentovány naměřené výsledky všech periférií obvodu, které se podařilo oživit.

Celý výrobek se nepodařilo zprovoznit jakožto celek, nicméně některé jeho dílčí části jsou funkční. Digitální přijímač je funkční pouze z části. Přijímá povely od mikrokontroléru a vykonává je. Tuto skutečnost dokazuje fakt, že po přijmutí povelu pro zapnutí výstupu hodinového signálu pro D/A převodník se na pinu RMCK objevil hodinový signál. Situace je zachycena na Obr. 5.22 v kapitole 5.1. Ovšem z oscilogramu je patrné, že výstup hodinového signálu pro D/A převodník je zatížen silným jitterem. Tato skutečnost jednak znemožňuje správnou funkci dekodování vstupního SPDIF signálu digitálním přijímačem a následného přenosu ve formě třívodičového rozhraní k D/A převodníku, jednak je tento zdroj hodinového signálu zcela nepoužitelný pro D/A převodník. Funkčnost D/A převodníku je v této situaci velice těžké prokázat, jelikož nemá na svém vstupu přítomen použitelný vstupní datový signál pro převod do analogové formy a není ani vybaven zpětným kanálem pro SPI komunikaci. Jeho logické výstupy ZERO FLAG alespoň správně indikovaly stav chybějícího signálu na digitálním audio vstupu. Řízení pomocí mikrokontroléru je zcela funkční, dokládají to naměřené oscilogramy v kapitole 5.1. Algoritmus mikroprocesorového řízení byl dokončen a jeho správná funkčnost byla ověřena a doložena pomocí oscilogramů na Obr. 5.1 až Obr. 5.19. Dále byly pořízeny fotografie

LCD displeje s hlavním ovládacím MENU. Funkce zvoleného LCD displeje nebyla doposud ověřena v celkovém zapojení, program byl ovšem odladěn na vývojovém kitu pro ATmega32. Fotografie ovládacího MENU byly pořízeny z LCD displeje, kterým disponuje vývojový kit. Výstupní analogové obvody jsou zcela funkční. Byly proměřeny pomocí nízkofrekvenčního generátoru a výsledné grafické závislosti i další naměřené hodnoty jsou prezentovány v kapitole 5.4. Kvalitativní parametry těchto obvodů jsou pro funkčnost celého obvodu zcela dostačující.

V případě vytvoření zcela nového návrhu desky, po předchozích zkušenostech s konstrukcí a ožívováním stávajícího zapojení, bych doporučil provést několik změn a dodržet následující doporučení: Věnovat lepší pozornost trasování napájecích okruhů a rozdělení napájecích i signálových zemí, vytvořit si raději více zemních sektorů pro různé části obvodu, které by měly být zcela odděleny a posléze propojeny mezi sebou v ideálních místech, popř. všechny v jednom bodu (např. pod pouzdem D/A převodníku), zvláště pokud se jedná o signálové země digitální a analogovou. Dále, všechny důležité součástky by měly být umístěny na desku plošného spoje, na stranu TOP. Pouze některé propojovací spoje a nejnnutnější součástky by měly být umístěny na straně BOTTOM. Tento krok výrazně ulehčuje manipulaci s deskou při ožívování i měření celého prototypu. Také by měla být obzvláště velká pozornost při návrhu věnována citlivým částem obvodu (náchylným na šum, zvlnění nebo změnu napájecího napětí, sériové rušení apod., např. návrh externího filtračního obvodu smyčky fázového závěsu) a s tímto ohledem i navrhovat jejich spoje a odpovídající části obvodu. Dalším tipem je používat dostatečně robustní a kvalitní konektory a vodiče pro přívod vstupního signálu, napájení, pro odběr výstupního signálu a pro propojování s dalšími součástmi obvodu (např. LCD displej).

## LITERATURA

- [1] DŘÍNOVSKÝ, J., *Radioelektronická měření, A/D a D/A převodníky* [online]. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, – [cit. 14. května 2012]. Dostupné na www: <[http://www.urel.feec.vutbr.cz/~drinovsky/?download=MREM\\_2010\\_P\\_02.pdf](http://www.urel.feec.vutbr.cz/~drinovsky/?download=MREM_2010_P_02.pdf)>
- [2] VRBA, K., *Vzájemný převod analogových a digitálních signálů* [online]. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav telekomunikací, – [cit. 11. května 2012]. Dostupné na www: <<https://www.vutbr.cz/elearning/mod/resource/view.php?inpopup=true&id=163140>>.
- [3] PORT, R. *Digital Signal Processing Overview: Quantization of amplitude.* [online] – [cit. 21. července 2012]. Dostupné na www: <<http://www.cs.indiana.edu/~port/teach/641/signal.proc.html>>
- [4] HANÁK, P., VRBA, K., *A/D převodníky (kapitola sigma-delta)* [online]. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav telekomunikací, – [cit. 11. května 2012]. Dostupné na www: <<https://www.vutbr.cz/elearning/mod/resource/view.php?id=163149>>.
- [5] Analog Devices [online]. Datasheet *AD1852 – Stereo, 24-Bit, 192 kHz, Multibit, Sigma-Delta DAC. Analog Devices, Inc., 2009* – [cit. 14. ledna 2011]. Dostupné na www: <[http://www.analog.com/static/imported-files/data\\_sheets/AD1852.pdf](http://www.analog.com/static/imported-files/data_sheets/AD1852.pdf)>
- [6] ŠPAČEK, J., STRAKA, R., *Mikrokontroléry pro přístrojové aplikace (MMIA): Ovládací knihovny pro ovládání D/A převodníku pomocí ATmega32* [online]. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky – [cit. 21. července 2012]. Dostupné na www: <[http://www.stud.feec.vutbr.cz/~xspace15/mmia\\_projekt/index.html](http://www.stud.feec.vutbr.cz/~xspace15/mmia_projekt/index.html)>
- [7] Cirrus Logic [online]. Datasheet *CS8416 – 192 kHz Digital Audio Interface Receiver. Cirrus Logic, Inc., 2007* – [cit. 23. března 2011]. Dostupné na www: <[http://www.cirrus.com/en/pubs/proDatasheet/CS8416\\_F3.pdf](http://www.cirrus.com/en/pubs/proDatasheet/CS8416_F3.pdf)>
- [8] MC1604 Series: Everbouquet / Wayton [online]. EVERBOUQUET INTERNATIONAL CO., LTD. *Everbouquet International Wayton Technology.* [cit. 27. července 2012]. Dostupné na www: <<http://www.everbouquet.com.tw/MC1604B.htm>>
- [9] Analog Devices [online]. Datasheet *AD797 – Ultralow Distortion, Ultralow Noise Op Amp. Analog Devices, Inc., 2010* – [cit. 16. května 2012]. Dostupné na www: <[http://www.analog.com/static/imported-files/data\\_sheets/AD797.pdf](http://www.analog.com/static/imported-files/data_sheets/AD797.pdf)>
- [10] Analog Devices [online]. Datasheet *24-Bit Stereo DAC Evaluation Board. Analog Devices, Inc., 2001* – [cit. 24. července 2012]. Dostupné na www: <[http://www.analog.com/static/imported-files/eval\\_boards/AD1852\\_EvalBoard\\_Rev0.pdf](http://www.analog.com/static/imported-files/eval_boards/AD1852_EvalBoard_Rev0.pdf)>
- [11] Cirrus Logic [online]. Datasheet *Evaluation Board for the CS8416 and CS8406. Cirrus Logic, Inc., 2009* – [cit. 24. července 2012]. Dostupné na www: <[http://www.cirrus.com/en/pubs/rdDatasheet/CDB8416\\_DB3.pdf](http://www.cirrus.com/en/pubs/rdDatasheet/CDB8416_DB3.pdf)>
- [12] Atmel [online]. Datasheet *ATmega32, ATmega32L – 8-bit AVR Microcontroller with 32KBytes In-System Programmable Flash. Atmel, Corp., 2011* – [cit. 16. května 2012]. Dostupné na www: <<http://www.atmel.com/Images/doc2503.pdf>>

- [13] Atmel [online]. Datasheet *AVR, 8-bit RISC Microcontroller – AVR910: In-System Programming*. Atmel, Corp., 2008 – [cit. 16. května 2012]. Dostupné na [www: <http://www.atmel.com/Images/doc0943.pdf>](http://www.atmel.com/Images/doc0943.pdf)
- [14] Atmel [online]. Datasheet *AVR, 8-bit RISC Microcontroller – AVR151: Setup And Use of The SPI*. Atmel, Corp., 2008 – [cit. 16. května 2012]. Dostupné na [www: <http://www.atmel.com/Images/doc2585.pdf>](http://www.atmel.com/Images/doc2585.pdf)

# SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

$a_n$	Bit na pozici $n$
$A_U$	Napět'ové zesílení
$B$	Šířka pásma
$d$	Číslo digitálního (kódového) slova
$D$	Číslo digitálního (kódového) slova
$f$	Frekvence
$f_{\text{clk}}$	Frekvence hodinového signálu
$f_m$	Maximální frekvence (signálu)
$f_{\text{max}}$	Maximální frekvence (signálu)
$f_v$	Vzorkovací frekvence
$f_{VZ}$	Vzorkovací frekvence
$I$	Proud, proudový odběr
$I_{\text{max}}$	Maximální proud, maximální proudový odběr
$I_0$	Výstupní proud
$K$	Koeficient převzorkování
$k_n$	$n$ -tá harmonická složka (audio signálu)
$L$	Útlum signálu
$M$	Míra převodu
$N$	Bitová hloubka, počet bitů digitálního signálu, rozlišovací schopnost
$n$	Číselná pozice, počet hodnot
$n_C$	Počet znaků v řádku (LCD)
$n_K$	Počet kvantovacích úrovní
$n_L$	Počet řádků (LCD)
$P$	Výkon odebíraný obvodem
$P_{\text{max}}$	Maximální výkon odebíraný obvodem
$q$	Kvantovací krok
$R$	Odpor (rezistoru, obvodu)
$R_{\text{INP}}$	Vstupní odpor
$R_{\text{OUT}}$	Výstupní odpor
$S_{\text{ICC}}$	Mezikanálové přeslechy

$t$	Čas
$T$	Perioda
$t_s$	Doba ustálení
$U$	Napětí
$U_{CC}$	Napájecí napětí
$U_{max}$	Maximální napětí
$U_N$	Šumové napětí
$U_R$	Napět'ový rozsah
$U_{REF}$	Referenční napětí
$u_R$	Řídící napětí
$u_v$	Výstupní napětí
$U_0$	Výstupní napětí
$U_1, u_1$	Vstupní napětí
$U_2, u_2$	Výstupní napětí
$U_{2-MIN}$	Minimální výstupní napětí
$U_{2-MAX}$	Maximální výstupní napětí
$Z$	Impedance
$z$	Základ číselné soustavy
$Z_{INP}$	Vstupní impedance (obvodu)
$Z_{OUT}$	Výstupní impedance (obvodu)
$\Delta A_U$	Odchylka napět'ového zesílení
$\Delta X$	Časový úsek (v oscilogramech)
$\Delta\varphi$	Odchylka fáze
A/D	Analogově-digitální (převodník, převod)
ADC	Analog-to-Digital Converter, A/D převodník
AES3	Audio Engeneering Society
AGND	Analogová zem GND
CMOS	Complementary Metal-Oxide Semiconductor, komplementární polovodič kov-oxid
D/A	Digitálně-analogový (převodník, převod)
DAC	Digital-to-Analog Converter, D/A převodník
DGND	Digitální zem GND
DIP	Dual In-line Package

DPS	Deska Plošných Spojů
DR	Dynamic Range, dynamický rozsah
GPO	General Purpose Output
I <sup>2</sup> S	Integrated Interchip Sound, Inter-IC Sound
LSB	Least Significant Bit, nejméně významný bit
MAP	Memory Address Pointer, ukazatel adresy paměti
MSB	Most Significant Bit, nejvíce významný bit
NRZ	Non-Return to Zero, kódování bez návratu k nule
NRZI	Non-Return to Zero Inverted, kódování bez návratu k nule, invertováno
OZ	Operační Zesilovač
PLL	Phase-Locked Loop, smyčka fázového závěsu
RZ	Return to Zero, kódování s návratem k nule
SNR	Signal-to-Noise Ratio, poměr (odstup) signál-šum
SOIC	Small-Outline Integrated Circuit
SPDIF	Sony / Philips Digital Interface
SR	Slew Rate, rychlost přeběhu
SSOP	Shrink Small-Outline Package
THD+N	Total Harmonic Distortion + Noise, celkové harmonické zkreslení včetně šumu
TTL	Transistor-Transistor Logic, tranzistorová logika

## SEZNAM PŘÍLOH

A	Schéma obvodu.....	75
B	Návrhy desek plošných spojů .....	76
C	Osazovací plány .....	80
D	Soupisky součástek .....	84
E	CD s přílohami .....	89

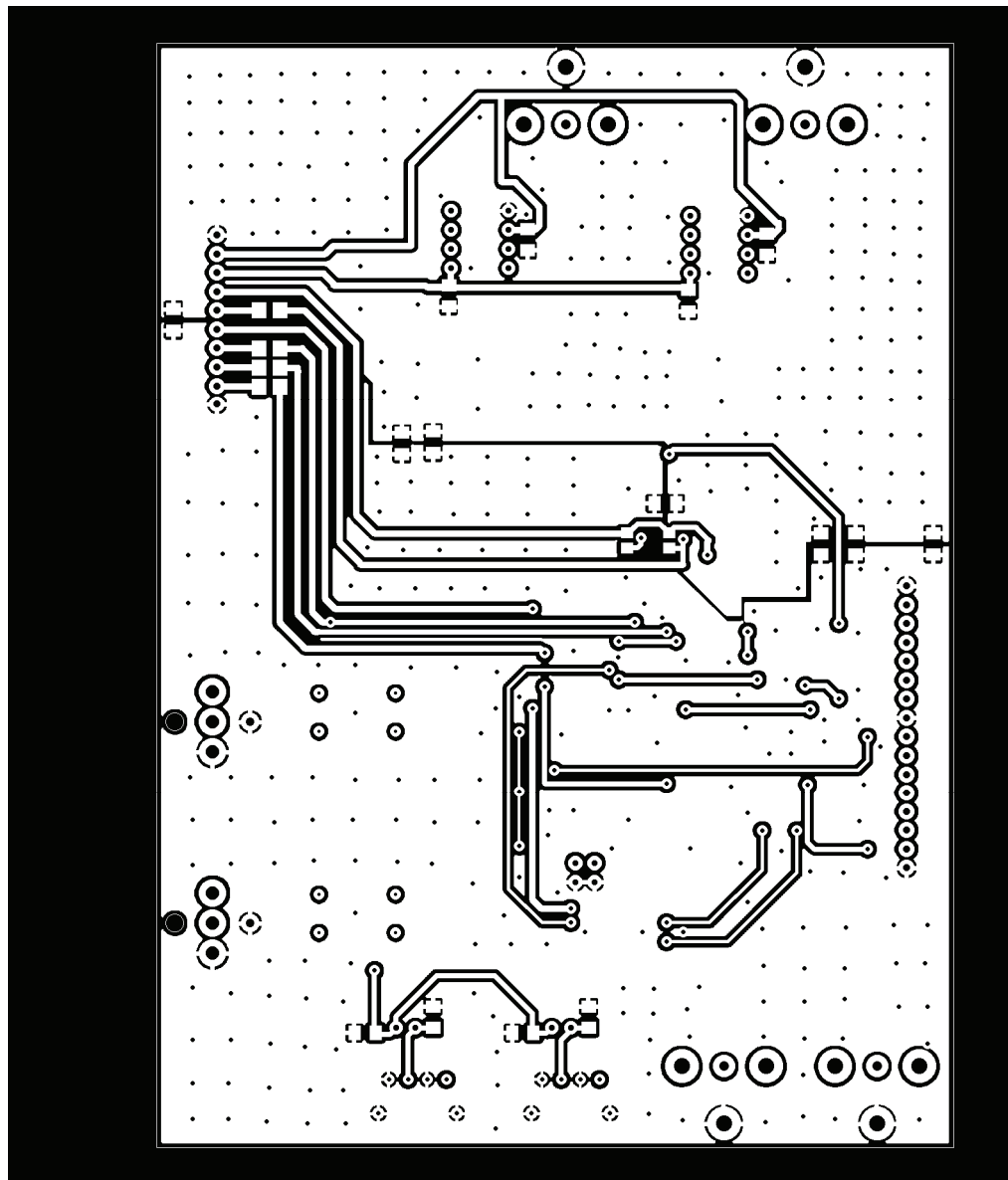
# **A SCHÉMA OBVODU**

## **A.1 Celkové obvodové schéma zapojení**

- Celkové obvodové schéma zapojení je vytištěno na samostatný list formátu A3.

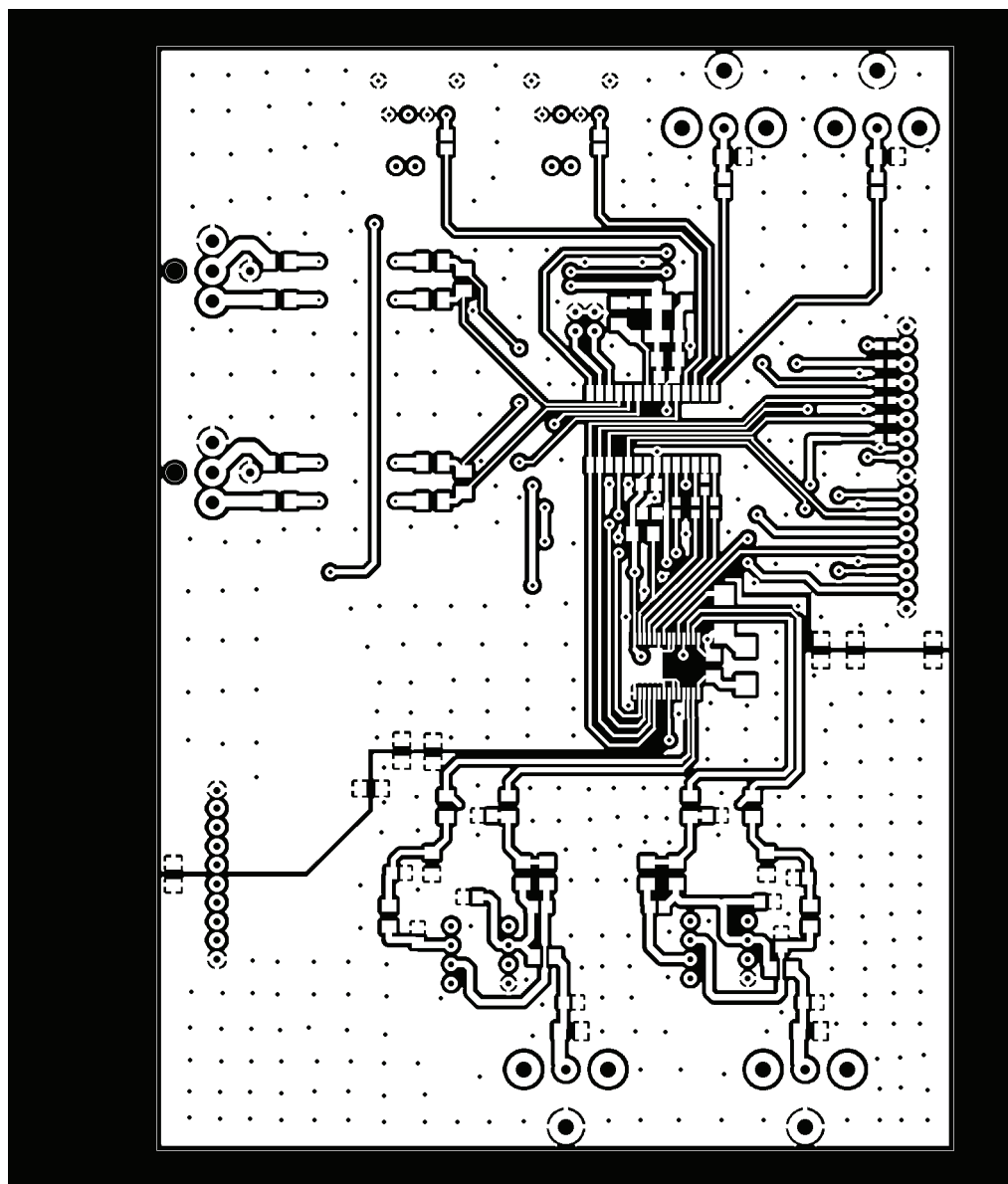
## B NÁVRHY DESEK PLOŠNÝCH SPOJŮ

### B.1 Deska A – strana TOP



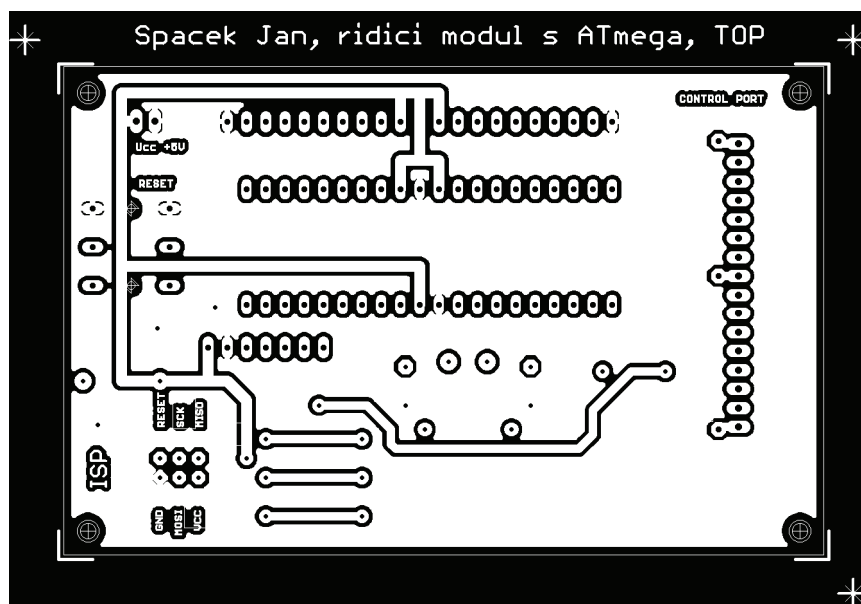
Rozměr desky 105,73 x 146,69 [mm], měřítko M1:1

## B.2 Deska A – strana BOTTOM



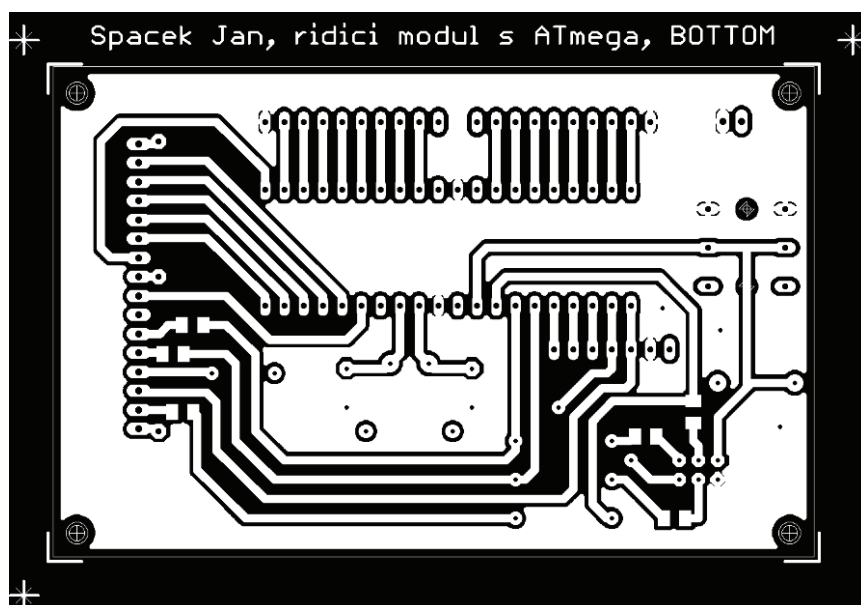
Rozměr desky 105,73 x 146,69 [mm], měřítko M1:1

### B.3 Deska B – strana TOP



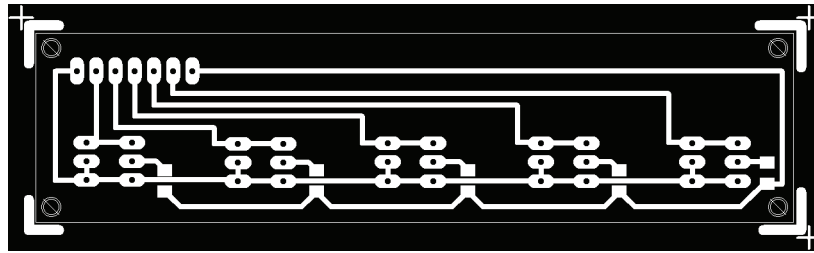
Rozměr desky 100,33 x 64,14 [mm], měřítko M1:1

### B.4 Deska B – strana BOTTOM



Rozměr desky 100,33 x 64,14 [mm], měřítko M1:1

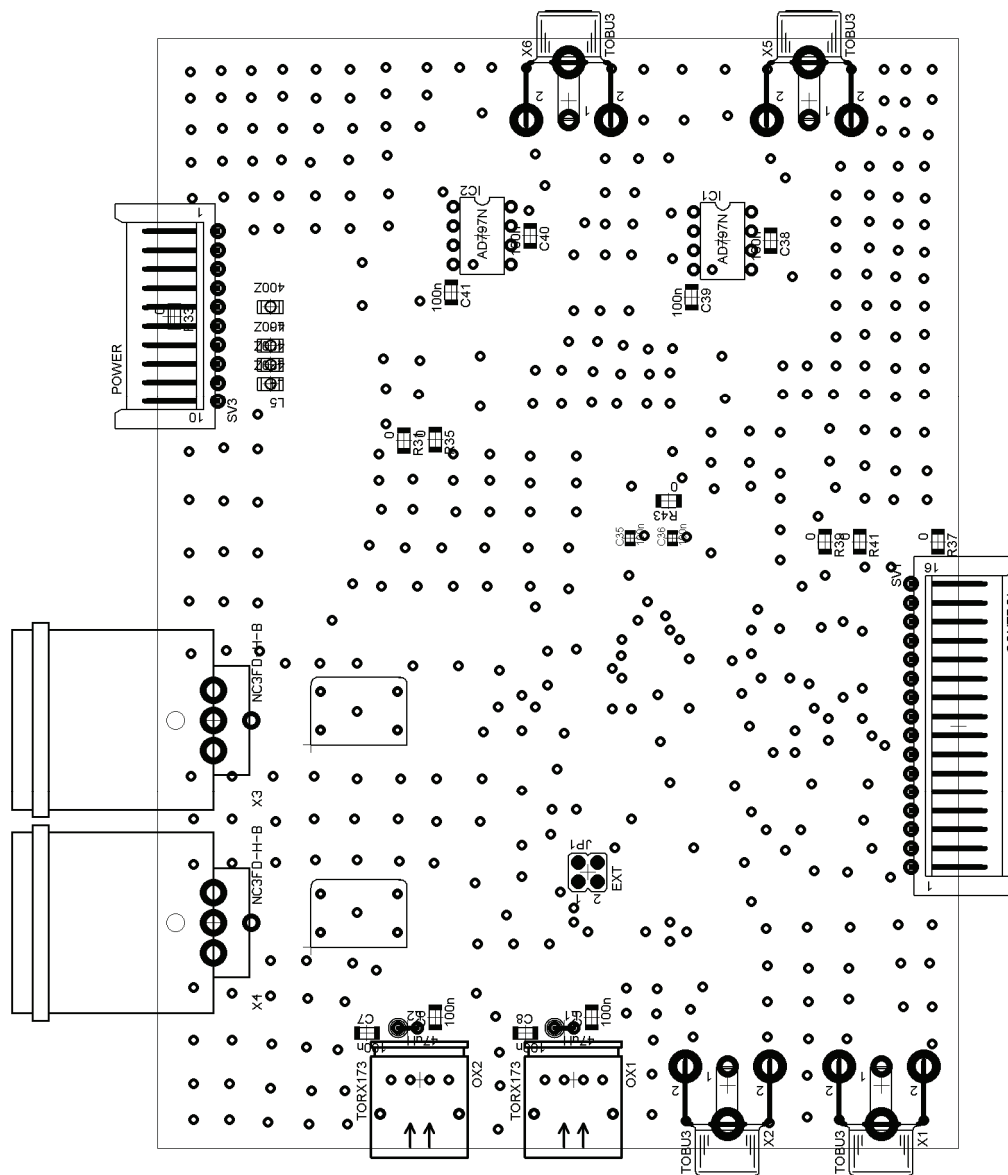
## B.5 Deska s tlačítky – strana BOTTOM



Rozměry desky 100,00 x 25,00 [mm], měřítko M1:1

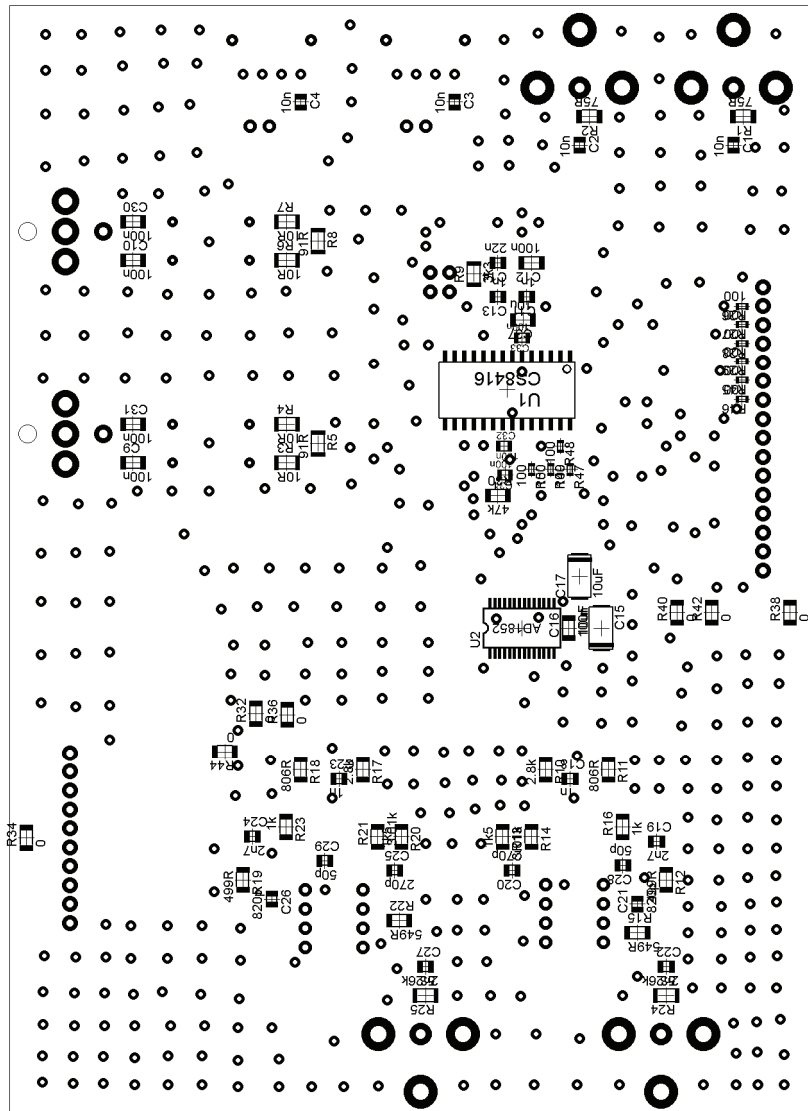
# C OSAZOVACÍ PLÁNY

## C.1 Deska A – strana TOP



Rozměr desky 105,73 x 146,69 [mm], měřítko M1:1

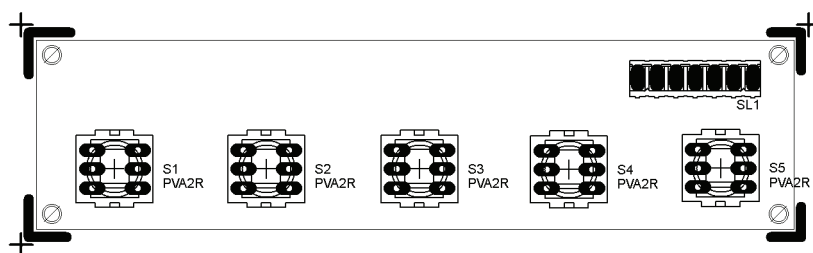
## C.2 Deska A – strana BOTTOM



Rozměr desky 105,73 x 146,69 [mm], měřítko M1:1

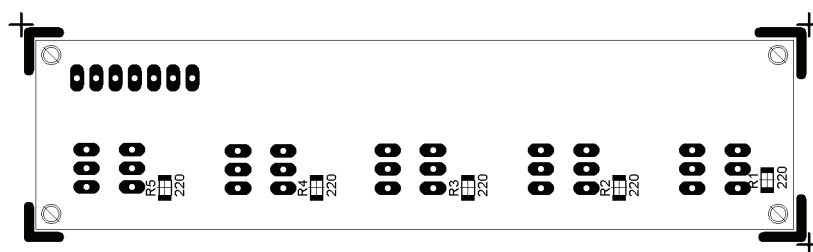


## C.5 Deska s tlačítky – strana TOP



Rozměry desky 100,00 x 25,00 [mm], měřítko M1:1

## C.6 Deska s tlačítky – strana BOTTOM



Rozměry desky 100,00 x 25,00 [mm], měřítko M1:1

# D SOUPLSKY SOUČÁSTEK

## D.1 Deska A

Označení	Hodnota	Pouzdro	Popis
C1	10nF	C0805	SMD kapacitor
C2	10nF	C0805	SMD kapacitor
C3	10nF	C0805	SMD kapacitor
C4	10nF	C0805	SMD kapacitor
C5	100nF	C1206	SMD kapacitor
C6	100nF	C1206	SMD kapacitor
C7	100nF	C1206	SMD kapacitor
C8	100nF	C1206	SMD kapacitor
C9	100nF	C1206	SMD kapacitor
C10	100nF	C1206	SMD kapacitor
C11	1nF	C0805	SMD kapacitor
C12	100nF	C1206	SMD kapacitor
C13	1nF	C0805	SMD kapacitor
C14	22nF	C0805	SMD kapacitor
C15	10uF	CPOL/6032-28R	SMD kapacitor
C16	100nF	C1206	SMD kapacitor
C17	10uF	CPOL/6032-28R	SMD kapacitor
C18	1nF	C0805	SMD kapacitor
C19	2,7nF	C0805	SMD kapacitor
C20	270pF	C0805	SMD kapacitor
C21	820pF	C0805	SMD kapacitor
C22	2,2nF	C0805	SMD kapacitor
C23	1nF	C0805	SMD kapacitor
C24	2,7nF	C0805	SMD kapacitor
C25	270pF	C0805	SMD kapacitor
C26	820pF	C0805	SMD kapacitor
C27	2,2nF	C0805	SMD kapacitor
C28	50pF	C0805	SMD kapacitor
C29	50pF	C0805	SMD kapacitor
C30	100nF	C1206	SMD kapacitor
C31	100nF	C1206	SMD kapacitor
C32	100nF	C0805K	SMD kapacitor
C33	100nF	C0805K	SMD kapacitor
C34	100nF	C0805K	SMD kapacitor
C35	100nF	C0805K	SMD kapacitor
C36	100nF	C0805K	SMD kapacitor
C37	10uF	C1206	SMD kapacitor
C38	100nF	C1206	SMD kapacitor
C39	100nF	C1206	SMD kapacitor

Označení	Hodnota	Pouzdro	Popis
C40	100nF	C1206	SMD kapacitor
C41	100nF	C1206	SMD kapacitor
IC1	AD797N	DIL08	Nízkošumový OZ
IC2	AD797N	DIL08	Nízkošumový OZ
JP1	EXT	JP2Q	Jumper – 2x
L1	47uH	0207/2V	Cívka axiální
L2	47uH	0207/2V	Cívka axiální
L3	400Z	L3225P	SMD tlumivka
L4	400Z	L3225P	SMD tlumivka
L5	400Z	L3225P	SMD tlumivka
L6	400Z	L3225P	SMD tlumivka
OX1	TORX173	TORX173	Optický přijímač
OX2	TORX173	TORX173	Optický přijímač
R1	75R	R1206	SMD rezistor
R2	75R	R1206	SMD rezistor
R3	10R	M1206	SMD rezistor
R4	10R	M1206	SMD rezistor
R5	91R	M1206	SMD rezistor
R6	10R	M1206	SMD rezistor
R7	10R	M1206	SMD rezistor
R8	91R	M1206	SMD rezistor
R9	3k3	M1206	SMD rezistor
R10	2,8k	R1206	SMD rezistor
R11	806R	R1206	SMD rezistor
R12	499R	R1206	SMD rezistor
R13	1k5	R1206	SMD rezistor
R14	3.01k	R1206	SMD rezistor
R15	549R	R1206	SMD rezistor
R16	1k	R1206	SMD rezistor
R17	2.8k	R1206	SMD rezistor
R18	806R	R1206	SMD rezistor
R19	499R	R1206	SMD rezistor
R20	1k5	R1206	SMD rezistor
R21	3.01k	R1206	SMD rezistor
R22	549R	R1206	SMD rezistor
R23	1k	R1206	SMD rezistor
R24	53,6k	M1206	SMD rezistor
R25	53,6k	M1206	SMD rezistor
R26	100R	R0603	SMD rezistor
R27	100R	R0603	SMD rezistor
R28	100R	R0603	SMD rezistor
R29	100R	R0603	SMD rezistor
R30	47k	R1206	SMD rezistor
R31	0	R1206	Propojovací ploška
R32	0	R1206	Propojovací ploška
R33	0	R1206	Propojovací ploška

Označení	Hodnota	Pouzdro	Popis
R34	0	R1206	Propojovací ploška
R35	0	R1206	Propojovací ploška
R36	0	R1206	Propojovací ploška
R37	0	R1206	Propojovací ploška
R38	0	R1206	Propojovací ploška
R39	0	R1206	Propojovací ploška
R40	0	R1206	Propojovací ploška
R41	0	R1206	Propojovací ploška
R42	0	R1206	Propojovací ploška
R43	0	R1206	Propojovací ploška
R44	0	R1206	Propojovací ploška
R45	100R	R0603	SMD rezistor
R46	100R	R0603	SMD rezistor
R47	100R	R0603	SMD rezistor
R48	100R	R0603	SMD rezistor
R49	100R	R0603	SMD rezistor
R50	100R	R0603	SMD rezistor
SV1	CONTROL	L16P	Konektor 16 pinů
SV3	POWER	L10P	Konektor 10 pinů
T1	PE-65612	PE-65612	Odděl. transformátor
T2	PE-65612	PE-65612	Odděl. transformátor
U1	CS8416	SOIC-28L	Digitální přijímač
U2	AD1852	SSOP28	D/A převodník
X1	TOBU3	TOBU3	Konektor CINCH
X2	TOBU3	TOBU3	Konektor CINCH
X3	NC3FD-H-B	NC3FD-H-B	Konektor XLR
X4	NC3FD-H-B	NC3FD-H-B	Konektor XLR
X5	TOBU3	TOBU3	Konektor CINCH
X6	TOBU3	TOBU3	Konektor CINCH

## D.2 Deska B

Označení	Hodnota	Pouzdro	Popis
C1	22pF	C050-024X044	Keramický kapacitor
C2	22pF	C050-024X044	Keramický kapacitor
IC1	ATMEGA32-P	DIL40	Mikrokontrolér
PAD1	PAD_1,8mm	PAD_1	Zemnicí ploška
PAD2	PAD_1,8mm	PAD_1	Zemnicí ploška
PAD3	PAD_1,8mm	PAD_1	Zemnicí ploška
Q1	16,000 MHz	HC18U-H	Krystal 16,00 MHz
R1	10k	0207/10	Rezistor axiální
R2	2k7	M1206	SMD rezistor
R3	2k7	M1206	SMD rezistor
R4	2k7	M1206	SMD rezistor
R5	2k7	M1206	SMD rezistor
R6	2k7	M1206	SMD rezistor
R7	2k7	M1206	SMD rezistor
S1	RESET	REKN	Spínač resetovací
SL1	DISPLAY	10P	Konektor 10 pinů
SL2	LED/BUTTONS	10P	Konektor 10 pinů
SL3	AUX	07P	Konektor 7 pinů
SV1	CONTROL	L16P	Konektor 16 pinů
SV2	SUPPLY	L02P	Konektor 2 piny
SV3	ISP	ML6	Programovací konektor

### D.3 Deska s tlačítky

Označení	Hodnota	Pouzdro	Popis
R1	220	R1206	SMD rezistor
R2	220	R1206	SMD rezistor
R3	220	R1206	SMD rezistor
R4	220	R1206	SMD rezistor
R5	220	R1206	SMD rezistor
S1	LEFT	PVA2R	Tlačítko (š. doleva)
S2	UP	PVA2R	Tlačítko (š. nahoru)
S3	DOWN	PVA2R	Tlačítko (š. dolů)
S4	RIGHT	PVA2R	Tlačítko (š. doprava)
S5	OK	PVA2R	Tlačítko (OK)
SL1		07P	Konektor 7 pinů

## **E CD S PŘÍLOHAMI**

### **Obsah CD:**

- A – Elektronická verze dokumentu (formát PDF)
- B – Kompletní obvodové schéma zapojení (obrázek PNG)
- C – Soubory s DPS vytvořené v programu EAGLE (formát SCH a BRD)
- D – Soubory s exportem z Post-Scriptu (formáty PS a PDF)
- E – Soupisky součástek vygenerované programem EAGLE (formát TXT)
- F – Zdrojové kódy řídicího programu mikrokontroléru
- G – Soubory fotodokumentace (fotografie LCD displeje, formát JPEG)