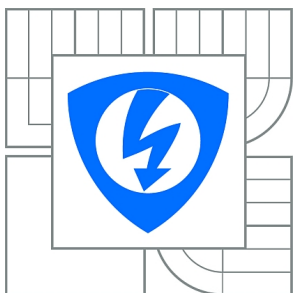


**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH  
TECHNOLOGIÍ**

**ÚSTAV AUTOMATIZACE A MĚŘICÍ TECHNIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF CONTROL AND INSTRUMENTATION

## **DIGITÁLNÍ OSCILOSKOP SE SBĚRNICÍ USB**

DIGITAL OSCILLOSCOPE WITH USB INTERFACE

**BAKALÁŘSKÁ PRÁCE**

BACHELOR'S THESIS

**AUTOR PRÁCE**

AUTHOR

**VÁCLAV VADINSKÝ**

**VEDOUCÍ PRÁCE**

SUPERVISOR

**Ing. ZDENĚK HAVRÁNEK, Ph.D.**

BRNO 2010



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav automatizace a měřicí techniky

# Bakalářská práce

bakalářský studijní obor  
Automatizační a měřicí technika

**Student:** Václav Vadinský

**ID:** 98340

**Ročník:** 3

**Akademický rok:** 2009/2010

**NÁZEV TÉMATU:**

## Digitální osciloskop se sběrnici USB

### POKYNY PRO VYPRACOVÁNÍ:

- 1) V návaznosti na semestrální projekt navrhnete koncepci a obvodové řešení digitálního osciloskopu s minimálně jedním analogovým vstupem vzorkovaným alespoň 10 MHz (kmitočtový rozsah min. 5 MHz), vstupním napětíovým rozsahem minimálně 1V a rozlišením 12 bitů. Připojení k počítači pomocí USB sběrnice. Rozvažte potřebnou kapacitu vlastní paměti osciloskopu pro průběžné ukládání měřených dat. Srovnajte vámi navržené zařízení s konkurencí s ohledem na přepokládané parametry a cenu.
- 2) Realizujte hardwarovou i softwarovou (firmware) část USB osciloskopu dle výše uvedených požadavků. Předpokládá se programování vnitřního hradlového pole FPGA ve VHDL. Vytvořené zařízení by mělo být malých rozměrů (max. 5x10 cm).
- 3) Vytvořte ovládací software v počítači (v jazyce C) pro zobrazení měřených průběhů a nastavování parametrů.
- 4) Ověřte metrologické parametry realizovaného zařízení.

### DOPORUČENÁ LITERATURA:

- [1] Havlík, L. Oscilioskopy a jejich použití. Sdělovací technika, 2002, 254 s. ISBN 80-901936-8-4.
- [2] Firemní literatura Analog Devices, Texas Instruments a Xilinx.

**Termín zadání:** 8.2.2010

**Termín odevzdání:** 31.5.2010

**Vedoucí práce:** Ing. Zdeněk Havránek, Ph.D.

**prof. Ing. Pavel Jura, CSc.**

*Předseda oborové rady*

### UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Práce se zabývá návrhem a realizací hardwaru a softwaru osciloskopu k PC. Komunikace s PC probíhá pomocí USB rozhraní, ze kterého je osciloskop zároveň napájen. Osciloskop je vybaven 2 měřicími kanály s vertikálním rozlišením 12 bitů a maximální vzorkovací frekvencí 80MHz. Veškeré nastavování parametrů je prováděno pomocí programu v PC. Práce se dále zabývá způsobem zaznamenávání, synchronizací měření a posílání naměřených dat do PC a jejich následném zpracování a vyhodnocení.

## **KLÍČOVÁ SLOVA**

A/D převodník, FPGA, OpenGL, osciloskop, FT232, měření

## **ABSTRACT**

The work deals with design and implementation of hardware and software oscilloscope to a PC. A communication with PC is via USB interface from which is the oscilloscope powered. The oscilloscope is equipped with 2 measuring channels with vertical resolution 12 bits and maximum sampling frequency 80MHz. Any adjustment of parameters is performed using the PC. The work also deals with manner of recording, synchronization of measurements and sending the measured data to PC and its subsequent processing and evaluation.

## **KEYWORDS**

A/D converter, FPGA, OpenGL, oscilloscope, FT232, measurement

## **Bibliografická citace:**

VADINSKÝ, V. Digitální osciloskop se sběrníci USB. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2010. 56 s. Vedoucí bakalářské práce Ing. Zdeněk Havránek, Ph.D.

## PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „DIGITální OSCILOSKOP SE SBĚRNÍCÍ USB“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne .....

.....

(podpis autora)

## PODĚKOVÁNÍ

Děkuji vedoucímu bakalářské práce Ing. Zdeňku Havránkovi, Ph.D. za poskytnuté rady a náměty při zpracování mé práce.

V Brně dne .....

.....

(podpis autora)

## OBSAH

<b>1</b>	<b>Návrh HW</b>	<b>11</b>
1.1	Vstupní část . . . . .	11
1.1.1	Vazba signálu a dělič napětí . . . . .	12
1.1.2	Vstupní zesilovač . . . . .	14
1.1.3	A/D převodník . . . . .	17
1.2	Logická část . . . . .	19
1.2.1	Spartan 3AN . . . . .	19
1.2.2	USB . . . . .	22
1.2.3	FT232R . . . . .	22
1.3	Napájení . . . . .	24
1.3.1	Blok napájení +1,2V a +3,3V . . . . .	24
1.3.2	Blok napájení -3,3V . . . . .	25
<b>2</b>	<b>Software - FPGA</b>	<b>28</b>
2.1	Měření . . . . .	28
2.2	Konfigurace A/D převodníků . . . . .	29
2.3	Sériová linka . . . . .	30
2.4	Blok spouštění . . . . .	31
2.5	Odesílání dat . . . . .	31
2.6	Příjem povelů . . . . .	31
<b>3</b>	<b>Ovládací software</b>	<b>33</b>
3.1	Knihovna Qt . . . . .	33
3.2	OpenGL . . . . .	34
3.3	Výpočty a filtr signálu . . . . .	34
3.4	Ovladače D2XX . . . . .	35
<b>4</b>	<b>Dosažené vlastnosti</b>	<b>37</b>
4.1	Zvlnění napájecího napětí . . . . .	37
4.2	Proudový odběr . . . . .	38

4.3	Frekvenční rozsah vstupu . . . . .	39
4.4	Přesnost měření . . . . .	40
4.5	Časový rozsah stupnice a obnovovací frekvence . . . . .	43
4.6	Kalibrační signál . . . . .	44
<b>5</b>	<b>Srovnání s osciloskopy dostupnými na trhu</b>	<b>45</b>
<b>6</b>	<b>Závěr</b>	<b>46</b>
	<b>Reference</b>	<b>47</b>
	<b>Seznam příloh</b>	<b>49</b>
<b>A</b>	<b>Schéma zapojení</b>	<b>50</b>
<b>B</b>	<b>Osazení plošného spoje</b>	<b>53</b>
<b>C</b>	<b>Výsledná realizace</b>	<b>54</b>

## SEZNAM OBRÁZKŮ

1.1	Blokové schéma zapojení. . . . .	11
1.2	Schéma zapojení vstupní části osciloskopu. . . . .	11
1.3	Nedokompenzovaný dělič napětí. . . . .	13
1.4	Kompenzovaný dělič napětí. . . . .	13
1.5	Překompenzovaný dělič napětí. . . . .	13
1.6	Frekvenční charakteristika OPA356 [6]. . . . .	15
1.7	Závislost velikosti harmonického zkreslení na frekvenci OPA356 [6]. . . . .	15
1.8	Principiální schéma zapojení THS4504 [2]. . . . .	16
1.9	Blokové schéma ADS6123 [8]. . . . .	17
1.10	Možnosti konfigurace ADS6123 [8]. . . . .	18
1.11	Blokové schéma DCM jednotky [8]. . . . .	22
1.12	Schéma zapojení měniče na 3,3V. . . . .	24
1.13	Schéma zapojení měniče na -3,3V. . . . .	26
1.14	Účinnost TPS63700 na velikosti odebíraného proudu [16]. . . . .	27
2.1	Podpora blokové RAM pracovat jako dvou-portová [4]. . . . .	29
2.2	Organizace paměti. . . . .	29
3.1	Ovládací program. . . . .	33
4.1	Závislost odběru proudu na vzorkovací frekvenci. . . . .	39
4.2	Frekvenční rozsah vstupní části osciloskopu. . . . .	40
4.3	Přeslech mezi měřicími kanály 1. . . . .	41
4.4	Přeslech mezi měřicími kanály 2. . . . .	41
4.5	Přeslech mezi měřicími kanály 3. . . . .	42
4.6	Přeslech mezi měřicími kanály 4. . . . .	42
A.1	Schéma vstupní části osciloskopu. . . . .	50
A.2	Schéma logické části osciloskopu. . . . .	51
A.3	Schéma napájecí části osciloskopu. . . . .	52
B.1	Spodní strana plošného spoje. (zmenšeno) . . . . .	53
B.2	Osazení spodní strany plošného spoje. . . . .	53
B.3	Vrchní strana plošného spoje. (zmenšeno) . . . . .	53

B.4 Osazení vrchní strany plošného spoje. . . . .	53
C.1 Výsledná realizace osciloskopu. . . . .	54

## SEZNAM TABULEK

1.1	Napěťové rozsahy osciloskopu. . . . .	14
1.2	Možnosti konfigurace FPGA. . . . .	21
1.3	Celkový proudový odběr z jednotlivých napájecích větví. . . . .	24
2.1	Vyhodnocení instrukcí. . . . .	32
4.1	Zvlnění výstupních napětí měničů. . . . .	37
4.2	Odběr proudu osciloskopu. . . . .	38
4.3	Frekvenční charakteristika vstupu. . . . .	39
5.1	Porovnání vlastností osciloskopů. . . . .	45

## ÚVOD

Zadáním práce bylo navrhnout osciloskop připojený k PC pomocí sběrnice USB a ovládací program pro PC. Napájení osciloskopu je zajištěno z USB rozhraní. Vzhledem k rychlosti vzorkování dat, bylo k řízení A/D převodníku a všech dalších periférií osciloskopu použito programovatelné hradlové pole, které zajišťuje celou činnost osciloskopu. Kvůli složitosti implementaci USB protokolu do FPGA a poté tvorbě ovladačů pro PC byl použit převodník z USB na sériový port.

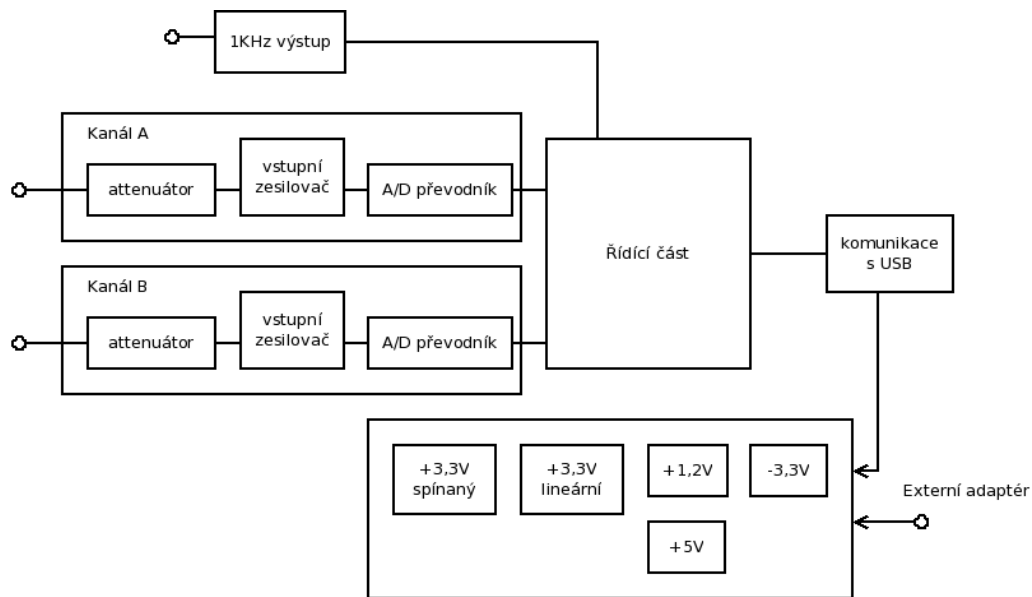
Osciloskop byl navržen jako dvoukanálový s maximální vzorkovací frekvencí 80MHz a napěťovým rozsahem 1 - 20 Vp-p. Protože jsou oba měřicí kanály identické, bude v práci popsán jen kanál A. Osciloskop obsahuje obdélníkový výstup o frekvenci 1KHz, který slouží ke kalibraci vstupních měřicích sond.

Ovládání osciloskopu je prováděno z programu v PC, který byl napsán v program. jazyku C++ pro operační systémy Windows a Linux. Program byl napsán s ohledem na možnost jednoduchého rozšíření o další funkce.

Konstrukce osciloskopu byla umístěna do plastové krabičky, podle které byly určeny rozměry plošného spoje.

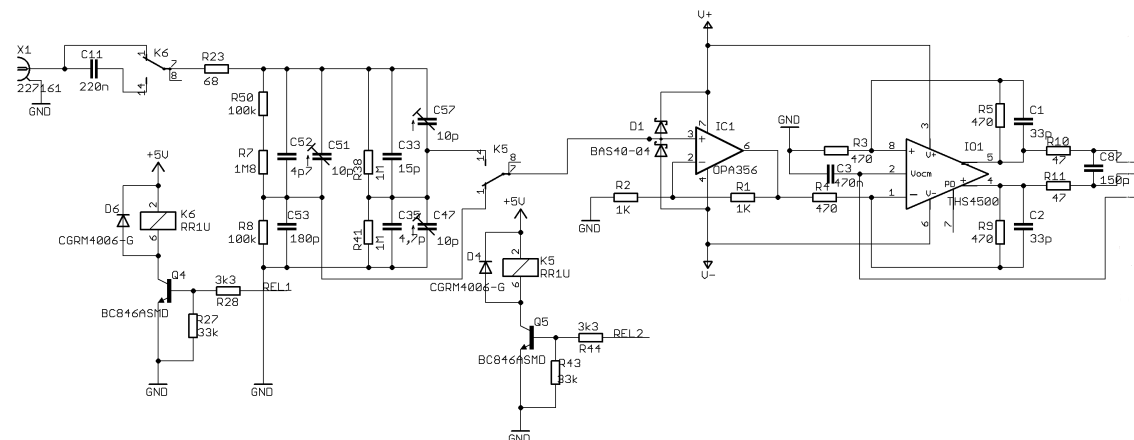
# 1 NÁVRH HW

Osciloskop byl navržen tak, aby byl co nejjednodušší na oživení a jednoduchou replikací. Koncepte vychází z následujícího blokového schématu.



Obrázek 1.1: Blokové schéma zapojení.

## 1.1 Vstupní část



Obrázek 1.2: Schéma zapojení vstupní části osciloskopu.

### 1.1.1 Vazba signálu a dělič napětí

Vstupní část je tvořena přepínatelnou vazbou signálu. K přepínání slouží relé  $K1$ . U střídavé vazby je dolní mezní frekvence daná kapacitou vazebního kondenzátoru a vstupním odporem děličů napětí.

$$f = \frac{1}{2 \cdot \pi \cdot R \cdot C} [Hz] \quad (1.1)$$

Kde:  $R$  – je vstupní odpor napěťového děliče.

$C$  – je kapacita vazebního kondenzátoru.

$$f = \frac{1}{2 \cdot \pi \cdot 10^6 \cdot 220 \cdot 10^{-9}} = 0,72 [Hz]$$

Podle výše uvedeného výpočtu je tedy  $0,72 Hz$ . Horní mezní frekvence je omezená vzorkovací frekvencí A/D převodníku a šířkou pásma vstupního zesilovače.

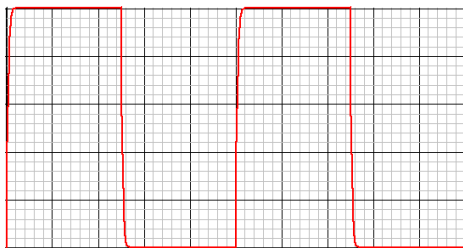
Osciloskop obsahuje celkem 2 napěťové děliče, které jsou spojeny paralelně a přepíná se pouze jejich výstup na vstupní zesilovač. Jejich dělicí poměry jsou  $1 : 2$  a  $1 : 20$ . Vstupní odpor každého děliče byl navržen na  $2 M\Omega$ , aby výsledný vstupní odpor byl roven  $1 M\Omega$ , což je hodnota, kterou má většina osciloskopů. Vstupní dělič je frekvenčně kompenzovaný a k doladění kompenzace slouží kapacitní trimry.

Frekvenční kompenzace se provede za pomoci obdelníkového signálu o frekvenci pár kHz. Přivede se na vstup osciloskopu přímo (bez napěťové sondy) a osciloskop se nastaví na rozsah  $1V$  nebo  $2V$  na dílek tak, aby bylo zobrazení signálu optimální. Poté je potřeba doladit zobrazení průběhu signálu kapacitním trimrem  $C_{51}$  tak, aby byl zobrazen čistý obdelník. Poté se přepne rozsah na  $0,2V$  nebo  $0,1V$  na dílek, kapacitní trimr  $C_{57}$  se nastaví zhruba do prostřed svého rozsahu a trimrem  $C_{47}$  se doladí zobrazení na čistý obdelníkový signál.

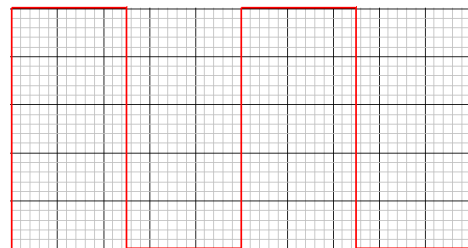
Protože při přepínání rozsahů dochází i k přepojování vstupní kapacity OZ OPA356 k jednotlivým kapacitním děličům, dochází k mírné změně celkové vstupní kapacity. Pokud bude trimr  $C_{57}$  nastaven na  $5 pF$ , aby celková kapacita horní poloviny děliče byla  $20 pF$ , bude nutné nastavit trimr  $C_{47}$  tak, aby s připojeným vstupem OZ byla celková kapacita dolní poloviny děliče také  $20 pF$ . V tento okamžik je druhý kapacitní dělič nastavený tak, že jeho výsledná kapacita je  $9,072 pF$  a celková vstupní kapacita měřicího kanálu je  $19,072 pF$ . Pokud při tomto nastavení dojde k přepnutí rozsahu, bude kapacita prvního

děliče celkem  $9,075 pF$  a druhého děliče  $20 || (20 - 1,5) = 9,61 pF$ , je výsledná kapacita vstupu rovna  $9,075 + 9,61 = 18,676 pF$ . Rozdíl vstupních kapacit při přepínání rozsahů je  $19,072 - 18,676 = 0.396 pF$ . Tento rozdíl kapacity může způsobit mírné rozladění připojené napěťové sondy.

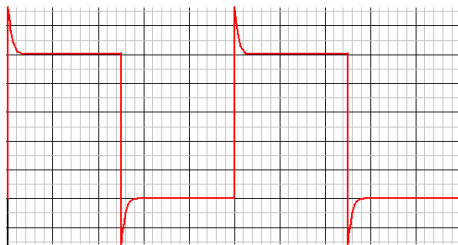
Řešením tohoto problému by bylo při přepínání mezi těmito děliči přepínat dalším relém i jejich vstupy ke vstupu osciloskopu. Protože by ale přidání dalších 2 relé překročilo proudové omezení USB sběrnice, bylo ponecháno výše uvedené řešení jako dostačující.



Obrázek 1.3: Nedokompenzovaný dělič napětí.



Obrázek 1.4: Kompenzovaný dělič napětí.



Obrázek 1.5: Překompenzovaný dělič napětí.

Osciloskop obsahuje 4 napěťové rozsahy.

K přepínání rozsahů a vazby signálu byla zvolena jazýčková přepínací relé typu RR1U. Odpor jejich spínací cívky je  $100 \Omega$  a při spínacím napětí  $5V$  má relé odběr  $50mA$ . Tento typ relé byl zvolený pro jeho nízký odběr v sepnutém stavu, aby bylo možno napájet osciloskop z USB. Relé jsou spínána tranzistory BC846A a mají ke spínací cívce paralelně připojené ochranné diody.

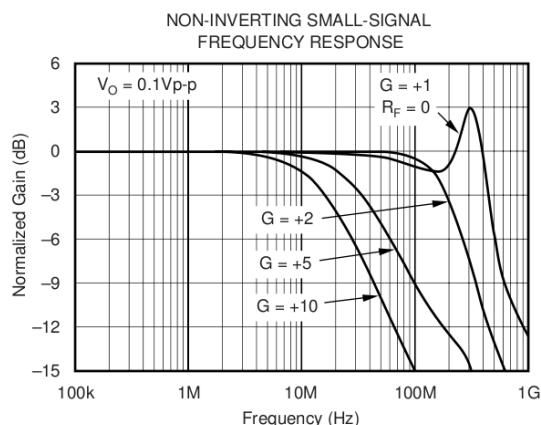
Napěťový rozsah $U_{p-p}[V]$	
1	Je vytvořen použitím vstupního děliče s dělicím poměrem 2. Protože následující vstupní zesilovač napětí z děliče zesílí 2x, dostane se na vstup A/D převodníku napětí stejné jako na vstupním konektoru. Protože referenční napětí převodníku bude sníženo na 1V, je tedy napěťový rozsah 1V.
2	Stejná konfigurace jako u předchozího rozsahu, ale referenční napětí A/D převodníku ponecháno na standardních 2V, takže měřicí rozsah převodníku je 2V.
10	Je vytvořen použitím vstupního děliče s dělicím poměrem 20. Protože následující vstupní zesilovač napětí z děliče zesílí 2x, dostane se na vstup A/D převodníku napětí 10x zeslabené oproti vstupnímu konektoru. Protože referenční napětí převodníku bude sníženo na 1V, je tedy napěťový rozsah 10V.
20	Stejná konfigurace jako u předchozího rozsahu, ale referenční napětí A/D převodníku ponecháno na standardních 2V, takže měřicí rozsah převodníku je 20V.

Tabulka 1.1: Napěťové rozsahy osciloskopu.

### 1.1.2 Vstupní zesilovač

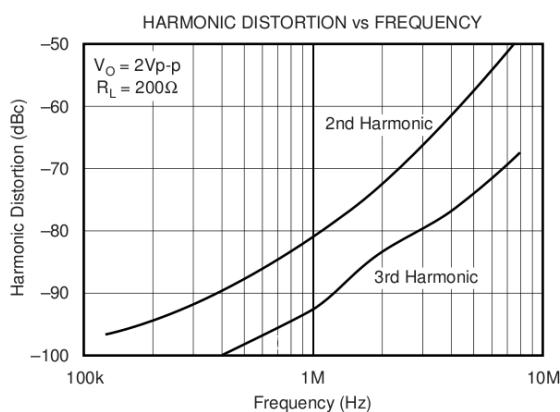
Jako vstupní zesilovač byl vybrán operační zesilovač OPA356. Tento OZ byl vybrán, protože má J-Fet tranzistory na vstupech, díky nimž má požadovanou vysokou vstupní impedanci. Výstupní odpor děliče napětí je až  $10^6\Omega$ , vstupní odpor tohoto OZ je typicky  $10^{13}\Omega$ , takže ovlivnění dělicího poměru děliče je minimální. Frekvenční šířka pásma je 200MHz, která je dostatečná pro požadovaný frekvenční rozsah 5MHz. OZ je zde zapojen v neinvertujícím zapojení se zesílením  $A_u = 2$ , aby bylo minimalizováno rezonanční převýšení ve frekvenční charakteristice. Ve schématu zapojení je na vstupu OZ zakreslená dvojitá schottkyho dioda pro ochranu vstupu proti přepětí. Tato dioda byla nakonec vnechána, protože OPA356 obsahuje na vstupech ochranné diody, které snesou krátkodobě

proud  $10\text{mA}$ . Vynecháním této diody byla snížena kapacita vstupu OZ.



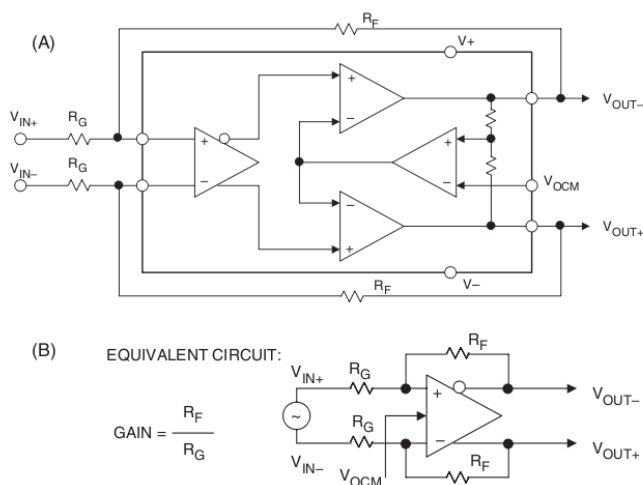
Obrázek 1.6: Frekvenční charakteristika OPA356 [6].

Oproti cenově a šířkou frekvenčního pásma srovnatelných OZ s bipolárními tranzistory na vstupech má však při vyšších frekvencích vyšší zkreslení, z toho důvodu byla omezena frekvenční šířka pásma v následujícím stupni. Byl však upřednostněn kvůli jednodušší konstrukci, protože v případě použití OZ s bip. tranzistory by se muselo zapojení rozšířit o obvody pro zvýšení vstupní impedance.



Obrázek 1.7: Závislost velikosti harmonického zkreslení na frekvenci OPA356 [6].

Protože A/D převodník má diferenciální vstup, bylo dobré ho pro minimalizaci rušivých signálů využít. Proto byl zařazen mezi výstup OPA356 a A/D převodník diferenciální OZ THS4504 [7]. Tento OZ vytváří z nesymetrického signálu signál symetrický posunutý na výstupu o úroveň napětí na vstupu  $V_{OCM}$ , což je nutné pro správnou funkci A/D převodníku. Principiální schéma je na následujícím obrázku.



Obrázek 1.8: Principiální schéma zapojení THS4504 [2].

Jeho frekvenční šířka pásma je  $270\text{MHz}$  a je omezena z důvodu výše uvedeného zkreslení OZ OPA356 kondenzátory ve zpětné vazbě na  $10\text{MHz}$ . Spolu s odpory  $R_{10}$ ,  $R_{11}$  a kondenzátorem  $C_{87}$  tvoří dolní frekvenční propust druhého řádu s mezní frekvencí  $10\text{MHz}$ .

Tato dolní propust zároveň funguje jako anti-aliasingový filtr pro A/D převodník, uplatní se však až pro vzorkovací frekvenci  $20\text{MHz}$  a vyšší. Při nižších vzorkovacích frekvencích se neuplatní a může tedy dojít ke vzniku aliasing efektu. Tomu by se dalo zabránit přeladitelnou dolno-frekvenční propustí, která zde ale není realizována.

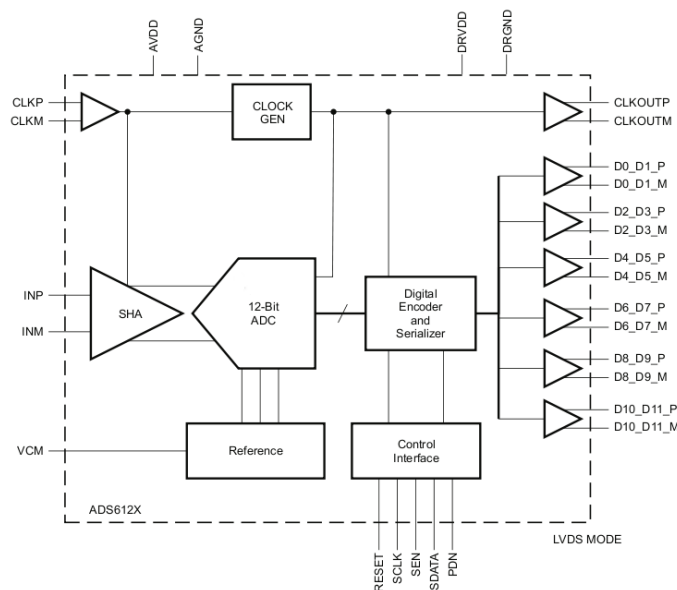
### 1.1.3 A/D převodník

K samotnému převodu analogové hodnoty na digitální byl vybrán A/D převodník ADS6123.

Jeho hlavní parametry jsou:

- rozlišení 12 bitů
- vzorkovací frekvence v rozsahu 1 – 80MHz
- nastavitelné vnitřní referenční napětí v rozsahu 1 – 2V celkem v 7-mi krocích
- možnost použití externího referenčního napětí
- napájecí napětí analogové části 3,3V a digitální v rozsahu 1,8 – 3,3V
- stabilizace středy vstupního hodinového signálu
- odstup signálu od šumu 71.4dB při  $F_{in} = 50MHz$
- celkové harmonické zkreslení 88dB při  $F_{in} = 50MHz$

Z nastavitelnosti referenčního napětí plyne možnost měnit napěťový rozsah.



Obrázek 1.9: Blokové schéma ADS6123 [8].

ADS6123 umožňuje změnu některých svých parametrů, ke kterým slouží 5 vývodů. Lze použít dva způsoby konfigurace. První způsob je konfigurace přivedením patřičných napěťových úrovní na tyto vývody, kdy vývod RESET je trvale připojen na log. 1.

Druhý, který umožňuje konfigurovat větší škálu parametrů, přijímá konfigurační data pomocí sériové sběrnice. Pro aktivaci této konfigurace je potřeba provést správně reset

konfiguračního rozhraní, který spočívá přivedením log. '1' na RESET minimálně 5ms po přivedení napájecího napětí a po minimálně 10ms přivést zpět log. '0', po 6,5ms je převodník schopen přijímat data pomocí sériového rozhraní. Komunikační probíhá podobně jako u sběrnice SPI. Využívá se hodinový vstup dat SCLK, vývod pro aktivaci příjmu dat SEN a datový vstup SDATA. Komunikace je pouze jednosměrná, takže převodník nijak nepotvrzuje přijatá data a chybí zpětná kontrola správného zpracování instrukce. Hodinová frekvence se může pohybovat v rozsahu jednotek Hz až po 24MHz.

Komunikační protokol je jednoduchý, posílá se celkem 16 bitů dat. Horních 5 bitů obsahuje adresu registru do kterého se zapíšou data obsažená ve zbylých 11-ti bitech. Přehled možností ukazuje následující obrázek:

REGISTER ADDRESS IN HEX	REGISTER FUNCTIONS										
	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00	<PDN OBUF> Output buffers powered down	<COARSE GAIN> Coarse gain	<LVDS CMOS> LVDS or CMOS output interface	0	0	<REF> Internal or external Reference	<RST> Software Reset	0	<PDN CLKOUT> Output clock buffer powered down	0	<STBY> ADC Power down
04	<DATAOUT POSN> Output data position control	<CLKOUT EDGE> Output Clock edge control	<CLKOUT POSN> Output Clock position control	0	0	0	0	0	0	0	0
09	Bit-wise or Byte-wise control	0	0	0	0	0	0	0	0	0	0
0A	<DATA FORMAT> 2s complement or straight binary	0	0	<TEST PATTERNS>			0	0	0	0	0
0B	<CUSTOM LOW> Custom Pattern lower 7bits							0	0	0	0
0C	<FINE GAIN> Fine Gain 0 to 6dB				0	0	0	<CUSTOM HIGH> Custom Pattern upper 5 bits			
0E	0	LVDS Termination LVDS Internal Termination control for output data and clock						<LVDS CURRENT> LVDS Current control		<CURRENT DOUBLE> LVDS current double	
0F	0	0	0	<DRIVE STRENGTH> CMOS output buffer drive strength control				0	0	0	0

Obrázek 1.10: Možnosti konfigurace ADS6123 [8].

K nastavování byly použity registry na adrese 00 a 0C.

Registr 00 je využíván k přepínání A/D převodníků do úsporného režimu a nastavování formátu výstupních dat a výstupního rozhraní. Převodník je nastavován pro přenos dat ve dvojkovém doplňku přes CMOS rozhraní. Při deaktivaci převodníku v ovládacím softwaru se vypíná výstupní buffer a část starající se o samotný A/D převod.

Registr 0C je použit k přepínání rozsahu změnou referenčního napětí. Měřicí rozsah se zde přepíná mezi 1V a 2V.

## 1.2 Logická část

Pro výběr vhodného řídicího členu bylo uvažováno programovatelné hradlové pole nebo dostatečně rychlý mikrokontrolér. Např. NXP-LPC1754FBD80 s jádrem ARM Cortex-M3. V jeho prospěch mluví velký počet periférií včetně USB rozhraní a možnost programování v jazyce C. Nevýhodou oproti hradlovým polím jsou pevně dané výstupy periférií, které by mohly stížit návrh plošného spoje a nemožnost vytvoření rychlých kombinačních částí. Hradlová pole jsou o něco obtížnější na programování, mají však velkou výhodu při vytváření logických bloků, které mohou pracovat paralelně a umožňují rozmístit výstupy vytvořených periférií tak, aby byl zjednodušen návrh plošného spoje. Nakonec byla dána přednost hradlovému poly FPGA i za cenu složitější implementace algoritmů.

Jako řídicí člen vzhledem k rychlosti toku dat z A/D převodníku bylo zvoleno programovatelné hradlové pole FPGA Spartan-3A XC3S50AN od firmy Xilinx. Řídicí část zajišťuje komunikaci s PC, konfiguraci A/D převodníků, přepínání napěťových rozsahů, synchronizaci měřených dat a jejich ukládání do vnitřní SRAM paměti FPGA obvodu. Hodinový zdroj signálu pro hradlové pole může být přiveden z IO FT232R nebo externího krystalového oscilátoru. Návrh počítá s oběma možnostmi. Při použití hodinového signálu z IO FT232R odpadá nutnost použít externí oscilátor, ale na druhou stranu externí oscilátor může dosahovat lepší stability kmitočtu a tím i lepších měřicích vlastností. Protože hodinový signál z IO FT232R nebo externího oscilátoru bude nižší než požadovaných 80MHz, byla pro jeho vytvoření využita vnitřní jednotka DCM FPGA obvodu. Při praktické realizaci byl použit externí krystalový oscilátor na 12MHz a vlastnosti ověřeny s ním.

### 1.2.1 Spartan 3AN

Programovatelná hradlová pole jsou integrované obvody obsahující různé logické programovatelné bloky, které jsou navzájem propojené konfigurovatelnou maticí spojů. Její konfiguraci je narozdíl od mikroprocesorů nutné provést po každém zapnutí obvodu [11].

Výhoda FPGA obvodů je v možnosti vysoké paralelizace prováděných úloh. V tomto zapojení bude současně přijímat data z kanálu A i B, ukládat je do vnitřní paměti RAM, zajišťovat synchronizaci měření a posílat naměřená data z RAM paměti do PC a zároveň přijímat a zpracovávat povely.

Obvod Spartan XC3S50AN [3] se vyrábí ve 144 vývodovém pouzdře TGQ144. Jde o nejmenší model z rodiny Spartan 3AN, umožňuje použít 108 uživatelsky konfigurovatelných pinů, které s rezervou dostačuje pro toto zapojení. Řada obvodů Spartan 3AN se od ostatních 3-kových řad vyznačuje integrovanou flash pamětí, která je určena především k uložení a načtení konfigurační matice. Lze ji však použít podle potřeby jako jakoukoliv jinou flash paměť a např. do ní ukládat některé naměřené údaje. Z důvodu obsazení této flash paměti vyžaduje řada Spartan 3AN napětí +3,3V k napájení vývodů  $V_{CCAUX}$ , ostatní řady si vystačí s napětím 2,5V [4]. Protože napájecí část  $V_{CCAUX}$  je citlivá na zvlnění napájecího napětí [12], je napájena lineárním stabilizátorem napětí.

Většinu pinů lze nakonfigurovat podle potřeby jako vstupní, výstupní nebo vstupně-výstupní. Dokáží pracovat s napěťovými úrovněmi 1,2V, 1,5V, 1,8V, 2,5V a 3,3V podle napětí přivedeného na vývody  $V_{CCO}$  a různými logickými standardy: LVTTTL, LVCMOS, PCI, GTL, GTL+, HSTL, SSTL3, SSTL2, SSTL18. Některé lze nakonfigurovat jako diferenciální vstupní nebo výstupní páry. Výstupní diferenciální páry jsou však přístupné pouze u bank 0 a 2. Piny jsou rozděleny do 4 bank, každá banka je umístěna na jedné straně IO a pro každou banku lze nastavit jinou napěťovou úroveň. Proudová zatížitelnost výstupů je nastavena standardně na 12mA, lze nakonfigurovat i vyšší zatížitelnost, maximálně 24mA, ale ta není k dispozici u některých logických standardů a napěťových úrovní.

U pinů nakonfigurovaných jako vstupy lze nastavit vnitřní odpor připojený k zemi nebo napájecímu napětí příslušné banky, nebo lze vstup nechat bez odporu.

Spartan 3AN vyžaduje různé napájecí napětí pro různé svoje části.

- $V_{CCINT} = 1,2V$  – slouží k napájení vnitřních logických bloků, RAM paměti a násobiček.
- $V_{CCAUX} = 3,3V$  – slouží k napájení všech konfiguračních bloků, vnitřní flash paměti, jednotek DCM a rozhraní JTAG.
- $V_{CCO_x} = 1,2 - 3,3V$  – slouží k napájení výstupních obvodů I/O bank.

Obvody Spartan 3AN umožňují několik způsobů konfigurace. Způsob konfigurace se

volí přivedením patřičných logických úrovní na vývody M0, M1 a M2, zde realizovaných přepínáním pomocí propojek [5]. Protože k přepínání mezi dvěma použitými rešimi konfigurace postačuje pouze propojka M0, byly zbylé dvě propojky vynechány a napevno zapájeny do požadované konfigurace. Následující tabulka ukazuje možnosti konfigurace.

M[0:1:2]	Způsob konfigurace
0:0:0	Master Serial (Platform Flash) Mode
0:0:1	Master SPI Mode
0:1:0	BPI UP
0:1:1	Internal Master SPI
1:0:1	JTAG Mode
1:1:0	Slave Parallel Mode
1:1:1	Slave Serial Mode

Tabulka 1.2: Možnosti konfigurace FPGA.

O průběhu konfigurace informuje výstup pinu DONE, který během konfigurace má na výstupu log. 0 a po nakonfigurování log. 1.

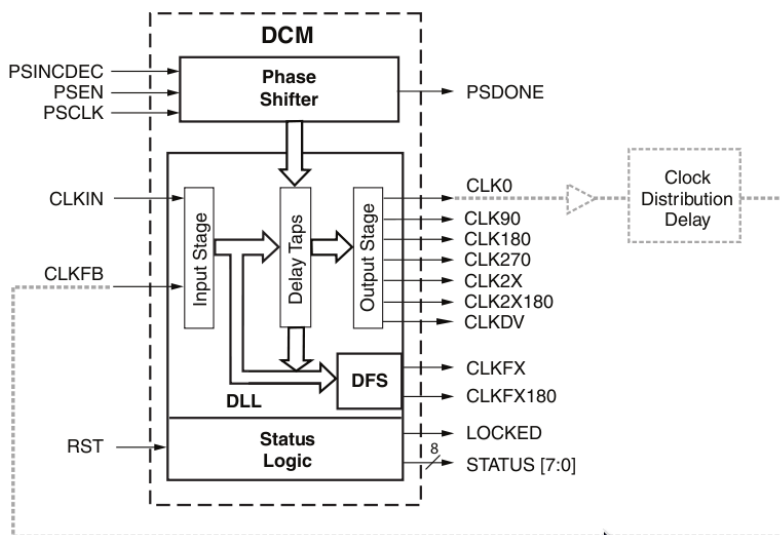
Ke konfiguraci jsou použity *Internal Master SPI mód* a *JTAG mód*. *JTAG mód* je používán pro konfiguraci FPGA a programování jeho vnitřní Flash paměti a *Internal Master SPI mód* je použit po odladění konfigurace FPGA, kdy se konfigurace načítá z interní Flash paměti.

Spartan 3AN obsahuje jednotku DCM, která realizuje následující funkce [4]:

- eliminuje špatné náběžné a sestupné hrany vstupního hodinového signálu
- zajišťuje čistý hodinový výstup se střídou signálu 50%
- posunutí fáze hodinového signálu o  $0^\circ$ ,  $90^\circ$ ,  $180^\circ$ ,  $270^\circ$  tak, aby tato čtveřice výstupů byla spolehlivě ve fázi
- posunutí fáze hodinového signálu po jemných krocích
- dělení a násobení frekvence vstupního signálu v rozsahu  $F_{OUT} = F_{IN} \cdot \frac{M}{D}$ ,  $M = \{2, \dots, 32\}$   $D = \{1, \dots, 23\}$ .

Tato jednotka obsahuje výstupní stavové bity, které informují o připravenosti jednotlivých výstupů.

V tomto zapojení je využita k vynásobení vstupní hodinové frekvence z  $12\text{MHz}$  na  $80\text{MHz}$  a ke generování dvounásobné frekvence hodinového signálu, která se používá pro taktování logického bloku pro sériový přenos dat.



Obrázek 1.11: Blokové schéma DCM jednotky [8].

## 1.2.2 USB

USB je univerzální sériová sběrnice s jedním zařízením typu Master, který řídí veškerou komunikaci. USB umožňuje napájet připojená zařízení napětím  $5\text{V}$  s maximálním proudovým odběrem  $500\text{mA}$ . Napájecí napětí by mělo být odolné proti zkratu. USB využívá 4 vodiče, 2 datové a 2 napájecí [10][1].

Nejrozšířenější revize USB rozhraní je 2.0. Tento typ sběrnice umožňuje komunikaci ve třech režimech, které se liší maximální přenosovou rychlostí:

- Low speed - maximální rychlost dat je  $1,5\text{Mbps}$
- Full speed - maximální rychlost dat je  $12\text{Mbps}$
- High speed - maximální rychlost dat je  $480\text{Mbps}$

## 1.2.3 FT232R

FT232R je převodník z rozhraní USB na sériový port. Umožňuje komunikace po sběrnici USB1.1 a USB2.0. Přenosová rychlost je nastavitelná v rozsahu  $300\text{baud}$  až  $3\text{Mbaud}$ .

Napájecí napětí je 5V a obsahuje 3,3V regulátor napětí pro rozhraní USB. Napěťové úrovně sériového výstupu se dají nastavit v rozsahu 1,8 – 5V přivedením daného napětí na vývod VCCIO. Obvod obsahuje vnitřní oscilátor, takže není nutné připojovat externí [9].

Převodník má od výroby uloženy ve vnitřní EEPROM paměti některé parametry, které je možné změnit. Ovlivnit se dá požadovaný proud z USB, identifikátory VID a PID, sériové číslo, výrobce, název obvodu, invertovat logické úrovně vstupů a výstupů, a vyvést hodinový signál na některý z pinů sběrnice SBUS. Lze ještě nastavit, zda se má po připojení obvodu zavést v operačním systému virtuální sériový port nebo se použije přímý přístup bez obcházení pomocí virtuálního sériového portu a virtuální port se vytvářet nebude. Ke konfiguraci vnitřní paměti lze využít program MProg od výrobce tohoto obvodu nebo lze konfiguraci provést z vlastního programu, pokud je použit přímý přístup k obvodu [9].

Protože podle specifikace USB je zařízení standardně umožněn proudový odběr maximálně 100mA a pro větší proud, maximálně však 500mA, by mělo zařízení o něj požádat, je k FT232R připojen tranzistor mosfet T1, který připojí napětí z USB rozhraní až po schválení požadovaného proudu [1].

## 1.3 Napájení

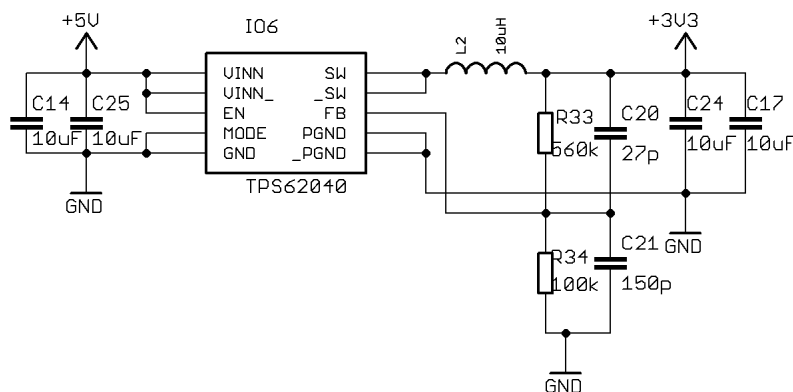
Osciloskop byl navržen tak, aby si vystačil s napájením z USB rozraní. USB obsahuje 5V napětí s tolerancí  $\pm 5\%$  a maximálním proudovým zatížením 500mA. Pro co nejvyšší efektivitu napájení byly zvoleny spínané měniče napětí, až na jednu výjimku, kde byl použit lineární stabilizátor. Následující tabulka ukazuje předpokládaný maximální odběr z jednotlivých napájecích větví.

Napájecí větev	Celkový proud $I_{celk}$ [mA]
+5V	215
+3,3V (spin.)	274
+3,3V (lin.)	8,1
-3,3V	54
+1,2V	20

Tabulka 1.3: Celkový proudový odběr z jednotlivých napájecích větví.

### 1.3.1 Blok napájení +1,2V a +3,3V

Pro napájecí napětí +3,3V a +1,2V je použit měnič napětí TPS62040 [15]. Protože blok napájení +1,2V se liší od bloku s +3,3V pouze napěťovým děličem pro nastavení výstupního napětí, je dále popsán jen návrh pro blok +3,3V.



Obrázek 1.12: Schéma zapojení měniče na 3,3V.

TPS62040 je snižující spínaný měnič napětí s nastavitelným výstupním napětím. Umožňuje pracovat ve dvou režimech volených připojením vývodu MODE na zem nebo napájecí napětí. Při připojení MODE vývodu na zem pracuje v režimu pulsně frekvenční modulace, kdy dosahuje vysoké účinnosti i při nízké zátěži. Při připojení MODE vývodu na napájecí napětí pracuje v režimu pulsně šířkové modulace, kdy nedosahuje tak dobré účinnosti při malém odběru jako předchozí mód, ale produkuje méně rušení. Rozsah napájecího napětí je 2,5 až 6V a maximální výstupní proud je 1,2A. TPS62040 pracuje se spínací frekvencí 1,25MHz, při které potřebuje malou indukčnost na výstupu a k filtraci napětí dostačují keramické kondenzátory.

Obvod je zapojen podle doporučeného zapojení výrobce. Na vstupu vyžaduje blokovat napájecí napětí kondenzátorem s kapacitou alespoň  $22\mu F$  s co nejmenším ESR. Těmto požadavkům vyhovují keramické kondenzátory. V tomto zapojení byly zvoleny dva  $10\mu F$  kondenzátory spojeny paralelně za účelem snížení ESR. Výstupní napětí je dáno velikostí odporu  $R_{33}$  a  $R_{34}$  ve zpětné vazbě a hodnoty odporů se vypočítají podle následujícího vzorce:

$$V_O = 0,5 \cdot \left(1 + \frac{R_{33}}{R_{34}}\right) [V] \quad (1.2)$$

Kde:  $V_O$  – je výstupní napětí.

$R_{33}, R_{34}$  – jsou odpory ve zpětné vazbě.

0,5 – je referenční napětí TPS62040 [15]

Součet odporů  $R_{33} + R_{34} \leq 1M\Omega$ . Použití kondenzátorů  $C_{20}$  a  $C_{21}$  snižuje výstupní šum napětí z regulátoru. Vypočítají se podle následujícího vztahu:

$$C = \frac{1}{2 \cdot \pi \cdot R \cdot 10^4} [F] \quad (1.3)$$

Kde:  $C$  – je kapacita kondenzátoru k příslušnému odporu.

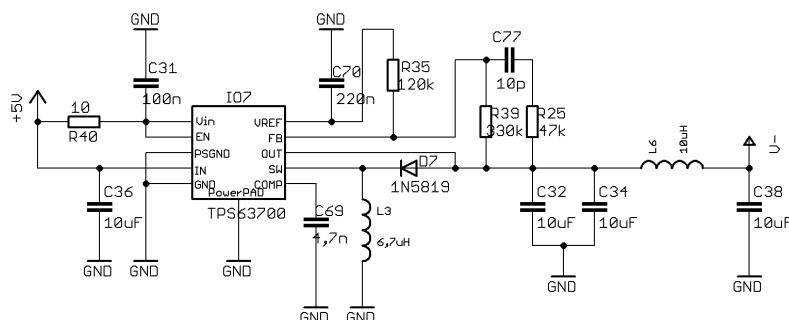
$R$  – je jeden z odporů napěťového děliče.

Odpor  $R_{34}$  byl zvolen  $100k\Omega$  a odpor  $R_{33}$  vyšel  $560K\Omega$ . Hodnoty kondenzátorů vyšly po zaokrouhlení na nejbližší vyráběnou hodnotu  $C_{20} = 27pF$  a  $C_{21} = 150pF$ .

### 1.3.2 Blok napájení -3,3V

TPS63700 [16] tvoří měnič záporného napětí  $-3,3V$ , které je potřeba pro napájení OZ. Pracuje na frekvenci 1,4MHz a je schopen dodat proud až 360mA, poskytuje výkonovou

rezervu pro předpokládaný odběr  $54mA$  použitých OZ. Maximální napájecí napětí je  $5,5V$ , které je v toleranci napětí z USB rozhraní, které je  $5,00V \pm 0,25V$  [10]. Pro zlepšení zvlnění výstupního napětí je na výstup připojen LC filtr L4 a C38.



Obrázek 1.13: Schéma zapojení měniče na  $-3,3V$ .

Zapojení obvodu vychází z doporučeného zapojení výrobcem. Na vstupu obvodu je zapojen blokovací keramický kondenzátor s doporučenou kapacitou  $10\mu F$ . Hodnoty odporů  $R_{35}$  a  $R_{39}$ , které ovlivňují velikost výstupního napětí se vypočítají podle následujícího vztahu:

$$R_{39} = R_{35} \cdot \left( \frac{V_{ref} - V_{out}}{V_{ref}} - 1 \right) [\Omega] \quad (1.4)$$

Kde:  $V_{out}$  – je výstupní napětí.

$R_{35}, R_{39}$  – jsou odpory ve zpětné vazbě.

$V_{ref}$  – je referenční napětí TPS63700,  $V_{ref} = 1,213V$  [16]

Odpor  $R_{35}$  byl zvolen  $120K\Omega$  a hodnota odporu  $R_{39}$  vyšla po zaokrouhlení na nejbližší vyráběnou hodnotu  $330K\Omega$ .

Výstupní napětí je filtrované kondenzátory  $C_{33}$  a  $C_{34}$  s celkovou kapacitou  $20\mu F$ . S touto velikostí výstupní kapacity bude zvlnění výstupního napětí přibližně [16]:

$$\Delta V = \frac{I_{OUT} \cdot V_{OUT}}{f_s \cdot C_{OUT} \cdot (V_{OUT} - V_{IN})} [V] \quad (1.5)$$

Kde:  $V_O$  – je výstupní napětí.

$V_{IN}$  – je napájecí napětí.

$f_s$  – je spínací frekvence měniče,  $f = 1,4MHz$

$I_{OUT}$  – je výstupní proud

$C_{OUT}$  – je kapacita výstupního kondenzátoru

$V_{OUT}$  – je výstupní napětí měniče

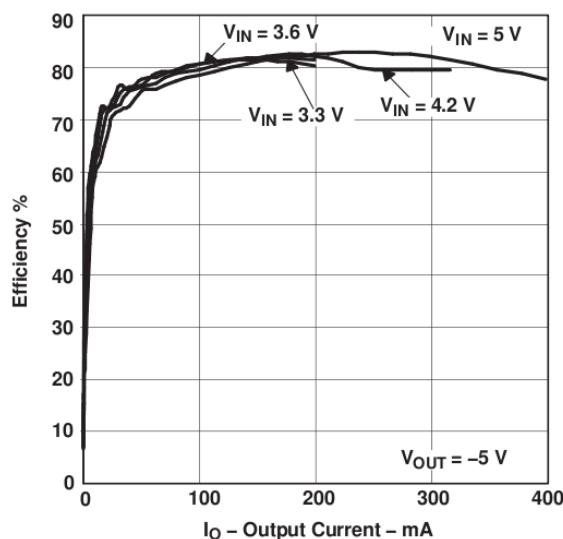
$$\Delta V = \frac{0,054 \cdot (-3,3)}{1,4 \cdot 10^6 \cdot 20 \cdot 10^{-6} \cdot (-3,3 - 5)} = 0,77mV$$

K tomuto zvlnění je ještě potřeba připočíst zvlnění způsobené ESR výstupních kondenzátorů [16]:

$$\Delta V_{ESR} = I_{OUT} \cdot R_{ESR} \tag{1.6}$$

takže výsledné zvlnění napětí bude větší.

Následující graf (obr. 3.2) ukazuje účinnost obvodu na zatížení, výrobce ovšem uvádí účinnost jen pro výstupní napětí vyšší (v absolutní hodnotě) než  $-3,3V$ . Z důvodu úbytku napětí na diodě D7 bude účinnost však účinnost měniče s nižším výstupním napětím klesá, odhadem by mohla být při  $-3,3V$  přibližně 66%. Při předpokládaném odběru výstupního proudu  $54mA$  a použití výpočtů jako v podkapitole s měničem TPS62040 bude vstupní proudový odběr také  $54mA$ .



Obrázek 1.14: Účinnost TPS63700 na velikosti odebíraného proudu [16].

Výsledný proudový odběr z adaptéru nebo USB rozhraní vychází po sečtení odběrů jednotlivých měničů a stabilizátoru napětí a relé maximálně na  $489,1mA$ . Při měření však této hodnoty dosaženo nebylo a blíže rozepsané odběry proudu v různých režimech jsou popsány v kapitole Vlastnosti.

## 2 SOFTWARE - FPGA

Software pro FPGA byl napsán v jazyce VHDL. VHDL je programovací jazyk sloužící pro popis hardware. Používá se pro návrh a simulaci digitálních integrovaných obvodů, například programovatelných hradlových polí (CPLD, FPGA, . . . ), nebo různých zákaznických obvodů (ASIC). VHDL je standardem IEEE od r. 1987, byl revidován v roce 1997 a je použitelný i pro návrh analogových obvodů. Jedná se o typovaný programovací jazyk. VHDL má prostředky pro popis paralelismu, konektivity a explicitní vyjádření času. Jazyk VHDL se používá jak pro simulaci obvodů, tak i pro popis integrovaných obvodů, které se mají vyrábět. Zkratka VHDL znamená VHSIC Hardware Description Language (jazyk pro popis hardware), kde VHSIC je zkratka z Very-High-Speed Integrated Circuit (velmi rychlé integrované obvody) [14].

Pro vývoj firmware bylo použito vývojové prostředí Xilinx ISE WebPACK ve verzi 11.1.

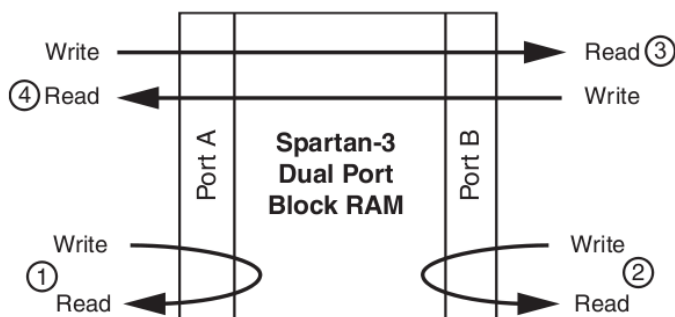
### 2.1 Měření

K ukládání naměřených dat slouží bloková RAM v FPGA obvodu. Její celková kapacita je  $54Kb$  a je složena ze 3 bloků o velikosti  $16Kb$  pro data +  $2Kb$  pro paritní bity. Pro ukládání obou kanálů byla zvolena konfigurace o šíři datové sběrnice 32 bitů, která tak umožňuje uložit 1536 vzorků naměřených dat pro každý měřicí kanál.

Protože při ukládání nejsou ukládány paritní bity, využívá se celkem  $48Kb$  a při šířce vstupních dat  $32b$  vychází maximum uložených vzorků právě  $\frac{48 \cdot 1024}{32} = 1536$ .

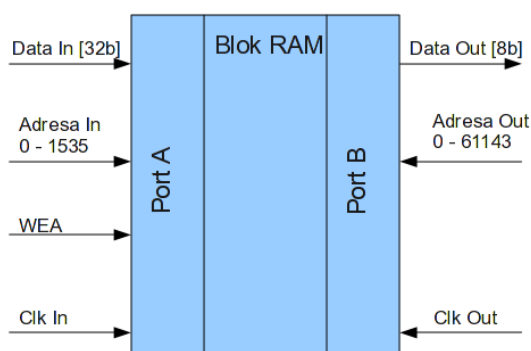
RAM paměť umožňuje pracovat v konfiguraci jako jedno-portová nebo dvou-portová s maximální frekvencí  $240MHz$ . Zde byla s výhodou využita dvou-portová konfigurace, kdy se data do paměti zapisují na portu A o frekvenci vzorkování a čtou z paměti při přenosu dat do PC o konstantní frekvenci  $1MHz$ .

Ukládání do paměti je zahájeno po spouštěcí události nebo uplynutí časového intervalu. Uloží se 1536 vzorků z obou kanálů a poté se pošlou po sériové sběrnici do PC, kde se zobrazí a provedou některé měřicí operace. Výstup dat byl nakonfigurován jako 8 bitový, takže pro přečtení výsledků jednoho měření jsou potřeba 4 cykly. Čtení probíhá



Obrázek 2.1: Podpora blokové RAM pracovat jako dvou-portová [4].

od nejnižších bitů po nejvyšší. 8 bitový výstup dat je výhodný, protože data do PC po sériové lince se přenášejí také po 8 bitech.



Obrázek 2.2: Organizace paměti.

## 2.2 Konfigurace A/D převodníků

Převodníky se konfigurují podle příkazů z PC. K nastavování převodníků byl vytvořena konfigurační jednotka, která má implementován protokol pro komunikaci s převodníky po sériové lince.

Aby převodníky přijímaly data po sériovém rozhraní, konfigurační jednotka po zapnutí osciloskopu provede reset konfiguračního rozhraní. Teprve po provedení resetu umožní posílat konfigurační data. Aby se omezilo elektromagnetické rušení, je zdroj hodin pro konfigurační rozhraní aktivován pouze při posílání konfiguračních dat.

Posílaná konfigurační data jsou pevně naprogramovaná v algoritmu. Proto PC posílá jen číslo požadované konfigurace, nikoliv konkrétní data. Takto je to realizováno z důvodu spolehlivosti. Kdyby se data při přenosu z PC náhodou poškodila, tak nemůže nastat situace, že by se převodníku poslala nesprávná konfigurace.

### 2.3 Sériová linka

Realizace sériové linky byla rozdělena do dvou procesů, na odesílací a přijímací. Přenosová rychlost je daná vstupní hodinovou frekvencí a je 8x nižší než je hodinová frekvence. Pro přenosovou rychlost  $3MBod$  je potřebná hodinová frekvence  $24MHz$ .

Odesílací proces je taktován 8x nižším hodinovým signálem, než je hodinový signál celého bloku. Blok obsahuje výstup pro odesílání dat, indikaci možnosti poslat další data, vstup odesílaných dat a potvrzovací vstup platnosti vstupních dat. Je napsán jako jednoduchý stavový automat. V nultém stavu odesílá start bit, v dalších stavech postupně jednotlivé bity vstupních dat a v posledním stavu stop bit. Poté indikuje možnost odeslání nových dat a čeká na potvrzení platnosti dat na vstupu. Po příchodu signálu platnosti nových dat přepíše vstupní data do registru, vynuluje indikaci možnosti odeslat nová data a vynuluje čítač stavu a celý cyklus posílání dat probíhá znovu. Čítač stavu se inkrementuje o 1 po každém hodinovém taktu až do stavu, kdy jsou data odeslána a čeká se na odeslání nových dat.

Přijímací proces je taktován přímo vstupním hodinovým signálem. Činnost se dá také rozdělit do jednotlivých stavů. V nultém stavu se vzorkuje vstupní signál 8x vyšší frekvencí, než je přenosová rychlost. Je to z důvodu spolehlivého rozpoznání start bitu a eliminaci přechodových dějů na sběrnici. Vstupní signál je při každém taktu zapisován do nejvyššího bitu 8-bitového posuvného registru. Tento registr je při každém taktu posunut do prava a vyhodnocuje se jeho obsah. Hodnota "0001111" je vyhodnocena jako start bit a inkrementuje se hodnota čítače stavu. V následujícím stavu se vynechá jeden hodinový takt, aby se eliminovaly případné přechodové jevy na sběrnici a poté se po každých dalších 8-ti taktech uloží přijatý bit do registru a inkrementuje se čítač stavu. Po přijetí 8 bitů se data přepíší do výstupního registru, vyvolá se sestupná hrana potvrzující přijetí nového bytu dat, vynuluje se čítač stavu a celý cyklus probíhá znovu.

## 2.4 Blok spouštění

Synchroniza měření probíhá softwarově v FPGA. V FPGA je vytvořen proces, který porovnává aktuálně měřenou hodnotu vybraného měřicího kanálu s porovnávací hodnotou přijatou z PC. Tento blok funguje jednoduše jako komparátor, pokud je naměřená hodnota vyšší než komparační, je na jeho výstupu log. 1. Jeho výstup se testuje v dalším procesu. Tento proces pracuje na stejné hodinové frekvenci jako komparátor a A/D převodníky a v případě volby synchronizace spouštění na vzestupnou hranu testuje, zda výstupní signál z komparátoru byl v předchozím kroku '0' a v současném '1' a při splnění této podmínky nebo uplynutí 50000 porovnávacích sekvencí, odstartuje zahájení měření. Při nastavení synchronizace na sestupnou hranu funguje proces analogicky obráceně.

V PC se po přijetí naměřených dat vypočítá střední hodnota signálu a výsledek pošle do osciloskopu jako nová komparační hodnota. Lze při troše úpravy ovládacího SW posílat jakoukoliv jinou komparační hodnotu.

## 2.5 Odesílání dat

O odesílání dat do PC se stará proces označený jako "zaznam\_a\_odesilani\_dat". Jeho funkce je rozdělena do několika stavů. V 0. stavu čeká na povel od PC o možnosti poslat nová data, při přijmutí toho povelu přejde proces do stavu 1. Ve stavu 1 se testuje podmínka, jestli je adresa vstupu paměti rovna 1536. Pokud je, znamená to, že je RAM paměť naplněná změřenými daty a je možno data poslat a proces přejde do dalšího stavu. V tomto stavu se už posílají naměřená data do PC, testuje se, zda blok odesílání dat sériové linky indikuje možnost odeslat data a při splnění podmínky se pošle 1 byte dat. Po odeslání celkem 6144 bytu přejde proces do dalšího stavu, kde se vyhodnocuje údaj z PC, že data byla přijata a proces přechází do 0. stavu, aby se mohly poslat nová změřená data.

## 2.6 Příjem povelů

Pro vyhodnocení příkazů z PC byl navržen blok, který vyhodnocuje povel ze 3 přijatých bytů dat. Funguje jako stavový automat. Po přijetí dat nejdříve vyhodnotí první znak,

podle jeho hodnoty vyhodnotí druhý znak a opět podle jeho hodnoty vyhodnotí poslední třetí znak. Na základě těchto kombinací změní na určitých výstupech data. Výstupy z toho bloku potom vedou do patřičných bloků (blok nastavení A/D převodníků, synchronizace měření ovládání relé...), které vyhodnocují tyto kombinace. První přijatý dat indikuje, co se bude nastavovat, např. parametry A/D převodníku nebo vzorkovací frekvence. Ve druhém přijatém bytu je zpravidla informace o kterou periférii se jedná, např. první nebo druhý A/D převodník a ve třetím bajtu je informace o který parametr se jedná.

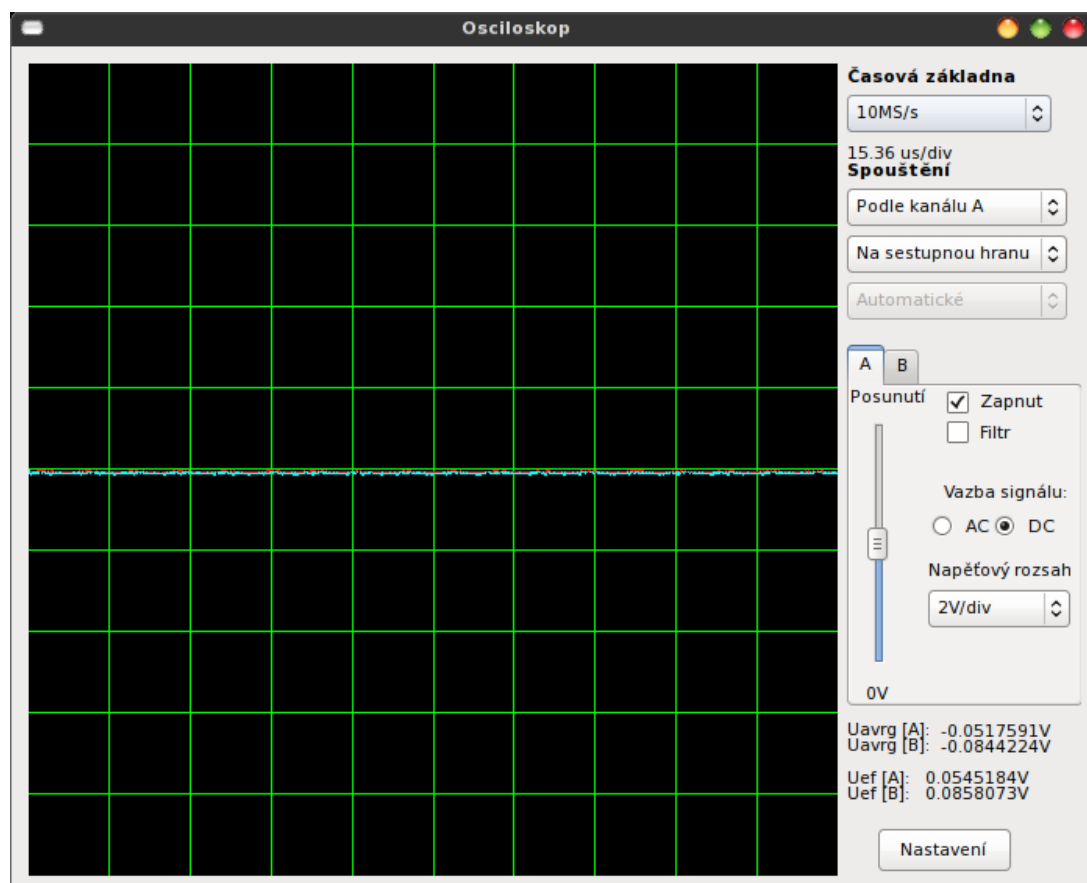
Data 1. Byte	2. Byte	3. Byte
0x72	číslo relé	0-rozepnuto, 1-sepnuto
0x74	číslo dělicího poměru vzork. frekvence 0-80MHz, 1-40MHz, 2-20Mhz ....	
0x6f	1 - poslat naměřená data 0 - nic	
0x73	0x6b	0 - spouštění podle kanálu A 1 - spouštění podle kanálu B
0x73	0x68	spouštěcí hodnota
0x73	ostatní	0 - spouštění na sestupnou hranu 1 - spouštění na vzestupnou hranu
0x70	0 - A/D převodník A 1 - A/D převodník B	nastavení

0xff - reset znak, vždy vynuluje přijímací blok na přijímání první instrukce

Tabulka 2.1: Vyhodnocení instrukcí.

### 3 OVLÁDACÍ SOFTWARE

Ovládací program byl navržen s následujícím rozvržením prvků:



Obrázek 3.1: Ovládací program.

V pravé části je ovládací panel pro nastavování vzorkovací frekvence, režimů spouštění, napěťových rozsahů a vazeb signálů. A ve spodní části tohoto panelu se vypisují spočítané hodnoty napětí. Levá část programu je celá určena pro zobrazování průběhů signálů.

#### 3.1 Knihovna Qt

Ovládací program pro PC byl napsán v jazyce C++ za pomoci knihovny Qt v. 4.6. Tato knihovna byla zvolena z důvodu zjednodušení psaní multiplatformních programů bez úpravy zdrojového kódu pro jednotlivé platformy. Úpravy kódu jsou nutné při použití některých jiných knihoven než Qt.

Pro psaní programu bylo použito vývojové prostředí Nokia Qt SDK ve verzi 2010.02.1, které je ke stažení z <http://qt.nokia.com/downloads>.

## 3.2 OpenGL

OpenGL je rozhraní pro programování aplikací, které může fungovat nad libovolným hardware, který pracuje s pixely (má frame buffer). V OpenGL je vše popsáno stavy a programátor svými příkazy tyto stavy mění. OpenGL je nezávislé na platformě a prostřednictvím ovladače komunikuje přímo s hardware (nikoli přes operační systém) [13].

Pro snížení nároků na výpočetní výkon procesoru jsou průběhy napětí vykreslovány právě pomocí rozhraní OpenGL, ostatní prvky programu se vykreslují pomocí prostředků operačního systému.

O zobrazování průběhu dat se stará třída *GLWidget*, která dědí vlastnosti třídy *QGLWidget*, která je standardní součástí knihoven Qt a umožňuje používat rozhraní OpenGL. K přijetí naměřených dat je určena metoda (slot) `zobraz(float *data1, float *data2)`, která přijme adresy ukazatelů na pole naměřených dat a ty uloží. Potom se vyvolá metoda `paintGL()`, která přes rozhraní OpenGL zobrazí naměřená data. Pomocí cyklů pošle grafické kartě pozice jednotlivých bodů vzorků dat. K tomu používá funkci `glBegin(GL_LINE_STRIP)`, kde `GL_LINE_STRIP` značí, že jednotlivé body budou spojeny úsečkami.

## 3.3 Výpočty a filtr signálu

Ovládací program počítá a zobrazuje střední a efektivní hodnotu měřeného napětí. Výpočet střední hodnoty napětí se provádí jako průměr změřených hodnot.

$$U_{avg} = \frac{\sum_{i=0}^n(u_i)}{n} \quad (3.1)$$

Kde:  $i$  – je pořadí změřeného vzorku.

$n$  – je počet změřených vzorků.

Pro výpočet efektivní hodnoty napětí se použil následující vztah [17]:

$$U_{ef} = \sqrt{\frac{\int_0^T u^2(t) dt}{T}} \quad (3.2)$$

který byl upraven pro realizaci v jazyce C na:

$$U_{ef} = \sqrt{\frac{\sum_{i=0}^n (u_i^2)}{n}} \quad (3.3)$$

K filtraci šumu v naměřených datech se dá aktivovat filtr. Tento filtr počítá plovoucí průměr pěti vzorků signálu. Filtr dobře filtruje napěťové špičky signálu a uplatnění najde především u průběhů napětí jako je sinus. U obdelníkového průběhu značně zaobljuje náběžné a sestupné hrany. Toto zaoblčení narůstá se stoupajícím počtem zobrazených period signálu.

### 3.4 Ovladače D2XX

V osciloskopu byl použit výše zmíněný převodník ze sériového portu na USB FT232R. K němu výrobce dodává 2 verze ovladačů. Verze VCP vytváří v PC virtuální sériový port ke kterému lze přistupovat jako k jakémukoliv jinému sériovému portu. Nevýhodami tohoto řešení jsou nižší maximální přenosová rychlost a nemožnost ovlivnit některé vlastnosti komunikace. Proto byly vybrány ovladače D2XX. Tyto ovladače nezpřístupňují převodník přes virtuální sériový port, ale umožňují k němu přistupovat pomocí knihovny. Použitím těchto ovladačů je nejvyšší možná přenosová rychlost  $3Mbod$ , která je zde použita.

Pro přehlednost při programování byla naprogramována třída `ftdi`, která využívá výše uvedené ovladače D2XX ve verzi 2.06.02 pro OS Windows a ve verzi 0.4.16 pro OS Linux. Třída obsahuje několik metod. Např. metodu `vytvorKomunikaci()` pro vytvoření komunikace, metodu `nastavParametry` pro nastavení komunikačních paramterů. Často používaná metoda je `odeslData(char [3])`, která se používá pro posílání příkazů osciloskopu, jako je změna napěťového rozsahu, vazba signálu, vzorkovací frekvence... Pro příjímání dat z osciloskopu je určena metoda `prijData()`, která má návratovou hodnotu typu `bool`, metoda nejdříve zjistí, zda je v příjmacím bufferu uložen celý blok dat a pokud ano, načte přijatá data a složí data rozdělená při posílání zpět do požadované formy,

výsledná data jsou pole dat typu float pro každý měřicí kanál v rozsahu  $\langle -1; 1 \rangle$ , protože takový formát dat vyžaduje naprogramovaná třída pro zobrazení dat.

Navázání komunikace s FT232R začíná pomocí volání funkce `FT_ListDevices`, která zjistí počet připojených obvodů FTDI. Pokud je nalezen alespoň jeden obvod, je otevřena komunikace voláním funkce

`FT_OpenEx(popis, FT_OPEN_BY_DESCRIPTION, &ftHandle)`, kde "popis" je řetězec znaků, ve kterém je uložen naprogramovaný název. Funkce tedy otevře komunikace jen s obvodem, který má ve své paměti nakonfigurovaný požadovaný název, v tomto případě "osciloskop". Pokud jsou nalezeny nějaké FTDI obvody, ale žádný nemá naprogramovaný popis "osciloskop", tak k otevření komunikace nedojde a dojde ke zobrazení varování o nenalezení připojeného osciloskopu.

Pro zajištění optimální komunikace byla změněna velikost přijímacího a odesílací bufferu dat voláním funkce `FT_SetUSBParameters(ftHandle, prichozi, odchozi)`, kde "prichozi" je velikost přijímacího bufferu dat a je nastavena na hodnotu 6144 podle počtu přijímaného bloku dat. Odchozí buffer byl nastaven na nejnižší možnou velikost 64, protože se do osciloskopu posílají pouze krátké povely.

Osciloskop je nutné připojit před spuštěním ovládacího programu v PC, protože detekce připojeného osciloskopu probíhá jen při spuštění programu a dodatečná detekce není naprogramovaná.

## 4 DOSAŽENÉ VLASTNOSTI

Souhrn parametrů osciloskopu:

- napájení z USB rozhraní, max. spotřeba  $490mA$
- vzorkovací frekvence 1,25 - 80 MHz nastavitelná v 7-mi krocích
- rozlišení 12 bitů
- 4 napěťové rozsahy: 1V, 2V, 10V, 20V
- přepínatelná vazba vstupního signálu
- vstupní impedance  $1M\Omega || 19pF$
- paměť dat 1536 vzorků na každý kanál

### 4.1 Zvlnění napájecího napětí

Pro ověření vypočítaného zvlnění výstupního napětí měničů bylo změřeno skutečné zvlnění pomocí osciloskopu Agilent při maximálním odběru osciloskopu - vzorkovací frekvence  $80MHz$ , všechna relé sepnuta.

Měnič napětí	$U_{zvl(p-p)} [mV]$	$U_{zvl(p-p)} [mV]$	$U_{zvl(p-p)} [mV]$
$U_{+3,3}$	70	31 (za $L_5$ )	24 (za $L_4$ )
$U_{+1,2}$	100		
$U_{-3,3}$	20	13 (za $L_6$ )	

Tabulka 4.1: Zvlnění výstupních napětí měničů.

Z tabulky naměřených hodnot je vidět, že použití LC filtrů pro filtraci napětí pro analogovou část A/D převodníků a napájecí napětí OZ je účelné, protože zvlnění napětí u 3,3V napájení snižují více než o polovinu a u záporného napájecího napětí téměř o polovinu.

Podle výpočtu v návrhu měniče napětí na  $-3,3V$  vyšlo výstupní zvlnění  $0,71mV$  + zvlnění způsobené sériovým odporem kondenzátorů. Pokud bude brána tato vypočtená hodnota jako pravdivá, lze dopočítat sériový odpor použitých kondenzátorů.

$$\Delta V_{ESR} = \Delta V_{zmer} - \Delta V = 20 - 0,71 = 19,29mV \quad (4.1)$$

$$R_{ESR} = \frac{\Delta V_{ESR}}{I_{OUT}} = \frac{19,29}{54} = 0,3577\Omega \quad (4.2)$$

## 4.2 Proudový odběr

Odběr proudu byl měřen pro několik režimů osciloskopu. Aby se nechala vypočítat spotřeba samotného A/D převodníku, bylo nutné měřit spotřebu s obouma převodníkyma přepnutýma do úsporného režimu, spotřeba s jedním aktivním A/D převodníkem a pro představu o celkové spotřebě byly oba A/D převodníky aktivní.

$f_{vzork}[MHz]$	$I_1[mA]$	$I_2[mA]$	$I_3[mA]$	$I_{AD}[mA]$		
1,25	181,9	154,8	127,2	27,6		
10,00	196,3	163,6	131,1	32,5	$I_{min}[mA]$	127,2
20,00	212,0	173,1	135,4	37,6	$I_{max}[mA]$	455,3
40,00	245,3	193,0	143,6	49,4		
80,00	321,9	233,4	160,5	72,9		

Tabulka 4.2: Odběr proudu osciloskopu.

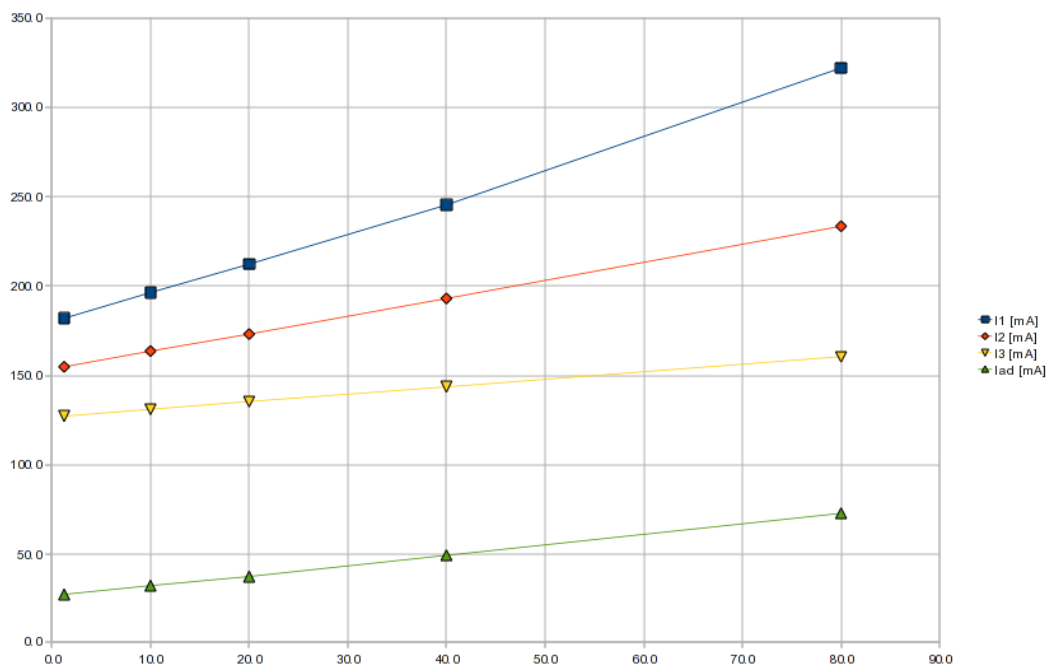
$I_1$  je odběr proudu při zapnutých obou A/D převodnicích.

$I_2$  je odběr proudu při aktivním jednom A/D převodníku a druhém v úsporném režimu.

$I_3$  je odběr proudu při obou A/D převodnicích v úsporném režimu.

Relé byla při tomto měření nechána rozepnutá, kromě měření maximálního odběru. Napětí na USB bylo při minimální zátěži 5,06V a při maximální zátěži 4,93V.

Z naměřených hodnot plyne, že se zvyšující se vzorkovací frekvencí spotřeba jednotlivých částí stoupá přibližně lineárně.



Obrázek 4.1: Závislost odběru proudu na vzorkovací frekvenci.

### 4.3 Frekvenční rozsah vstupu

K proměření frekvenční charakteristiky vstupních obvodů byl použit generátor HP 33120A a ke kontrole výstupního napětí multimetr HP 34401A. Protože frekvenční rozsah multimetru HP 34401A končil u 10MHz, byla velikost amplitudy generátoru brána od 10MHz pouze z údaje generátoru. Napěťový rozsah osciloskopu byl nastaven na 0,2V/dílek.

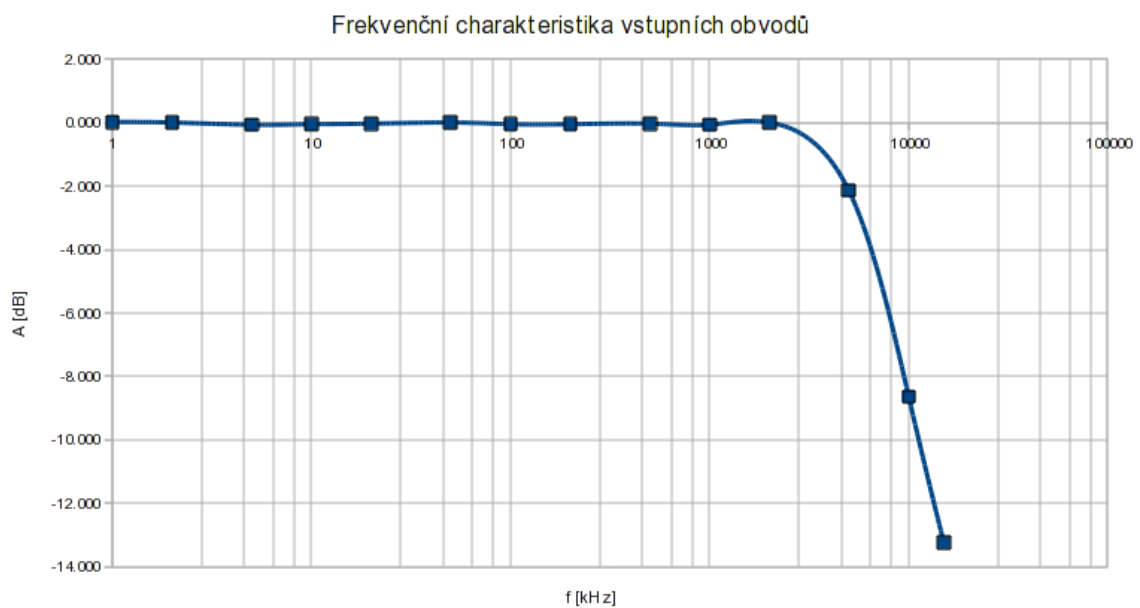
f [kHz]	1	2	5	10	20	50	100	200	500	1000
$U_G$ [V]	0.501	0.501	0.501	0.501	0.501	0.501	0.501	0.501	0.499	0.501
$U_m$ [V]	0.502	0.501	0.497	0.498	0.499	0.501	0.498	0.498	0.497	0.497
$U_m$ [dB]	0.017	0.000	-0.070	-0.052	-0.035	0.000	-0.052	-0.052	-0.035	-0.070
f [kHz]	2000	5000	10000	15000						
$U_G$ [V]	0.500	0.500	0.500	0.500						
$U_m$ [V]	0.500	0.391	0.185	0.109						
$U_m$ [dB]	0.000	-2.136	-8.636	-13.231						

Tabulka 4.3: Frekvenční charakteristika vstupu.

Hodnota útlumu v dB byla vypočítána podle následujícího vztahu:

$$U_{m,dB} = 20 \cdot \log \frac{U_m}{U_G} [dB] \quad (4.3)$$

Z následujícího grafu je vidět, že frekvenční charakteristika odpovídá vypočítaným hodnotám v kapitole 1.1.2.



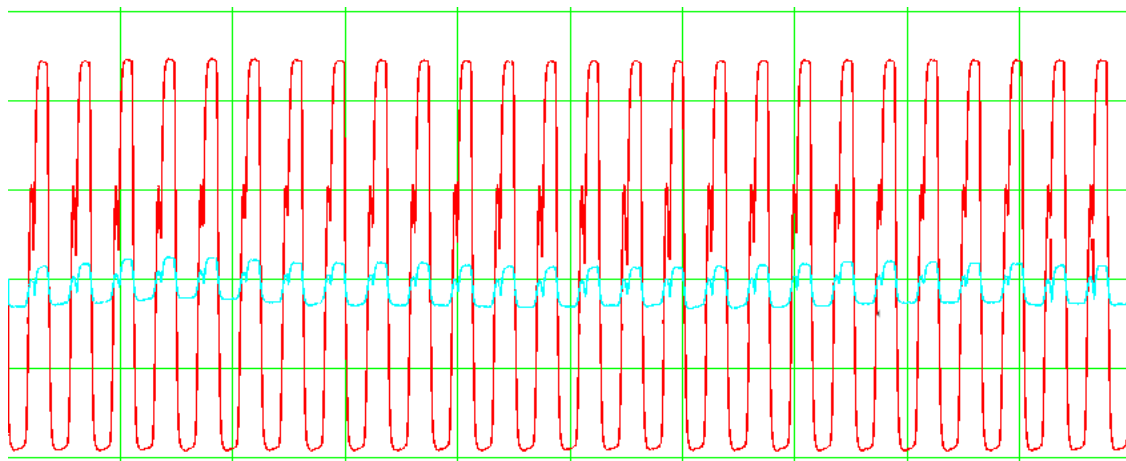
Obrázek 4.2: Frekvenční rozsah vstupní části osciloskopu.

## 4.4 Přesnost měření

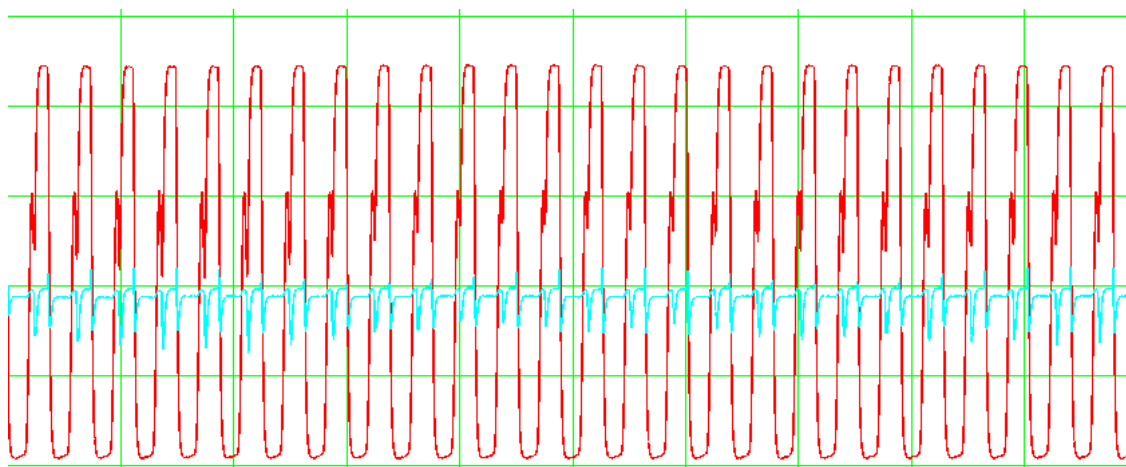
Přesnost měření nejvíce ovlivňují dva faktory. První je průnik rušení z digitální části osciloskopu a měničů napětí do vstupních obvodů, které je viditelné především při dvou nejnižších napěťových rozsazích, ale při uzemění vstupu ještě klesne.

Druhým faktorem je přeslech mezi kanály, způsobený pravděpodobně blízkostí vstupních obvodů jednotlivých kanálů, které se ovlivňují kapacitní a indukční vazbou. Pro vyloučení vzájemného ovlivnění měřicích kanálů po společné napájecí větvy byl uzeměn vstup OZ OPA356 měřicího kanálu B přes kondenzátor o kapacitě  $47nF$  na zem a měřicí signál přiveden na vstup měř. kanálu A.

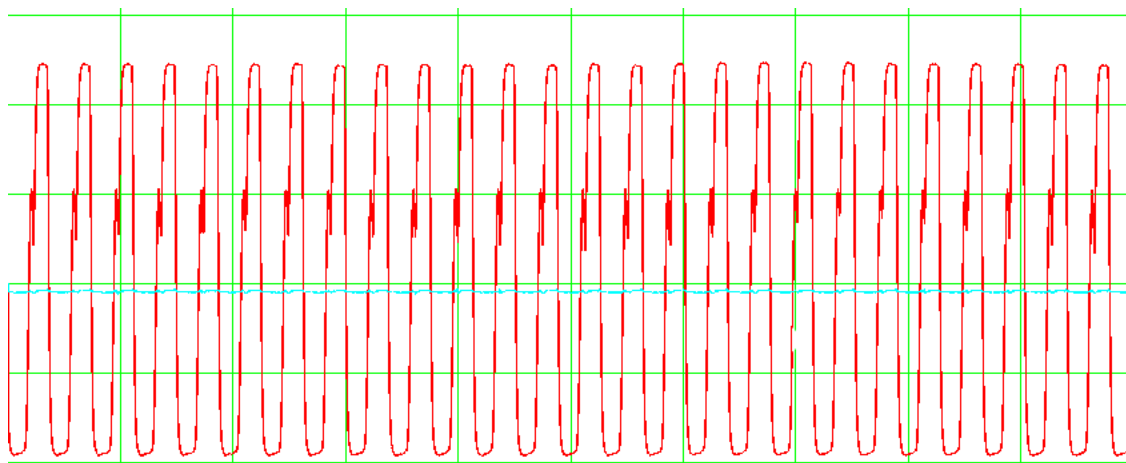
Na následujících obrázcích jsou vidět přeslechy mezi měřicími kanály. Vstupní signál je vždy přiveden na měřicí kanál A, který má nastavený napěťový rozsah  $2V/div$  a stejnou vazbu signálu. Vzorkovací frekvence byla nastavena na  $80MHz$ . U prvního obrázku byl měřicí kanál B nastaven na napěťový rozsah  $0,1V/div$  a vstup byl neuzemněn. Na druhém obrázku byly nastaveny stejné parametry, ale vstup konektoru byl uzemněn. Třetí obrázek ukazuje pokus s uzemněným vstupem OZ OPA356. Na posledním obrázku je zobrazen přeslech při napěťovém rozsahu měř. kanálu B  $2V/div$ , při tomto napěťovém rozsahu je charakter přeslechu odlišný.



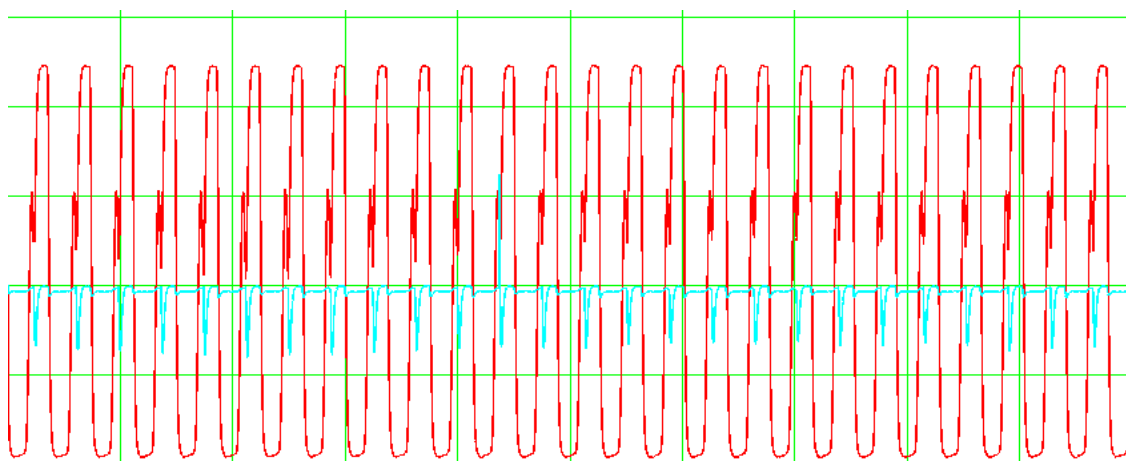
Obrázek 4.3: Přeslech mezi měřicími kanály 1.



Obrázek 4.4: Přeslech mezi měřicími kanály 2.



Obrázek 4.5: Přeslech mezi měřicími kanály 3.



Obrázek 4.6: Přeslech mezi měřicími kanály 4.

Přeslechy mezi měřicími kanály by se daly minimalizovat úpravou návrhu plošného spoje, kdy by se součástky jednotlivých měř. kanálu umístily dále od sebe a uzavřely se do stínícího plechu. Rušení způsobené spínanými měniči napětí by se mohlo snížit použitím indukčností s uzavřeným magnetickým jádrem v měničích pro +1,2V a +3,3V, protože v realizovaném prototypu byly použity indukčnosti s otevřeným magnetickým jádrem. V měničích na -3,3V byl použit jiný typ indukčnosti s uzavřeným mag. jádrem.

## 4.5 Časový rozsah stupnice a obnovovací frekvence

Změna časové osy (rozsah času na dílek) se provádí změnou vzorkovací frekvence A/D převodníků. Ze vzorkovací frekvence a počtu měřených dat, kterých je 1536, vychází hodnota časové základny. Ta je vypočítána podle  $T/dilek = \frac{1}{f_{vzork}} \cdot (\text{pocet vzorku})$  a např. pro vzorkovací frekvenci 10MHz vychází rozlišení  $15,36 \frac{\mu S}{dilek}$ .

Tyto výsledné hodnoty jsou netypické pro osciloskop. Pro zajištění obvyklých hodnot časové stupnice by se mohl posílat jiný - menší počet vzorků, ale tím by se nevyužila RAM pamět v FPGA obvodu, proto byla dána přednost těmto časovým rozsahům.

Obnovovací frekvence měřených průběhu je ovlivněna přenosovou rychlostí dat do PC, a jejich počtem, vzorkovací frekvencí a synchronizací měření. Dá se zpočítat jakou součet doby přenosu dat do PC -  $t_p$  + doby ukládání měřených dat do paměti -  $t_{ukl}$  + doby do spuštění měření  $t_{sp}$ . Přenosová rychlost dat je 3MBod, přenáší se 1 start bit, 1 stop bit a 1 byte dat, takže přenosová rychlost dat je  $3E6 \frac{8}{10} = 2400000 \frac{bit}{s} = 350000 \frac{B}{s}$ . Protože se přenáší celkem 6144 byt dat, je  $t_p = \frac{6144}{350000} = 0,01755s$ . Doba ukládání dat je rovna  $t_{ukl} = 1536 \frac{1}{f_{vzork}}$  [s].

Doba spuštění měření závisí na aktuálním průběhu vstupního signálu a úspěšnosti vyhodnocení spouštěcí události. V nejideálnějším případě bude trvat dva hodinové takty vzorkovací frekvence. Tento případ nastane, když přijde povel z PC o možnosti zahájit měření a v tomto okamžiku začne vstupní signál překračovat komparační úroveň (pro synchronizaci na vzestupnou hranu). V prvním taktu hodinového signálu musí být tedy výstup komparátoru ve spouštěcím bloku '0' a ve druhém taktu musí komparátor vyhodnotit spouštěcí podmínku jako splněnou a na výstupu mít hodnotu '1'. Po splnění této podmínky se začnou měřená data ukládat do paměti.

Nejdelší doba spuštění měření nastane v případě, že během 50000 hodinových taktů nedojde k vyhodnocení spouštěcí události a po této době dojde k automatickému spuštění měření.

Nejnižší možná obnovovací frekvence nastane při nejnižší vzorkovací frekvenci a nevyhodnocení spouštěcí události komparátorem.

$$T_{obn} = t_p + t_{ukl} + t_{sp} = 0,01755 + 1536 \frac{1}{1250000} + 50000 \frac{1}{1250000} = 0,05878s$$

$$f_{obn} = \frac{1}{T_{obn}} = 17 \left[ \frac{snimku}{s} \right]$$

Nejvyšší obnovovací frekvence je při maximální vzorkovací frekvenci a okamžitým spuštění měření.

$$T_{obn} = t_p + t_{ukl} + t_{sp} = 0,01755 + 1536 \frac{1}{80 \cdot 10^6} + 2 \frac{1}{80 \cdot 10^6} = 0,01757s$$
$$f_{obn} = \frac{1}{T_{obn}} = 56,9 \left[ \frac{\text{snímku}}{s} \right]$$

## 4.6 Kalibrační signál

Kalibrační obdelníkový signál je generován na výstupu FPGA. Jeho frekvence je  $1kHz$ . Aby velikost napětí byla  $1V$ , je napětí z výstupu FPGA sníženo odporovým děličem  $R_{36}$   $R_{37}$ , výstupní odpor děliče je dán paralelní kombinací obou odporů  $R_{36} || R_{37}$  a vychází  $150\Omega$ .

Při praktických testech se však projevilo zvlnění napájecího napětí FGPA obvodu a je lepší použít jiný zdroj kalibračního signálu.

## 5 SROVNÁNÍ S OSCILOSKOPY DOSTUPNÝMI NA TRHU

Pro výběr vhodného osciloskopu ke srovnání byla spočítána přibližná celková cena osciloskopu, za kterou by se nechal sestavit. Ceny součástí byly brány z ceníků prodejců Farnell a GME. Cleková cena by tedy vyšla přibližně na 4000 Kč. K porovnání parametrů byl vybrán osciloskop Voltcraft DSO-2090 USB, 40 MHz [18]. Jeho prodejní cena je přibližně 5500 Kč.

Parametr	Osciloskop Voltcraft	Osciloskop bak. pr.
Napěťové rozsahy	0 - 35 V	1V, 2V, 10V, 20V
Vzorkovací frekvence	100MHz	80MHz
Rozlišení A/D převodníku	8 bitů	12 bitů
Paměť dat	32 kbps/kanál (4000 vzorků/kanál)	1536 vzorků/kanál
Napájení	USB	USB
Vstupní impedance	$1M\Omega    50pF$	$1M\Omega    19pF$

Tabulka 5.1: Porovnání vlastností osciloskopů.

Parametry osciloskopu Voltcraft jsou podobné s navrženým osciloskopem ve vzorkovací frekvenci, napájení a napěťových rozsazích. Voltcraft má větší paměť pro měřená data, což se může někdy ukázat jako výhoda. Naopak má menší rozlišení A/D převodníků. Frekvenční rozsah vstupu osc. Voltcraft je 40MHz, to je vyšší hodnota než zde navržený osciloskop.

Z hlediska softwaru má Voltcraft implementováno více matematických funkcí, včetně spektrální analýzy signálu a umožňuje nastavit delší časy časové základny.

Osciloskop Voltcraft pracuje pod OS Windows a má možnost spolupracovat s programem LabVIEW. Navržený osciloskop neumožňuje propojení s LabVIEW, ale pracuje i pod OS Linux.

## 6 ZÁVĚR

Cílem práce bylo navrhnout kompletní osciloskop připojený k PC přes USB rozraní spolu s ovládacím programem. Požadované parametry byly: minimální frekvenční rozsah  $5\text{MHz}$ , vzorkovací frekvence alespoň  $10\text{MHz}$ , rozlišení 12 bitů a napěťový rozsah alespoň  $1\text{V}$ .

Dosažené vlastnosti jsou: frekvenční rozsah  $10\text{MHz}$  při poklesu signálu o  $6\text{dB}$ , vzorkovací frekvence  $80\text{MHz}$ , rozlišení 12 bitů a napěťový rozsah  $1 - 20\text{V}$ . Omezení frekvenčního rozsahu bylo popsáno v kapitole 1.1.2. Při akceptování vyššího zkreslení signálu při vyšších frekvencích je možné zvýšit mezní frekvenci výměnou příslušných kondenzátorů a dosáhnout tak vyššího frekvenčního rozsahu. Použité OZ mají šířku pásma  $200\text{MHz}$  a  $270\text{MHz}$ , takže je možné ji zvětšit.

Osciloskopu je napájen z USB sběrnice a proto byl navržen pro napájecí napětí  $5\text{V}$ , které má USB port k dispozici. V případě potřeby je možnost napájení z jiného zdroje  $5\text{V}$  s tolerancí napětí  $5\%$ , volba napájení se provádí přepnutím propojky *JPI*. Protože se ukázalo napájení z USB jako spolehlivé, nebyl vyveden konektor pro externí napájení. S ohledem na maximální povolený proudový odběr z USB byly použity spínané regulátory napětí, které mají vyšší účinnost než lineární regulátory napětí. Např.  $3,3\text{V}$  regulátor má dosahovat účinnosti  $94\%$ , v případě použití lineárního regulátoru by byla účinnost jen  $66\%$ .

Při porovnání s vybraným prodávaným osciloskopem ztrácí na frekvenčním rozsahu vstupu. Tuto nevýhodu však lze odstranit podle výše uvedeného postupu. Velikost paměti dat je zde omezená použitým typem hradlového pole. Paměť dat by se mohla zvýšit přidáním externí RAM paměti nebo výměnou FPGA obvodu s vyšší velikostí vnitřní RAM paměti. Tato úprava by se však neobešla bez nového návrhu plošného spoje.

Z časového hlediska nebylo implementováno více matematických funkcí nebo delší časová základna.

## REFERENCE

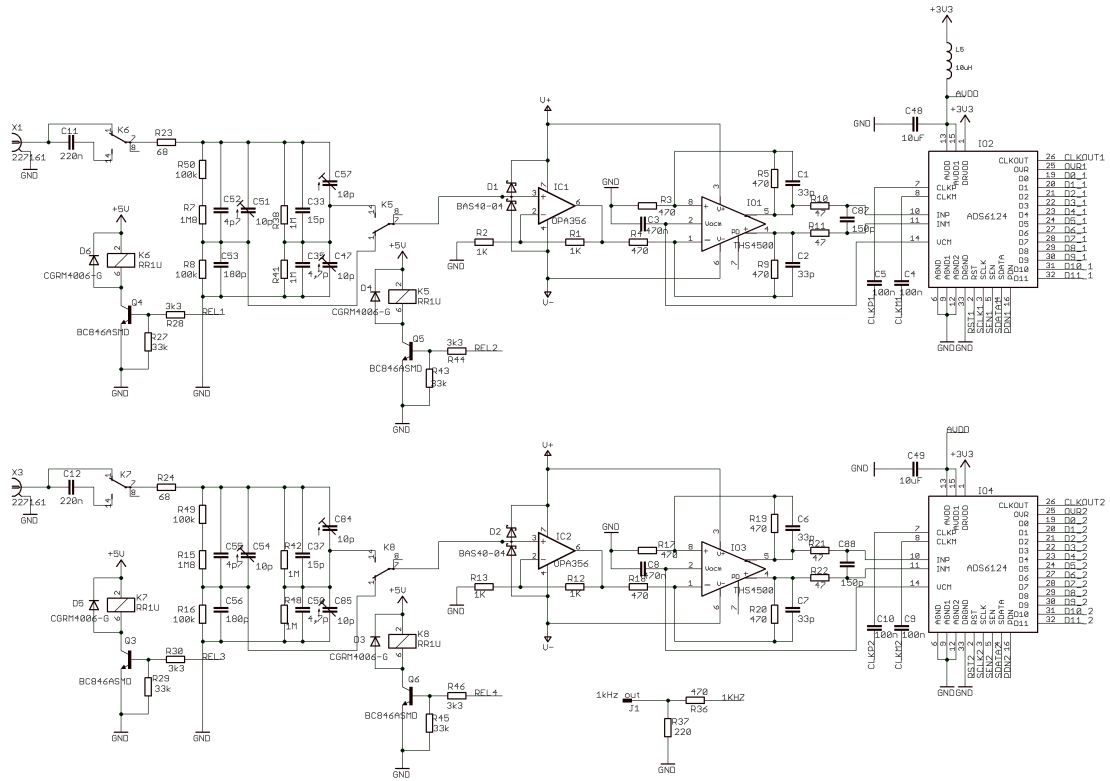
- [1] MATOUŠEK, V. *USB Prakticky s obvody FTDI - 1. Díl* 2003, BEN - technická literatura.
- [2] JUNG, Walt. *Op Amp application handbook*. 2005. 878 s. ISBN 0-7506-7844-5.
- [3] *Spartan-3AN FPGA Family Data Sheet* [online]. XILINX, 2008 , 06/02/2008 [cit. 2010-04-22].  
URL: <[http://www.xilinx.com/support/documentation/data\\_sheets/ds557.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf)>.
- [4] *Spartan-3 Generation FPGA User Guide* [online]. XILINX, 2009, 01/21/2009 [cit. 2010-04-22].  
URL: <[http://www.xilinx.com/support/documentation/user\\_guides/ug331.pdf](http://www.xilinx.com/support/documentation/user_guides/ug331.pdf)>.
- [5] *Spartan-3 Generation Configuration User Guide* [online], XILINX, 2009, 10/26/2009 [cit. 2010-04-22].  
URL: <[http://www.xilinx.com/support/documentation/user\\_guides/ug332.pdf](http://www.xilinx.com/support/documentation/user_guides/ug332.pdf)>.
- [6] *OPA356 Data Sheet* [online]. TEXAS INSTRUMENTS, 07 Nov 2001 [cit. 2010-04-23].  
URL: <<http://www.ti.com/lit/gpn/opa356>>.
- [7] *THS4504 Data Sheet* [online]. TEXAS INSTRUMENTS, 15 May 2008 [cit. 2010-04-23]  
URL: <<http://www.ti.com/lit/gpn/ths4504>>.
- [8] *ADS6124 Data Sheet* [online]. TEXAS INSTUMENTS, 04 Dec 2007 [cit. 2010-04-24]  
URL: <<http://www.ti.com/lit/gpn/ads6124>>.
- [9] *FT232RL Data Sheet* [online]. Future Technology Devices International Limited, 2009 [cit. 2010-04-28]  
URL: <[http://www.ftdichip.com/Documents/DataSheets/DS\\_FT232R\\_V204.pdf](http://www.ftdichip.com/Documents/DataSheets/DS_FT232R_V204.pdf)>.
- [10] *Universal Serial Bus* [online]. , modified on 27 May 2010 at 17:47 [cit. 2010-05-27]  
URL: <[http://en.wikipedia.org/wiki/Universal\\_Serial\\_Bus](http://en.wikipedia.org/wiki/Universal_Serial_Bus)>.
- [11] ŠŤASTNÝ, Jakub. *Programovatelná hradlová pole* [online]. 2008 [cit. 2010-05-17]  
URL <<http://www.automatizace.cz/article.php?a=2019>>.
- [12] ZOUBEK, Ondřej. *Základní knihovní prvky Spartan 3* [online]. 2006 [cit. 2010-04-30]  
URL <[http://hafik.zuban.name/skola-fpga/kap4\\_1.htm](http://hafik.zuban.name/skola-fpga/kap4_1.htm)>.

- [13] CHURÝ, Lukáš. Programujte [online]. 28. 05. 2006 [cit. 2010-05-17]. Verze OpenGL.  
URL: <<http://programujte.com/?akce=clanek&c1=2006052606-verze-opengl>>.
- [14] WIKIPEDIE : VHDL [online]. 11. 11. 2009 v 23:40 [cit. 2010-05-27].  
URL: <<http://cs.wikipedia.org/wiki/VHDL>>.
- [15] *TPS62040 Data Sheet* [online]. TEXAS INSTRUMENTS, 28 Oct 2005 [cit. 2010-05-08]  
URL: <<http://www.ti.com/lit/gpn/tps62040>>.
- [16] *TPS63700 Data Sheet* [online]. TEXAS INSTRUMENTS, 12 Nov 2007 [cit. 2010-05-08]  
URL: <<http://www.ti.com/lit/gpn/tps63700>>.
- [17] WIKIPEDIE : Efektivní hodnota [online]. 7. 3. 2010 v 13:48 [cit. 2010-05-08]  
URL: <[http://cs.wikipedia.org/wiki/Efektivní\\_hodnota](http://cs.wikipedia.org/wiki/Efektivní_hodnota)>.
- [18] *Digitální osciloskop Voltcraft DSO-2090 USB* [online]. [cit. 2010-05-23]  
URL: <<http://internetovy-obchod.msbox.cz/osciloskop-voltcraft-dso-2090-usb-40-mhz/f-1-s-50-dp-122228/>>.

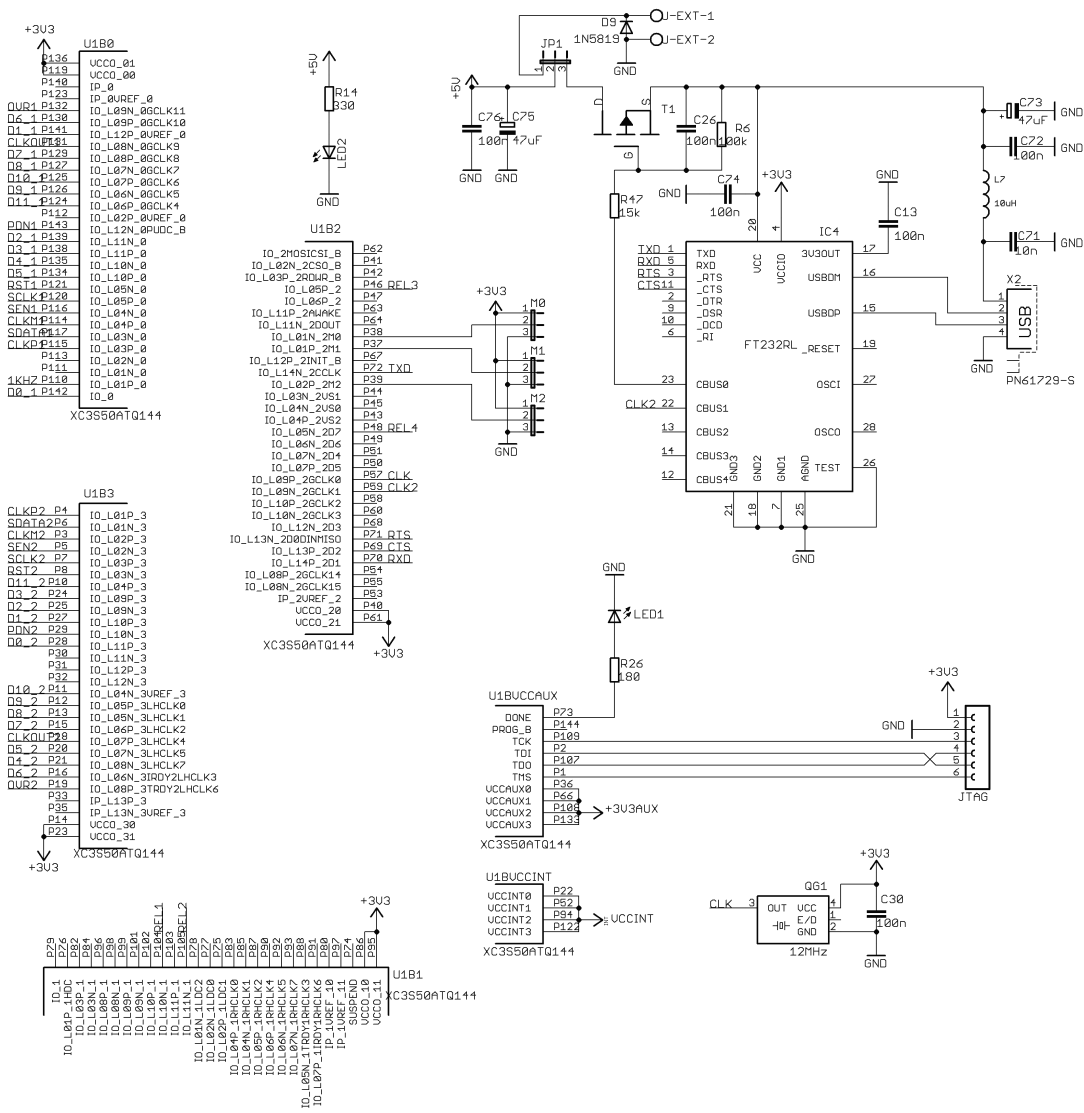
## **SEZNAM PŘÍLOH**

<b>A Schéma zapojení</b>	<b>50</b>
<b>B Osazení plošného spoje</b>	<b>53</b>
<b>C Výsledná realizace</b>	<b>54</b>

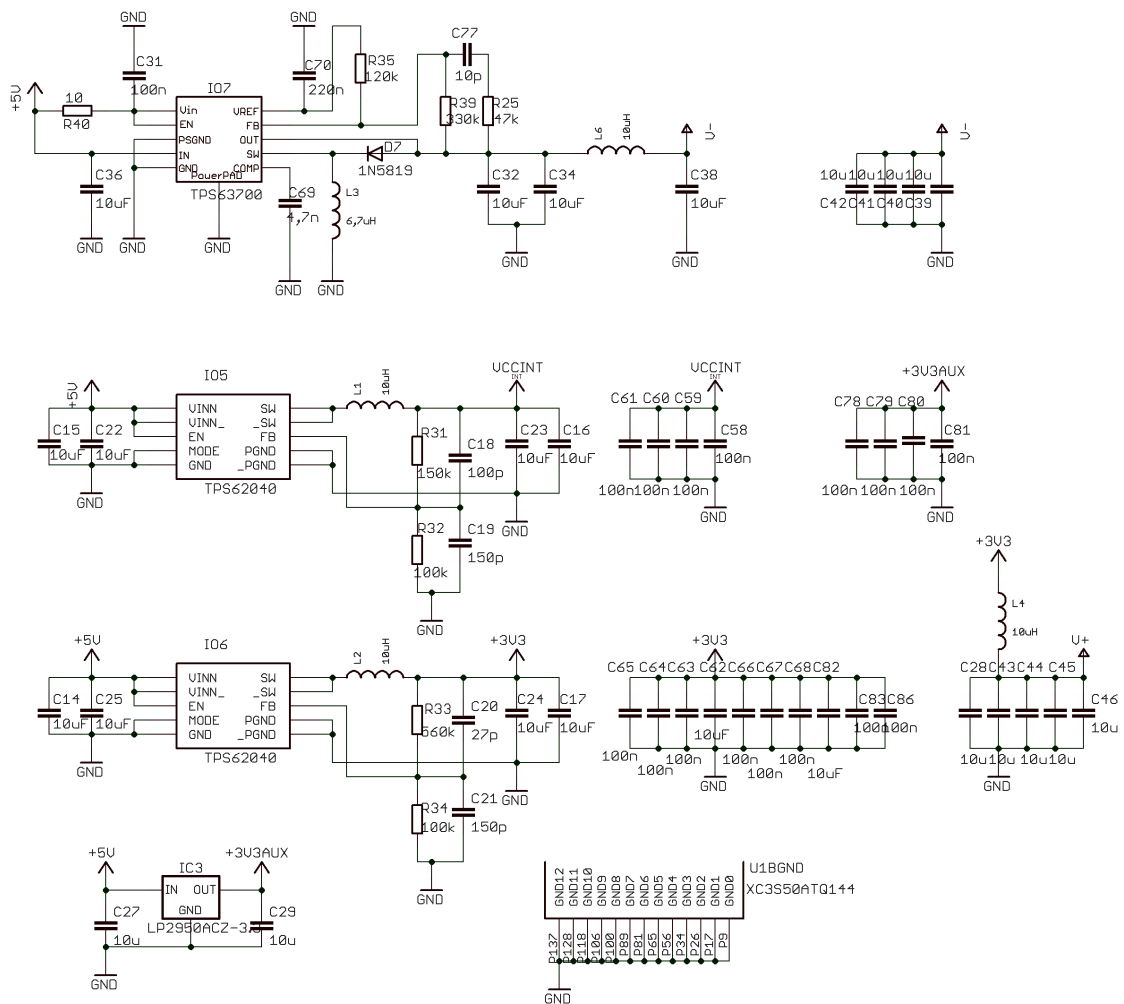
## A SCHÉMA ZAPOJENÍ



Obrázek A.1: Schéma vstupní části osciloskopu.

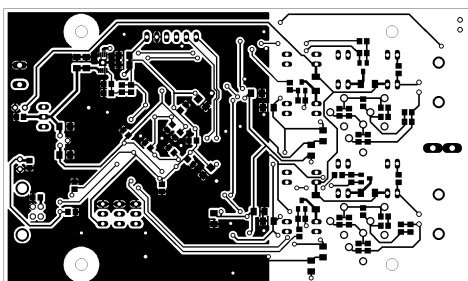


Obrázek A.2: Schéma logické části osciloskopu.

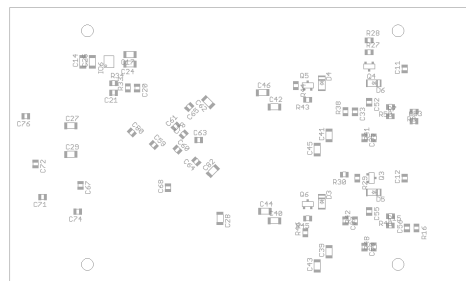


Obrázek A.3: Schéma napájecí části osciloskopu.

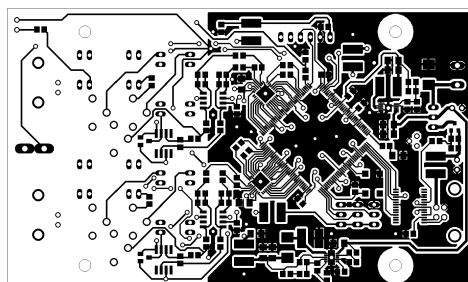
## B OSAZENÍ PLOŠNÉHO SPOJE



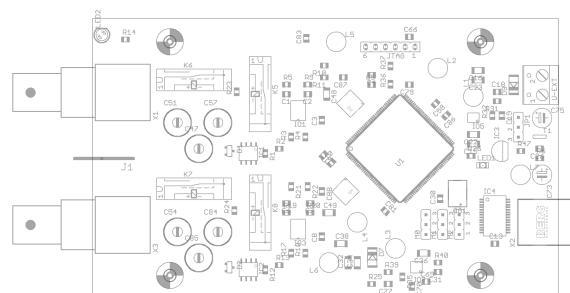
Obrázek B.1: Spodní strana plošného spoje.  
(zmenšeno)



Obrázek B.2: Osazení spodní strany  
plošného spoje.



Obrázek B.3: Vrchní strana plošného spoje.  
(zmenšeno)



Obrázek B.4: Osazení vrchní strany  
plošného spoje.

## C VÝSLEDNÁ REALIZACE



Obrázek C.1: Výsledná realizace osciloskopu.