



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## NÁVRH NÍZKO-PŘÍKONOVÉHO INTERNÍHO NAPĚŤOVÉHO REGULÁTORU PRO AUTOMOBILOVÉ APLIKACE

DESIGN OF A LOW POWER INTERNAL VOLTAGE REGULATOR FOR AUTOMOTIVE APPLICATIONS

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

Bc. Marek Šojdr

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Roman Prokop, Ph.D.

BRNO 2019

# Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**  
Ústav mikroelektroniky

*Student:* Bc. Marek Šojdr

*ID:* 159627

*Ročník:* 2

*Akademický rok:* 2018/19

**NÁZEV TÉMATU:**

## **Návrh nízko-příkonového interního napěťového regulátoru pro automobilové aplikace**

**POKYNY PRO VYPRACOVÁNÍ:**

Seznamte se s integrovanými napěťovými regulátory vhodnými pro napájení obvodů v nízko-příkonovém režimu v automobilovém průmyslu. Zaměřte se na regulátory bez externího blokovacího kondenzátoru. Zvolte vhodnou topologii regulátoru především z pohledu nízké proudové spotřeby. Provedte kompletní návrh regulátoru v technologii I4TE společnosti ON Semiconductor včetně charakterizace regulátoru v prostředí Cadence Virtuoso, s použitím simulátoru Spectre nebo Eldo.

V návrhu nepoužívejte lineární kondenzátory typu MIMC, v nízkonapěťové části použijte TOX tranzistory s maximálním pracovním napětím 3,6 V. Vstupní napětí regulátoru je v rozsahu od 4,0 V do 40 V. Základní požadované parametry regulátoru jsou: výstupní napětí 2,5 až 3,6 V a nízká proudová spotřeba do 5  $\mu$ A pro zátěž do 50  $\mu$ A. Dalšími požadavky je návrh obvodu pro automobilové prostředí, které je v tomto případě specifické především vysokým rozsahem pracovních teplot od -40 °C do 175 °C a požadovanou odolností proti elektromagnetickému rušení. Provedte optimalizaci návrhu na minimální plochu layoutu výsledného obvodu. Vypracujte detailní dokumentaci navrženého bloku.

**DOPORUČENÁ LITERATURA:**

Podle pokynů vedoucího práce

*Termín zadání:* 4.2.2019

*Termín odevzdání:* 21.5.2019

*Vedoucí práce:* Ing. Roman Prokop, Ph.D.

*Konzultant:*

**doc. Ing. Lukáš Fujcik, Ph.D.**  
*předseda oborové rady*

**UPOZORNĚNÍ:**

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Tato diplomová práce se zabývá problematikou návrhu integrovaného regulátoru napětí. V práci jsou rozebrány topologie lineárních regulátorů napětí a jejich stabilita. Část práce se zabývá popisem a simulacemi bloků zvolené topologie regulátoru. Práce popisuje úskalí návrhu integrovaného obvodu v automobilovém průmyslu. V práci je vysvětleno zapojení navrhnutého regulátoru. Práce se zaměřuje také na stabilitu zapojení. Následně prezentuje provedené simulace. Probírá problematiku layoutu integrovaných obvodů a navrhnutého napěťového regulátoru.

## **KLÍČOVÁ SLOVA**

Lineární regulátor napětí, napěťový sledovač, automobilový průmysl, stabilita napěťových regulátorů, nízko-příkonový napěťový regulátor.

## **ABSTRACT**

This master's thesis deals with the design of integrated voltage regulator. Topologies of linear voltage regulators and their stability are discussed. Part of the thesis deals with description and simulation of blocks of selected regulator topology. The thesis describes the difficulties of integrated circuit design in the automotive industry. The electrical scheme of the designed regulator is explained. The work also focuses on the stability of designed regulator. Then presents simulations. It discusses the layout of integrated circuits and the designed voltage regulator.

## **KEYWORDS**

Linear voltage regulator, voltage follower, automotive industry, stability of voltage regulators, low-power voltage regulator.

## **BIBLIOGRAFICKÁ CITACE**

ŠOJDR, Marek. *Návrh nízko-příkonového interního napěťového regulátoru pro automobilové aplikace*. Brno, 2019. Dostupné také z: <https://www.vutbr.cz/studenti/zav-prace/detail/119426>. Diplomová práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky. Vedoucí práce Roman Prokop.

## **PROHLÁŠENÍ**

„Prohlašuji, že svou diplomovou práci na téma návrh nízko-příkonového interního napěťového regulátoru pro automobilové aplikace jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne: 21. května 2019

.....

podpis autora

## **PODĚKOVÁNÍ**

Děkuji vedoucímu semestrální práce Ing. Romanu Prokovi Ph.D. a konzultantovi Doc. Ing. Dr. Pavlu Horskému za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne: 21. května 2019

.....

podpis autora

Experimentální část této diplomové práce byla realizována na výzkumné infrastruktuře vybudované v rámci projektu CZ.1.05/2.1.00/03.0072  
**Centrum senzorických, informačních a komunikačních systémů (SIX)**  
operačního programu Výzkum a vývoj pro inovace.

# OBSAH

Úvod .....	8
<b>1 Regulátory napětí .....</b>	<b>9</b>
1.1 Topologie lineárních regulátorů napětí .....	11
1.1.1 Napěťový sledovač .....	11
1.1.2 Regulátor s tranzistorem PMOS .....	12
1.1.3 Napěťový sledovač se spínanými kondenzátory .....	12
1.1.4 Napěťový sledovač s tranzistorem depletičního typu .....	13
1.2 Potlačení vlivu napájecího napětí .....	13
1.3 Stabilita zpětné vazby .....	14
1.4 Automobilový průmysl .....	15
1.5 Užitečné funkce zapojení .....	17
1.6 Popis stávajících regulátorů .....	18
1.6.1 Regulátor s napěťovým sledovačem .....	18
1.6.2 Regulátor s prvkem zlomkového řádu .....	21
<b>2 Návrh jednotlivých bloků .....</b>	<b>24</b>
2.1 Napěťová a proudová reference .....	26
2.2 Napěťová a proudová reference periferií .....	29
2.3 Výkonový prvek .....	30
2.4 Kondenzátor $C_{gate}$ a kondenzátor $C_{comp}$ .....	34
2.5 Proudový zdroj s tranzistorem P-JFET .....	35
2.6 Odporový dělič R1 a R2 .....	37
2.7 Pomocné obvody .....	38
<b>3 Integrovaný regulátor napětí RD7Gg2_LPINT .....</b>	<b>39</b>
3.1 Funkce LPINT .....	39
3.2 Symbol .....	40
3.3 Popis zapojení regulátoru LPINT .....	45
3.4 Stabilita zapojení .....	55
3.4.1 Smyčka REG při nulovém zatížení výstupu VINT .....	55
3.4.2 Smyčka REG při dostatečném zatížení výstupu VINT .....	58
3.4.3 Smyčka REG při $reg\_lowout = 1$ .....	59
3.4.4 Smyčka REF .....	61
3.4.5 Parazitická nula topologie .....	62
3.5 Simulace .....	64
3.6 Layout .....	69
<b>4 Závěr .....</b>	<b>73</b>
<b>Literatura .....</b>	<b>74</b>
<b>Seznam použitých zkratk .....</b>	<b>77</b>
<b>Seznam obrázků .....</b>	<b>78</b>
<b>Seznam příloh .....</b>	<b>81</b>

# ÚVOD

Regulátory napětí, které obsahují téměř všechna elektrická zařízení, jsou používány primárně ke změně hodnoty vstupního napětí. Tato zapojení musí být schopna spolehlivě pracovat ze vstupního napětí, mnohdy velmi zvlněného. Spínané typy regulátorů dokáží vstupní napětí dokonce transformovat směrem nahoru. Lineární regulátory tuto možnost nedovolují, ale parametry výstupního napětí dokáží předčít spínané typy, zejména v oblasti zvlnění napětí. Lineární regulátory napětí se snaží vytvořit na výkonovém prvku úbytek napětí přesně takové velikosti, aby výstupní napětí zůstalo o definované hodnotě a neměnilo se ani při změně vstupního napětí. Potřeba takovýchto regulátorů se nevyhýbá ani integrovaným obvodům, u nichž je zapotřebí napájet citlivá zapojení, která potřebují přesně definovanou hodnotu vstupního napětí. Také je nutné separovat toto náchylné vnitřní prostředí od vnějšího prostředí, vytvořením zapojení schopného odolat vnějšímu prostředí a zprostředkovat požadovanou funkci. Vnitřní obvody poté mohou spolehlivě vykonávat definované funkce.

Cílem této diplomové práce je návrh integrovaného napět'ového regulátoru LPINT vhodného pro napájení obvodů v nízko-příkonovém režimu v automobilovém průmyslu. Vlastní spotřeba regulátoru musí být do 5  $\mu\text{A}$  pro zátěž do 50  $\mu\text{A}$ . Výstupní napětí musí být v rozsahu 2,5 V až 3,6 V, při vstupním napětí 4 V až 40 V. Regulátor musí být schopen pracovat v automobilovém prostředí při pracovních teplotách  $-40\text{ }^\circ\text{C}$  až  $175\text{ }^\circ\text{C}$  s požadovanou odolností proti elektromagnetickému rušení. Pro návrh nízkonapět'ové části regulátoru musí být použito tranzistorů TOX s maximálním pracovním napětím 3,6 V. Musí být provedena kompletní charakterizace tohoto bloku a zároveň optimalizaci na minimální plochu layoutu.

Diplomová práce je rozdělena do třech kapitol. První kapitola je teoretickou částí, ve které jsou popsány základní topologie regulátorů napětí. Zaměřuje se především na topologie lineárních regulátorů napětí. Zmiňuje se o potlačení vlivu napájecího napětí a o stabilitě těchto zapojení. Popisuje úskalí automobilového prostředí. Dále zmiňuje užitečné funkce zapojení. Popisuje také vybrané integrované regulátory napětí. Druhá kapitola popisuje zvolenou topologii a představuje blokové schéma řešení. Popis jednotlivých bloků je doložen základními simulacemi jejich principu, tak aby bylo možné z nich při návrhu vycházet. Třetí kapitola se zabývá popisem integrovaného regulátoru napětí LPINT. Rozebírá jeho funkci a režimy v rámci integrovaného obvodu RD7Gg2. Zabývá se funkcí jednotlivých vývodů regulátorů. Následně se zabývá popisem zapojení, který je v další podkapitole ještě rozšířen detailním popisem stability regulátoru. Podkapitola s názvem simulace se vyjadřuje k provedeným simulacím na tomto regulátoru. Další podkapitola se zabývá layoutem zapojení. Poslední kapitola obsahuje shrnutí dosažených výsledků.

# 1 REGULÁTORY NAPĚTÍ

Regulátory napětí jsou nedílnou součástí každého elektrického zařízení. Jejich účelem je převést vstupní napětí na výstupní napětí o definované hodnotě a vlastnostech. Toto výstupní napětí je poté použito k napájení funkčních bloků nebo zařízení, pro které by vlastnosti původního vstupního napětí nebyly vhodné (hodnota napětí, napěťové špičky, rušení, atd.) a vedly by ke zničení či poškození napájeného zařízení.

Napěťové regulátory můžeme dělit na:

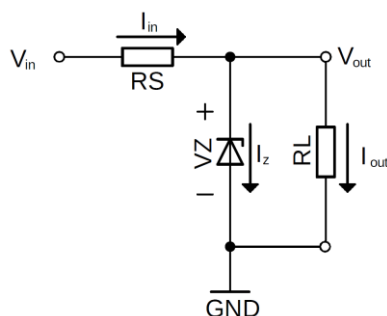
- lineární,
- spínané.

**Spínané regulátory**, jako je například snižující měnič, mají velkou výhodu ve vysoké účinnosti, avšak je zde vyžadován dodatečný výstupní člen [1]. Tím je integrační člen v podobě LC obvodu. Velikost indukčnosti cívky v tomto obvodu závisí na frekvenci samotného měniče, ale můžeme říci, že tuto cívku nebude možné integrovat na čip a tedy nezbude nic jiného než ji připojit externě. V některých případech je sice možné cívku na čip integrovat, ale tato implementace je značně náročná na plochu čipu. K řešení regulátoru v podobě spínané topologie je vhodné přistoupit v případě, kdy zásadní je účinnost zapojení, rozdíl napětí vstupního a výstupního je vhodný pro konkrétně zvolenou topologii, anebo při požadavku velkého příkonu výstupní zátěže. Existují také zapojení, která dovolují získat na výstupu vyšší napětí než je vstupní, jako v případě zvyšujícího („step-up“, „boost“) měniče [1]. Nevýhoda spínaných zapojení se skrývá v nutnosti použití externího prvku, velkého zvlnění výstupního napětí a generaci elektromagnetického rušení. Elektromagnetické rušení je generováno jak na pracovním kmitočtu měniče, tak i na vyšších frekvencích. Příčinnou je spínací prvek (tranzistor), který se snažíme spínat a rozpínat co možná nejrychleji, abychom omezili výkonovou ztrátu vznikající přepínáním. Tyto extrémně strmé hrany vyvolávají rušení, které se může šířit obvodem jak galvanickou cestou tak i induktivně či kapacitně.

**Lineární regulátory** mají jako hlavní výkonový prvek analogovou součást, která nepřechází mezi dvěma extrémy, ale pracovní oblast tohoto prvku se nachází mezi nimi. Hlavním cílem těchto zapojení je vytvořit na již zmíněném prvku úbytek napětí, který je dán rozdílem vstupního napětí a požadovaného výstupního napětí [2; 3]. Nutno poznamenat že výkonový prvek musí mít spotřebičovou charakteristiku. Výhodou těchto zapojení je nízké zvlnění výstupního napětí, dále nevytváří elektro-magnetické rušení a při správném návrhu nemusí vyžadovat externí komponenty. Nevýhodou je velká výkonová ztráta, která roste lineárně s proudem tekoucím skrz výkonový prvek a absolutním rozdílem mezi vstupním napětím a požadovaným výstupním napětím.

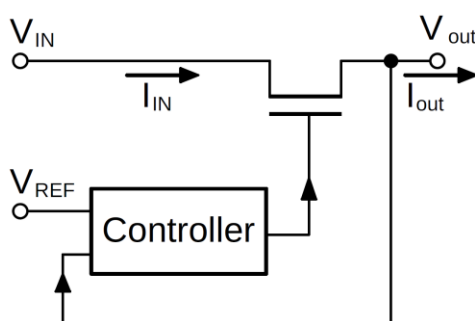
Existují dva přístupy, podle kterých lze charakterizovat základní princip lineárních regulátorů [4]. Oba přístupy fungují na principu odporového děliče, avšak záleží na tom, zda prvek, který způsobuje regulaci výstupního napětí je připojen paralelně či sériově.

Paralelní regulátor („Shunt regulator“) má variabilní prvek připojen paralelně k zátěži. Nejznámějším zástupcem těchto regulátorů je regulátor se Zenerovou diodou, který je možné vidět na obr. 1.1. Rezistor  $R_s$  má pevnou hodnotu. Je patrné, že Zenerovu diodu lze nahradit jiným aktivním prvkem, například tranzistorem. Pokud budeme tento tranzistor ovládat pomocí chybového zesilovače, jehož vstupem bude výstupní hodnota napětí a referenční napětí, je možné sestavit variabilní regulátor napětí. Nevýhoda tohoto zapojení spočívá ve velkém klidovém proudu. Tato topologie se využívá v kombinaci se sériovou topologií pro regulátory typu push-pull.



Obr. 1.1: Regulátor se Zenerovou diodou („Shunt regulator“).

Sériový regulátor naopak využívá variabilitu sériového prvku. Změnou odporu sériového prvku lze změnit úbytek napětí vytvářející se na něm a tak je možné regulovat výstupní napětí. To má velkou výhodu v tom, že klidový proud takového zapojení může být téměř nulový, vyjma proudu, který spotřebovává chybový zesilovač a zpětnovazebná síť. Obecné schéma sériových napěťových regulátorů je vyobrazeno na obr. 1.2.



Obr. 1.2: Obecné zapojení sériového napěťového regulátoru.

Ztrátový výkon sériového regulátoru  $P_{DISS}$  napětí lze jednoduše vypočítat podle rovnice:

$$P_{DISS} = [(V_{IN} - V_{OUT}) \cdot I_{OUT}] + (V_{IN} \cdot I_Q) \quad (1.1)$$

kde  $V_{IN}$  je vstupní napětí,  $V_{OUT}$  požadované výstupní napětí,  $I_{OUT}$  výstupní proud a  $I_Q$  je klidový proud regulátoru.

Lineární regulátory můžeme rozdělit do základních dvou skupin a to:

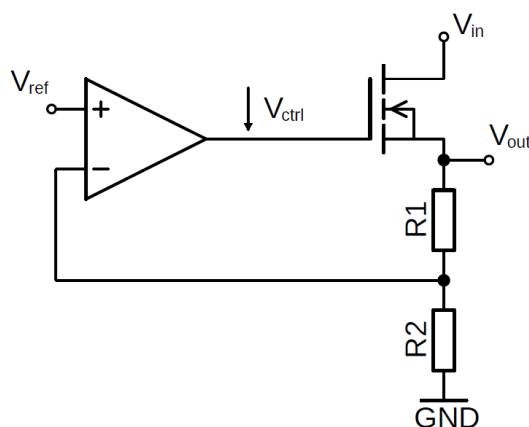
- LDO („Low-Dropout“) s nízkým úbytkem napětí a
- napěťové sledovače („Source Follower“).

## 1.1 Topologie lineárních regulátorů napětí

Různé topologie lineární regulátorů napětí mají své výhody, ale také svá úskalí. Následující podkapitoly nastiňují jejich princip. Zmiňují jejich výhody a nevýhody. Zvláštní skupinou jsou regulátory s nízkým úbytkem napětí neboli LDO („Low Dropout“), vyznačující se tím, že rozdíl mezi vstupním a požadovaným výstupním napětím může být malý (např. méně než 400 mV). Tudíž výkonový prvek použit v tomto případě musí být schopen dostatečně snížit svůj odpor, aby takto malého úbytku mohlo být docíleno i při značném proudu tekoucím tímto prvkem (např. 200 mA). Některé topologie potřebují ke své funkci větší napěťový prostor, než je vstupní napětí. Takové topologie mohou docílit malého úbytku na výkonovém prvku pomocí „nadstandardních“ pomocných obvodů.

### 1.1.1 Napěťový sledovač

Výkonový stupeň tohoto regulátoru tvoří napěťový sledovač. Pokud budeme uvažovat tranzistory s nenulovým prahovým napětím, tak z vlastností zapojení a principu unipolárních tranzistorů vyplývá, že vstupní napětí musí být přibližně o 0,7 až 2 V vyšší, než požadovaná hodnota výstupního napětí, pro zajištění dostatečného napěťového místa. Tato napěťová rezerva je poté využita pro překonání prahového napětí NMOS tranzistoru. Schéma zapojení je vyobrazeno na obr. 1.3.

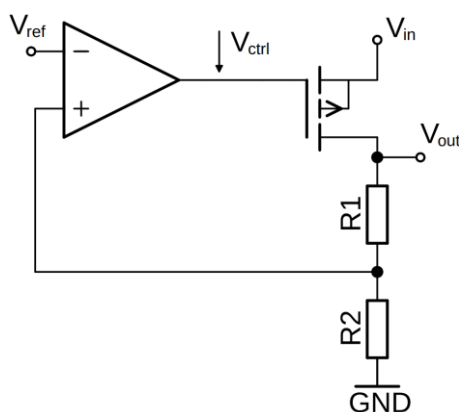


Obr. 1.3: Regulátor s napěťovým sledovačem ve výkonovém stupni.

Výhodami napěťového sledovače je malý výstupní odpor, navíc tato zapojení nepotřebují velkou výstupní kapacitu. Napěťový potenciál na hradle tranzistoru NMOS je v podstatě konstantní. Při náhlé proudové spotřebě na výstupu, působí tranzistor zdánlivě samočinně proti změně. Hlavní nevýhoda spočívá právě ve způsobu ovládání výkonového stupně (NMOS tranzistor), u něhož je potřeba zajistit napětí o 0,7 V až 2 V vyšší než je požadované výstupní.

### 1.1.2 Regulačtor s tranzistorem PMOS

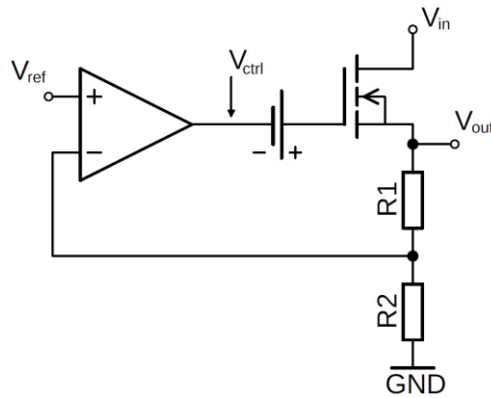
Jedná se o velmi rozšířenou variantu použití PMOS tranzistoru pro regulaci výstupního napětí [5; 6; 7; 8; 9; 2; 10; 11]. Výhoda tranzistoru PMOS je ve způsobu jeho otevírání. K otevření tranzistoru PMOS je nutné přivést na jeho hradlo napětí menší, než je napětí na sourcu (uvažujeme-li, že bulk je připojen k source). To znamená, že k ovládní propustnosti PMOS tranzistoru lze využít celý rozsah napájecího napětí (s ohledem na absolutní maxima součástky). Nevýhodou těchto zapojení je, že se tranzistor chová jako proudový zdroj a tudíž má velký dynamický odpor, který se negativně projevuje na stabilitě a ostatních parametrech zapojení. Další nevýhodou je přímo tranzistor PMOS, jelikož jeho proudová zatížitelnost při stejných rozměrech je asi 3krát až 4krát nižší v porovnání s tranzistorem NMOS [12]. Jeho šířka (parametr  $W$ ) tedy musí být toliknásobně větší při totožné délce hradla (parametr  $L$ ), abychom docílili stejné proudové zatížitelnosti. Na obr. 1.4 je možné nalézt obecné schéma topologie LDO regulačtorů s PMOS tranzistorem.



Obr. 1.4: Obecné schéma LDO regulačtorů s PMOS tranzistorem.

### 1.1.3 Napěťový sledovač se spínanými kondenzátory

LDO regulačtor je možné také sestavit s tranzistorem NMOS v zapojení napěťového sledovače [13]. Jak již bylo zmíněno v předchozí podkapitole, hlavním problémem je napěťové místo. Hradlo tranzistoru v napěťovém sledovači musí být na napěťovém potenciálu vyšším o prahové napětí než na source. Takové napětí není v běžném konceptu dostupné a je nutné jej získat v pomocných obvodech. Jeden přístup může být takový, že vyšší napětí než je vstupní, získáme pomocí spínaných kondenzátorů [13]. Nabíjený kondenzátor v sobě konzervuje náboj. Pokud jeho elektrody opatříme přepínači, je možné ho střídavě nabíjet a připojovat do požadovaného místa v obvodu. V tomto případě se jedná o techniku zvanou „Gate overdrive“. Součet napětí na výstupu chybového zesilovače  $V_{ctrl}$  a napětí na kondenzátoru je napětím na hradle tranzistoru NMOS. Výsledné napětí může být nad napěťovým potenciálem napájecího napětí  $V_{in}$ . Tím je umožněno plně otevřít tranzistor NMOS s nenulovým prahovým napětím. V tomto případě je nutné použít dvojici spínaných kondenzátorů, které pracují v protitaktu, aby bylo udrženo napětí na hradle tranzistoru NMOS přibližně konstantní. Ilustrace principu je znázorněna na obr. 1.5.



Obr. 1.5: NMOS LDO regulátor s technikou „Gate overdrive“.

### 1.1.4 Napěťový sledovač s tranzistorem depletičního typu

Další variantou LDO regulátoru s napěťovým sledovačem je využití tranzistoru NMOS depletičního typu neboli NVT („Null Voltage Threshold“). Označuje se i jako tranzistor s trvalým kanálem. Vyznačuje se nulovým až záporným prahovým napětím, jelikož je u něj i bez přítomnosti ovládacího napětí vytvořen kanál typu N, který je fyzicky přítomen na čipu. Tímto řešením lze eliminovat problém s napěťovým místem. Pokud je možné podobné tranzistory použít i pro konstrukci chybové zesilovače, je problém vyřešen. Avšak stále je nutné mít na paměti, že daný tranzistor je otevřen i při nulovém ovládacím napětí [14]. To může být v určitých aplikacích nežádoucí vlastností.

## 1.2 Potlačení vlivu napájecího napětí

Jedna z význačných charakterizací napěťových regulátorů je faktor potlačení napájecího napětí neboli PSRR („Power Supply Rejection Ratio“). Jedná se schopnost elektronického obvodu potlačit změnu výstupního napětí při změně napájecího napětí. Je definován jako podíl signálu superponovaného na napájecím napětí k signálu superponovaného na výstupním (požadovaném) napětí. Hodnota je udávána v decibelech. Pokud se hovoří o PSRR je korektní, když hodnoty v decibelech jsou kladné, jelikož se jedná o míru útlumu. Avšak ve většině článků se lze setkat s opačným přístupem, kdy je PSRR vyjádřeno jako zesílení napěťového vzruchu procházejícího z napájecího napětí na výstup obvodu. Poté výsledné hodnoty nabývají záporných hodnot.

Článek [5] popisuje, jak je možné zlepšit PSRR u napěťových regulátorů. Použití PMOS tranzistoru (proudový zdroj) jako v případě klasických regulátorů LDO se jeví jako nejhorší možnou variantou. Společně s chybovým zesilovačem tyto zapojení nabízí velké napěťové zesílení chybového zesilovače a malý napěťový úbytek na výkonovém prvku, avšak nejsou optimální z hlediska PSRR. Při použití tranzistoru NMOS v zapojení napěťového sledovače, je PSRR větší za cenu snížení zesílení chybového zesilovače. Zapojení s NMOS a připojeným bulkem k nulovému potenciálu má sice lepší parametry než s PMOS tranzistorem, ale není vhodné pro vyšší výstupní napětí.

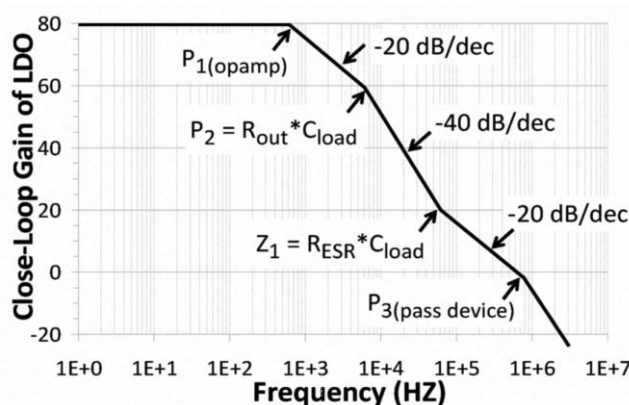
V tomto případě se zde projevuje „Bulk effect“ [3] a poté je nutno zohlednit přídavnou transkonduktanci, kterou tento jev sebou přivádí [5].

Mnohem lepší je z hlediska PSRR připojit bulk k uzlu výstupního napětí. To ovšem ve fyzické implementaci znamená vytvoření samostatné kapsy typu P pro tento tranzistor.

### 1.3 Stabilita zpětné vazby

Jelikož je regulátor zpětnovazebně zapojení, je nutné vyšetřit jeho stabilitu. Zapojení obvykle obsahuje velké množství pólů a nul. Většina z nich je způsobena parazitními vlastnostmi jednotlivých součástek. Pokud jsou tyto póly či nuly umístěny na kmitočtech vyšších než je tranzitní kmitočet a napěťový zisk za tímto kmitočtem již zůstane menší než jednotkový, nemají vliv na stabilitu. Podle [15] lze rozdělit LDO regulátory do 3 základních kategorií, a to podle polohy jejich dvou nejvýznačnějších pólů. Jeden pól je určen velikostí výstupní kapacity a výstupní zátěží, tedy externí pól (značeno jako „pass device“). Druhý pól je určen blokem chybového zesilovače, z toho tedy interní pól (značeno jako „opamp“).

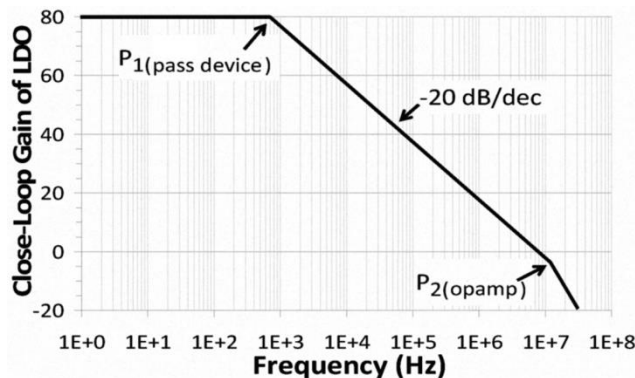
**První koncept** zapojení uvažuje, že oba póly jsou dominantní. Zesílení regulační smyčky tedy dosáhne strmosti  $-40$  dB/dek ještě před tranzitním kmitočtem. Je nutné dbát na fázovou bezpečnost i v této oblasti. Z toho důvodu je strmost kompenzována dodatečnou nulou v charakteristice, která omezí strmost a také zajistí dostatečnou fázovou bezpečnost takového zapojení. Mezní kmitočet nuly bude menší nebo blízký tranzitnímu kmitočtu. Výhodou tohoto konceptu je velmi malá stejnosměrná regulační odchylka, která je způsobena polohou pólů a faktem, že je dosaženo větší strmosti charakteristiky než  $-20$  dB/dek ještě před tranzitním kmitočtem a je tedy dosaženo téměř integrační regulace [15]. Znázornění charakteristiky tohoto konceptu lze nalézt na obr. 1.6.



Obr. 1.6: Znázornění charakteristiky s oběma póly dominantními. (převzato z [14])

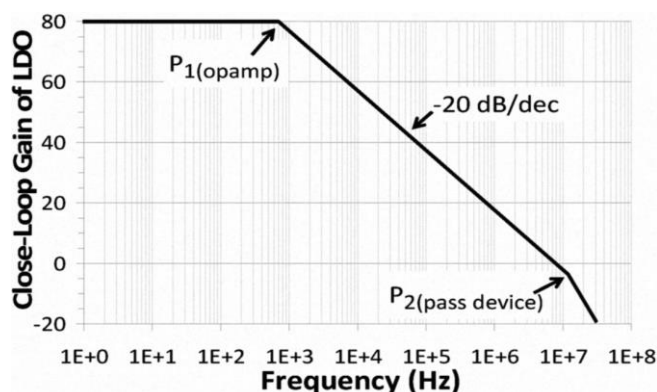
**Druhý koncept** zapojení uvažuje interní pól nedominantní a externí dominantní. Z tohoto důvodu je nutné, aby kapacita výstupního kondenzátoru byla větší než určitá hodnota. ESR (ekvivalentní sériový odpor) a ESL (ekvivalentní sériová indukčnost) zátěže musí být omezeny také, aby nedošlo k vytvoření parazitické nuly, která by

ovlivnila tranzitní kmitočet zapojení. Výhoda tohoto konceptu je zejména v tom, že není omezena maximální hodnota kapacity výstupního kondenzátoru a jeho ESR může být nulový. Nevýhodou vyplívající z nedominantního interního pólu je nenulová stejnosměrná odchylka a proporcionalní regulace [15]. Znázornění charakteristiky tohoto konceptu lze nalézt na obr. 1.7.



Obr. 1.7: Znázornění charakteristiky s externím dominantním pólem a interním nedominantním pólem.

U **třetího konceptu** zapojení je interní pól dominantním a externí nedominantním. Vlivem toho je nedominantní externí pól odsunut na vysokou frekvenci. Možné je, že kapacita výstupního kondenzátoru nebude moci překročit jistou hodnotu, právě proto, aby se z externího nedominantního pólu nestal dominantní. Výhodou tohoto zapojení je velmi malá stejnosměrná odchylka. Koncept je vhodný pro topologie, v nichž je koncový stupeň zapojen jako napěťový sledovač [15]. Znázornění charakteristiky tohoto konceptu lze nalézt na obr. 1.8.



Obr. 1.8: Znázornění charakteristiky s interním dominantním pólem a externím nedominantním pólem. (převzato z [14])

## 1.4 Automobilový průmysl

Na integrované obvody pro použití v automobilovém průmyslu („Automotive“) jsou kladeny přísné nároky, a to jak na rozsah pracovních podmínek, tak i na testovatelnost a spolehlivost. Oproti integrovaným obvodům určeným pro běžné použití („Consumer“) se liší například větším rozsahem pracovních teplot, větší odolností proti EMI a ESD,

striktními požadavky na EMC [16]. Funkčnost a spolehlivost obvodu musí být zaručená, jelikož zapojení mnohdy řídí systémy, při jejichž výpadku nebo selhání by mohlo dojít ke zranění, případně újmě na životě. Spolehlivost takovýchto součástí se pohybuje v řádech 6sigma, což je dle normálního rozdělení 3,4 defektu v milionu vzorků. Pro zajištění vyšší spolehlivosti je také možné použít redundantních prvků, které buďto zastoupí funkci porouchané součásti, nebo alespoň zajistí omezenou funkčnost jistého systému při poruše, dokud není součást opravena či nahrazena.

V této práci je možné se setkat s požadavkem pracovní teploty v rozsahu  $-40\text{ }^{\circ}\text{C}$  až  $185\text{ }^{\circ}\text{C}$ . Je také požadována omezená funkce i při vyšších teplotách. Pro příklad bloky nesmí při teplotě  $200\text{ }^{\circ}\text{C}$  vykazovat známky kritické chyby. Při takto vysoké teplotě sice nemusí splňovat katalogové parametry, avšak nesmí na svém výstupu nebo svou funkcí kriticky ohrozit další bloky. Typicky regulátor napětí nesmí na svém výstupu generovat napětí vyšší, než jsou absolutní maxima součástek připojeného k jeho výstupu. Naprosté selhání funkce v podobě nulového napětí je na povážení.

Velmi nízké teploty se v zapojení projeví především na souběhu prvků („Matching“). To je zapříčiněno přítomností mechanického pnutí, které vzniká mezi čipem a pouzdrem v důsledku jejich rozdílné teplotní roztažnosti. Čip je opouzdřen při vysoké teplotě, takže k vytvrzení plastu dojde také za vysoké teploty. Mechanické pnutí bude menší při vyšších teplotách, avšak zde vyvstává problém v podobě svodových proudů. Tranzistorem v rozepnutém stavu prochází svodový proud, který je exponenciálně závislý na teplotě. Tento proud může působit problémy v mnoha zapojeních a je nutné eliminovat jeho vliv. Jedním z opatření, je použití dostatečně velkých klidových proudů. To je však opakem požadavků na malou spotřebu obvodů bez zatížení, jelikož je proud odebírán z akumulátoru vozidla. Tím se zmenší citlivost na svodové proudy. V některých případech, ale takové řešení není možné, proto se musí již při návrhu zvážit vhodnost vybrané topologie. Vysoké teploty také zapříčiňují zvýšení odporu MOS tranzistorů v sepnutém stavu, jelikož mají na rozdíl od bipolárních tranzistorů, pozitivní teplotní součinitel odporu [16].

Při návrhu integrovaných obvodů pro automobilový průmysl je brán taky ohled na to, aby každý z bloků byl patřičně simulován („Test coverage“). V případě genericky vytvořeného schématu zapojení jako je u digitálních obvodů, je nutné dbát na kompletní pokrytí kódu testy („Code coverage“). To znamená, že všechny možnosti vstupních stavů jsou otestovány, zda nevznikají nezamýšlené stavy na výstupu. U analogových a smíšených obvodů je přístup poněkud složitější. Obecně se zapojení skládají ze základních prvků (tranzistorů, rezistorů, kondenzátorů). Tyto prvky mají různé variace dané uspořádáním vrstev a jejich typem. Každý prvek z knihovny určité technologie je pečlivě proměřen a výsledky jsou statisticky vyhodnoceny, aby bylo možné vytvořit jeho simulační model, který později slouží k zefektivnění výrobního procesu již ve stádiu návrhu. Pomocí simulací je nutné ověřit všechny definované parametry přes široké spektrum procesních rozptylů a hraničních teplot („Corners“). Je dbáno taky na to, aby byla zapojení ověřena z hlediska bezpečné pracovní oblasti prvků („SOA“) [17]. Jelikož má každý z používaných prvků specifické vlastnosti, které jsou definovány

v katalogu prvků určité technologie, je nutné ověřit, zdali v zapojení některé z nich nepřekračuje své limity. Překročením těchto limitů může dojít v lepším případě k jejich okamžitému zničení. V horším případě ke snížení životnosti prvku, což má za následek snížení spolehlivosti a možnost selhání funkce integrovaného obvodu v aplikaci u zákazníka. To je samozřejmě nežádoucí a je nutné těmto problémům předcházet. V případě selhání integrovaného obvodu zákazník posílá zmetky ke zpětné analýze a je požadováno objasnění příčin selhání [16].

U 12 V akumulátory se napětí běžně pohybuje v rozmezí 11,5 V až 15 V. Avšak při použití akumulátoru v automobilu, zvláště při jeho běhu lze předpokládat výskyt extrémních jevů jako je například studený start, který zatíží akumulátor ve snaze uvést vozidlo do provozu a lze očekávat pokles napětí až na 5 V [16]. Akumulátor je navíc při chodu zatěžován různými spotřebiči, jako jsou světla, topení, klimatizace, posilovače a jiné. To vyvolává napěťové poklesy. Pro kompenzaci spotřeby a znovu dobití akumulátoru je používán alternátor, což může způsobovat napěťové překmity. Při odlehčení nabíjeného akumulátoru může napěťový překmit dosáhnout až 40 V [16].

## 1.5 Užitečné funkce zapojení

Tato podkapitola se věnuje přídavným funkcím různých zapojení. Implementace těchto funkcí může být vyžadována u určitých bloků a to buď z funkčního hlediska či praktického. I když při normálním běhu systému nemusí být některá z těchto funkcí využita, neznamená to nutně, že je zbytečná. S ohledem na testovatelnost však mohou nastat situace, kdy je potřeba vypnout jistý blok zapojení, který je běžně neustále v provozu, právě proto, aby bylo možné otestovat některé z parametrů ostatních bloků.

**Funkce nulové spotřeby** („Enable/Disable“ nebo „Powerdown“) slouží k vypnutí celého bloku. Důvody pro zavedení této funkce mohou být různé. Například snaha snížit spotřebu vypínáním nepoužívaných bloků, nutnost současné aktivace pouze jednoho bloku na víceúčelové sběrnici nebo kvůli snížení generovaného rušení. Tato funkce je předpokladem u systémů napájených z baterie. V případě zadání této práce je předpokládáno, že napěťový regulátor bude zajišťovat napájení pouze nezbytných bloků, které zajistí detekci důležitých funkcí, jako jsou detekce externího příkazu pro probuzení čipu nebo udržení stavu paměťových bloků. Ostatní součásti budou v režimu s nulovou spotřebou a tím bude proudová spotřeba značně redukována.

**Funkce pomalého náběhu/vypnutí** („Soft-Start/Soft-Shutdown“) slouží pro zpomalení („změkčení“) přechodových dějů vznikajících při náběhu bloku. Je nutné zajistit, aby při rychlém nárůstu výstupního napětí nebyla aktivována ESD ochrana, případně následující bloky nebyly namáhány napěťovým překmitem. Proudové namáhání regulačního prvku taky není vhodné [2].

**Funkce kontroly správnosti vstupů/výstupů** signalizuje digitálně, zdali je požadovaný výstup v přijatelných mezích. Některá zapojení potřebují ke své funkci přesné reference a to jak proudy, tak i napětí. Obvykle jsou připojeny ke specializovanému bloku, který generuje referenční hodnoty. Avšak náběh takových

bloků je obvykle pomalý, jelikož obsahují setrvačné prvky. Proto je nutné nejdříve vyčkat na ustálení referenčních bloků, které poté většinou vygenerují signál reprezentující jejich připravenost („Valid signal“ nebo „OK signal“). Cílové zapojení s ověřením správnosti vstupů má tedy v době nepřipravenosti předcházejících nebo referenčních bloků, buďto vyblokovány výstupy anebo zajistí přítomnost neporuchových stavů na svém výstupu. Jistou možností je také použití vlastní, méně přesné reference v zapojení, která zajistí dostačující funkci.

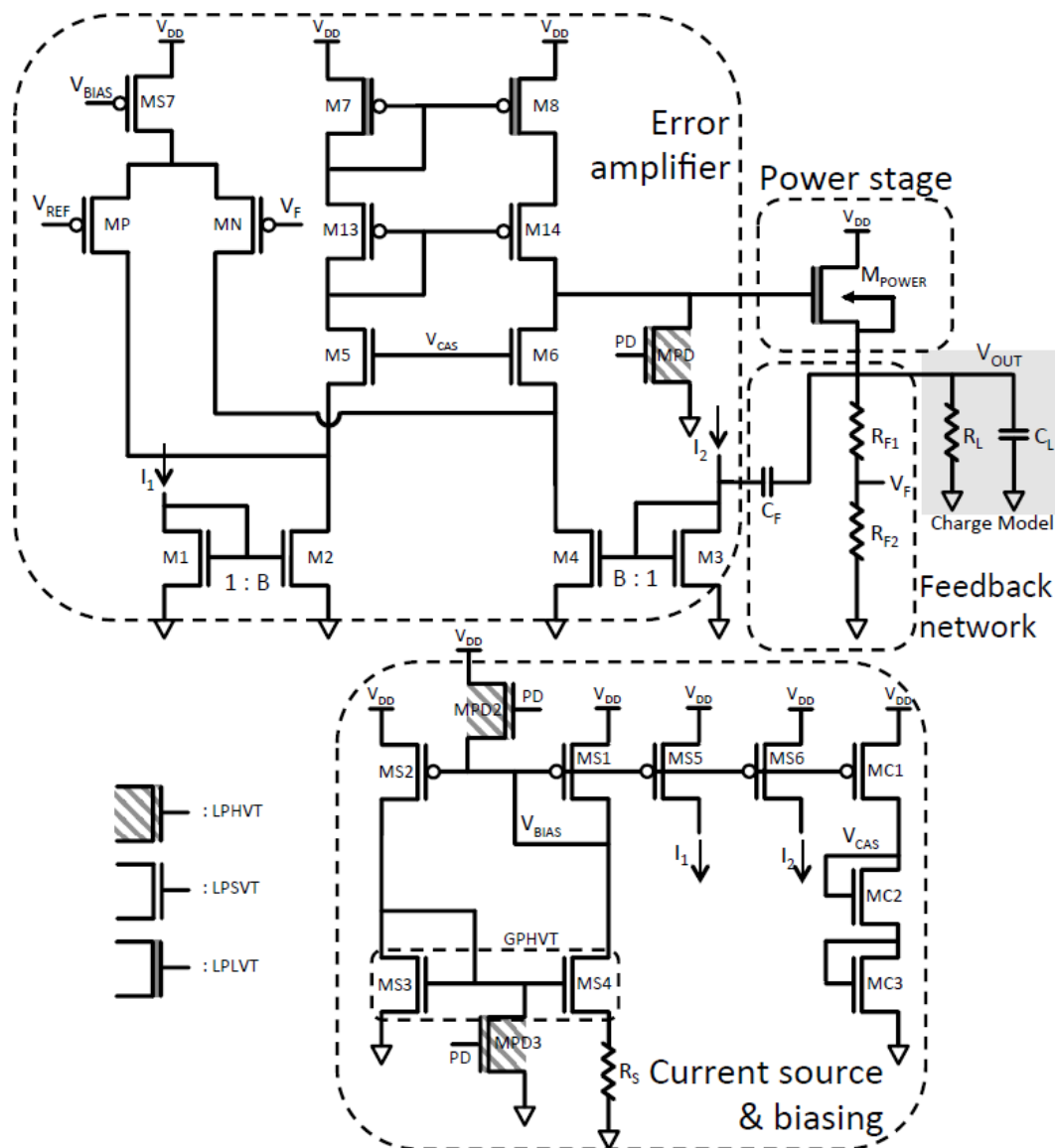
## 1.6 Popis stávajících regulátorů

Tato kapitola se zabývá popisem funkce a použitých obvodových principů již navrhnutých napěťových regulátorů, a to zejména těch, které bylo možné dohledat v digitální knihovně IEEE.org [18] a googleschoolars.cz [19]. Je zřejmé, že některé topologie nebudou pro náš účel vhodné, ale je dobré mít o nich přehled. Pro výsledný návrh může být také vyhovující pouze některý blok nebo obvodový princip. Nutno mít na paměti taky fakt, že lze zde nalézt obvodové principy a topologie, které byly navrženy v určité technologii a jejich implementace do technologie určené zadavatelem nemusí být možné či vhodné.

### 1.6.1 Regulátor s napěťovým sledovačem

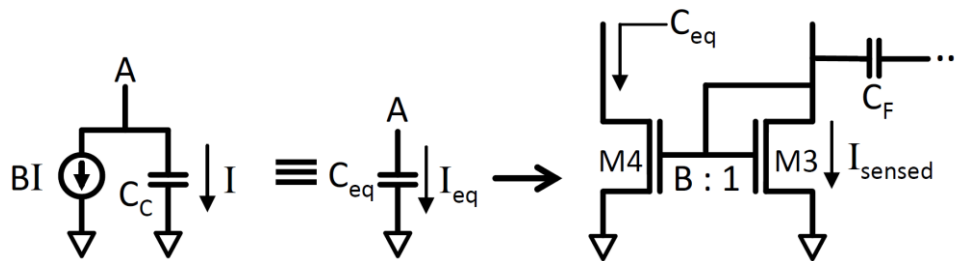
Článek [5] se zabývá návrhem lineárního regulátoru napětí 1 V až 0,5 V s ultra-nízkým klidovým proudem v 65 nm CMOS technologii. Maximální výstupní proud regulátoru je 500  $\mu$ A. Výkonový stupeň tvoří tranzistor NMOS v zapojení emitorového sledovače a v kombinaci s metodou oddalování pólů pomocí proudového módu („Current mode pole splitting“) zlepšuje PSRR a zajišťuje stabilitu zapojení. Využitím těchto principů umožňuje snížit plochu výstupního kondenzátoru, který je v tomto případě 6 pF.

Principiální zapojení lze nalézt na obr. 1.9. Schéma lze přehledně rozdělit do 5ti bloků: výkonový stupeň („Power stage“), zpětnovazebná síť („Feedback network“), blok předpětí a proudový zdroj („Current source and biasing“), chybový zesilovač („Error amplifier“) a zátěž. Tranzistory LPHVT mají vysokou hodnotu prahového napětí, naopak tranzistory LPLVT jsou zamýšleny s nízkou hodnotou prahového napětí. Tranzistory LPSVT patří svými vlastnostmi mezi tyto extrémy.



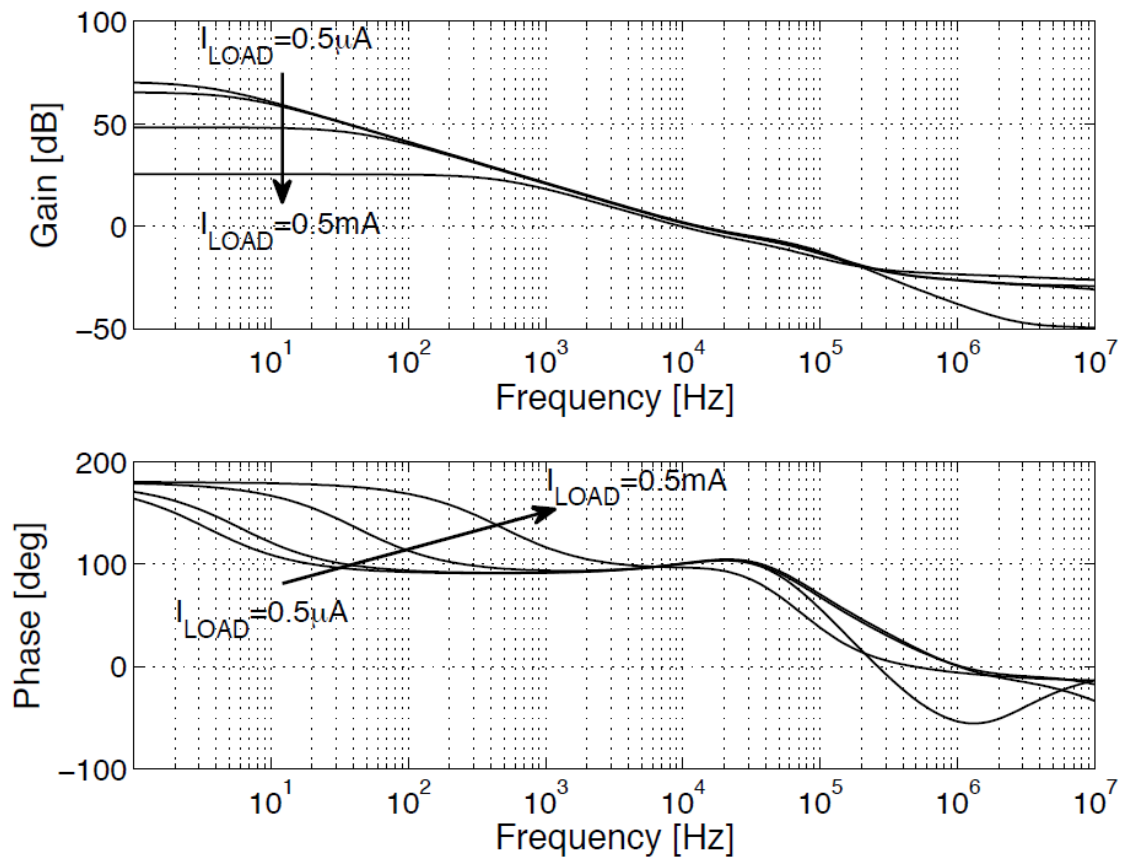
Obr. 1.9: Principiální zapojení lineárního regulátoru napětí 1 V až 0,5 V s ultra-nízkým klidovým proudem v 65 nm technologii. (převzato z [5])

Jak již bylo zmíněno, výkonový stupeň tvoří tranzistor NMOS v zapojení emitorového sledovače. Jeho hradlo je připojeno na výstup chybového zesilovače, jehož jádro je diferenciální zesilovač s kaskodovaným zesilovačem. Neinvertující vstup zesilovače je připojen k referenčnímu napětí  $V_{REF}$  (pravděpodobně bandgap). Invertující vstup diferenciální zesilovače je připojen na střed děliče napětí  $R_{F1}$  a  $R_{F2}$  ve zpětnovazební síti. Proudové zrcadlo  $M_3$  a  $M_4$  tvoří spolu s kapacitou  $C_F$  zapojení pro násobení kapacity kondenzátoru. Proud tekoucí kondenzátorem je znásoben převodním poměrem ( $B:1$ ) proudového zrcadla. Na výstupu se poté kapacita kondenzátoru  $C_F$  jeví jako  $B$ -násobná. Navíc je tímto proudovým zapojením zaveden do obvodu princip rozdělování polů („Pole Splitting“), jejímž dalším zástupcem je například Millerova kompenzace. Avšak, při užití klasické Millerovy kompenzace vnášíme do zapojení RHP („Right Half Plane“) nulu, která vyvolává nárůst zisku, ale na rozdíl od běžné nuly vyvolává opačnou změnu fáze. To posléze může způsobovat problémy s fázovou bezpečností zapojení. Detail tohoto zapojení je uveden na obr. 1.10.



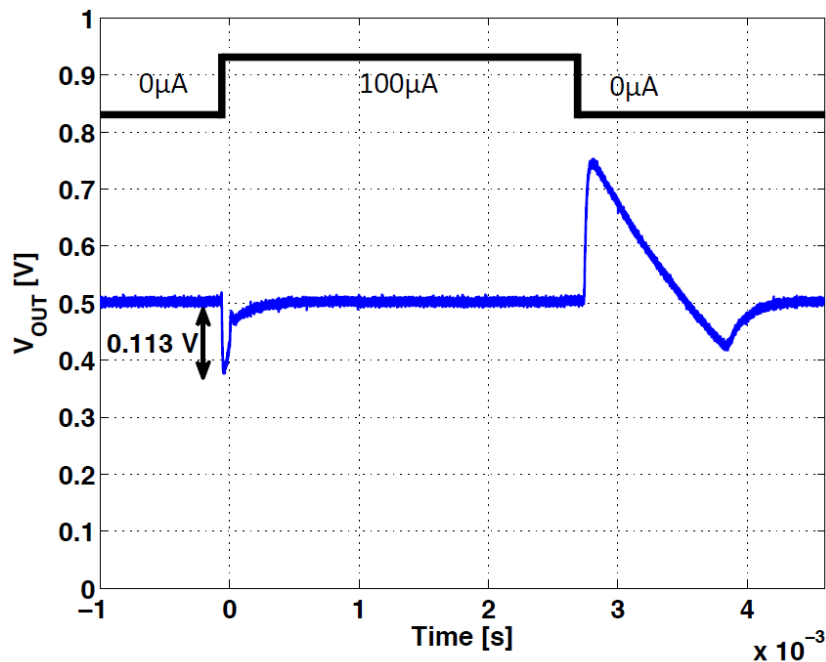
Obr. 1.10: Zapojení pro násobení kapacity kondenzátoru. (převzato z [5])

Přenosovou a fázovou charakteristiku ze simulace po fyzickém rozmístění obvodového řešení při různých proudech zátěží lze nalézt na obr. 1.11.



Obr. 1.11: Přenosová a fázová charakteristika zapojení. (převzato z [5])

Vzhledem k velmi malým klidovým proudům má regulátor značně pomalou odezvu na přechodové děje, zejména pokud je jeho výstup odlehčen. Na obr. 1.12 je zobrazena naměřená přechodová charakteristika implementace.

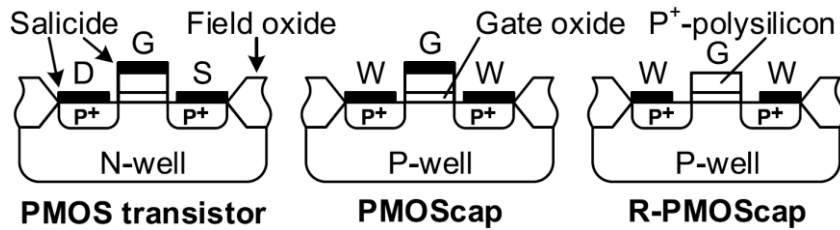


Obr. 1.12: Přechodová charakteristika regulátoru pro přechody 0 A – 100 μA a 100 μA a 0 A. (převzato z [5])

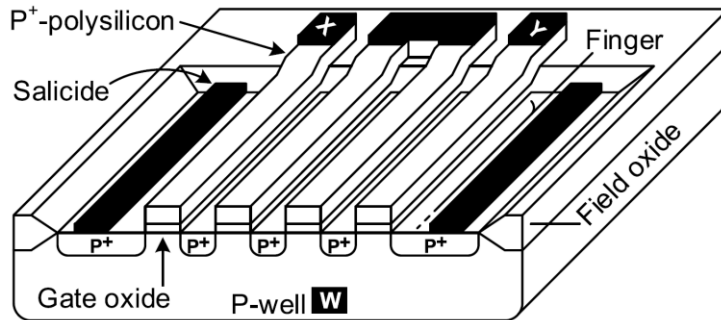
### 1.6.2 Regulátor s prvkem zlomkového řádu

Článek [20] prezentuje realizaci 1,8 V regulátoru napětí pro proud 100 mA s využitím prvku zlomkového řádu. Prvkem zlomkového řádu je myšlen integrační nebo derivační prvek, jehož řád není celočíselný. V tomto případě se jedná integrační prvek o řádu 0,5. U běžného celočíselného prvku můžeme očekávat fázový posun až 90°. Prvek zlomkového řádu má maximální fázový posun roven násobku svého řádu. To znamená, že při implementaci prvku 0,5tého řádu spolu do topologie s MOS napěťovým sledovačem bude fázová bezpečnost zapojení nejméně 45°, jelikož tento prvek může vyvolat pouze fázový posun roven 45°. To je ideální pro zajištění stability v širokém rozsahu proudu zátěží i hodnot výstupních kapacit. Navíc sklon amplitudové charakteristiky nemá poté strmost 20 dB/dek jako je tomu u celočíselných prvků, nýbrž 10 dB/dek. To se pozitivně projeví na přechodové charakteristice zapojení. Ve své podstatě toto zapojení nepotřebuje připojit žádnou výstupní kapacitu. Zapojení a princip navrhovaný tímto článkem je vhodný i pro aplikace v automobilovém průmyslu s širokým rozsahem pracovních teplot od -50°C do 200°C. Klidový proud je 45,3 μA.

Prvek zlomkového řádu je realizován pomocí distribuované sítě prvků RC a to konkrétně prvkem R-PMOScap (rezistorový PMOS kondenzátor). Jedná se tedy o strukturu RDC (vrstva rezistivní-dielektrická-vodivá). Na obr. 1.13 je možné vidět, jak byla takováto struktura odvozena z klasického PMOS tranzistoru a na obr. 1.14 fyzické umístění funkčních vrstev realizovaného prvku autory článku [20].

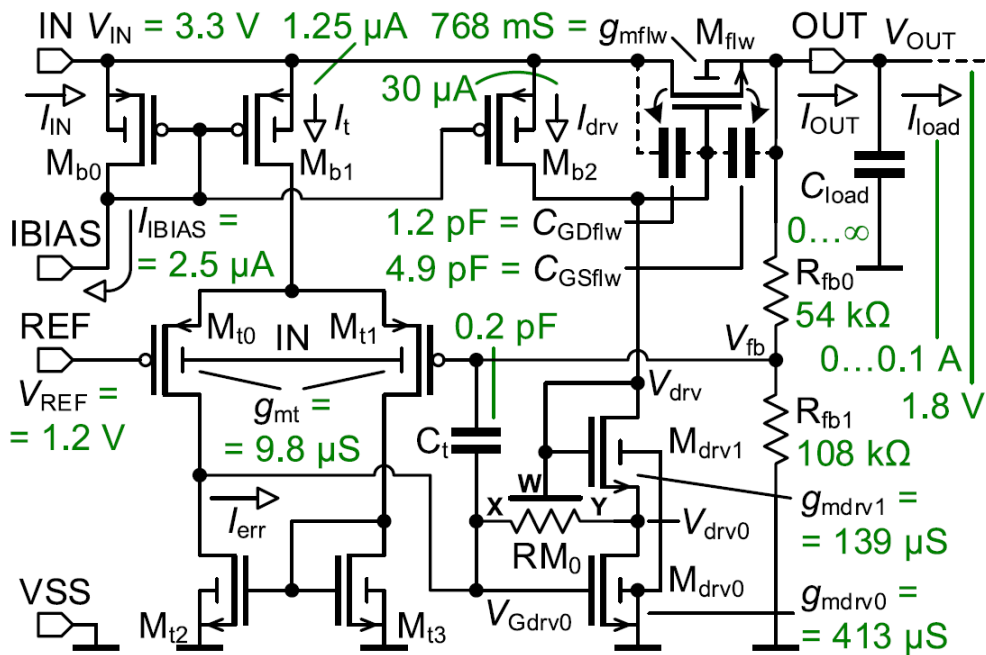


Obr. 1.13: Struktury tranzistoru PMOS, kondenzátoru PMOScap a distribuovaného prvku R-PMOScap. (převzato z [20])

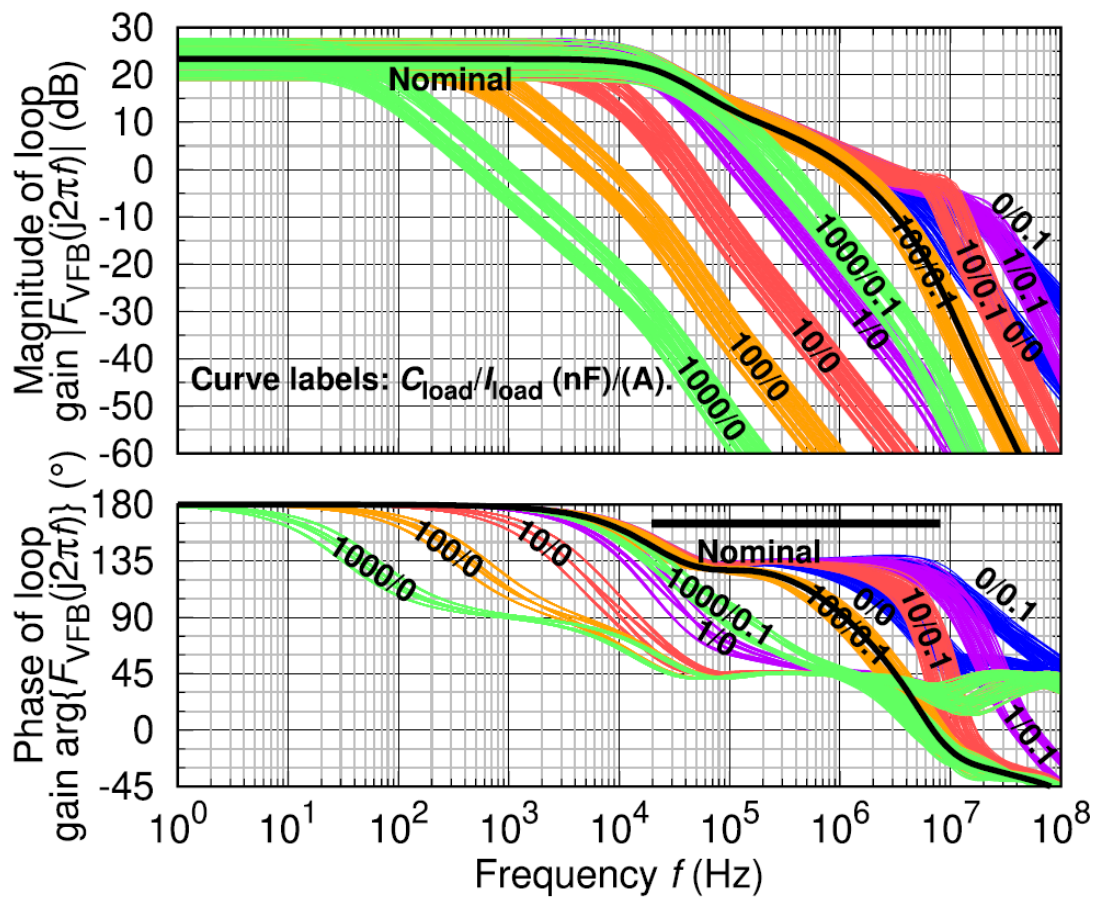


Obr. 1.14: Fyzické uspořádání R-PMOScap. (převzato z [20])

Obvodové řešení s prvkem zlomkového řádu včetně hodnot použitých autory článku [20] lze nalézt na obrázku obr. 1.15. Simulované přenosové a fázové charakteristiky regulátoru [20] lze nalézt na obr. 1.16. Fázová bezpečnost tohoto zapojení vychází dle předpokladů nejméně  $45^\circ$ , což zajišťuje dostatečnou stabilitu tomuto zapojení.



Obr. 1.15: Regulátor napětí s emitorovým sledovačem a prvkem zlomkového řádu [20].



Obr. 1.16: Výsledky simulace malo-sigánové regulační smyčky napěťového regulátoru. (převzato z [20])

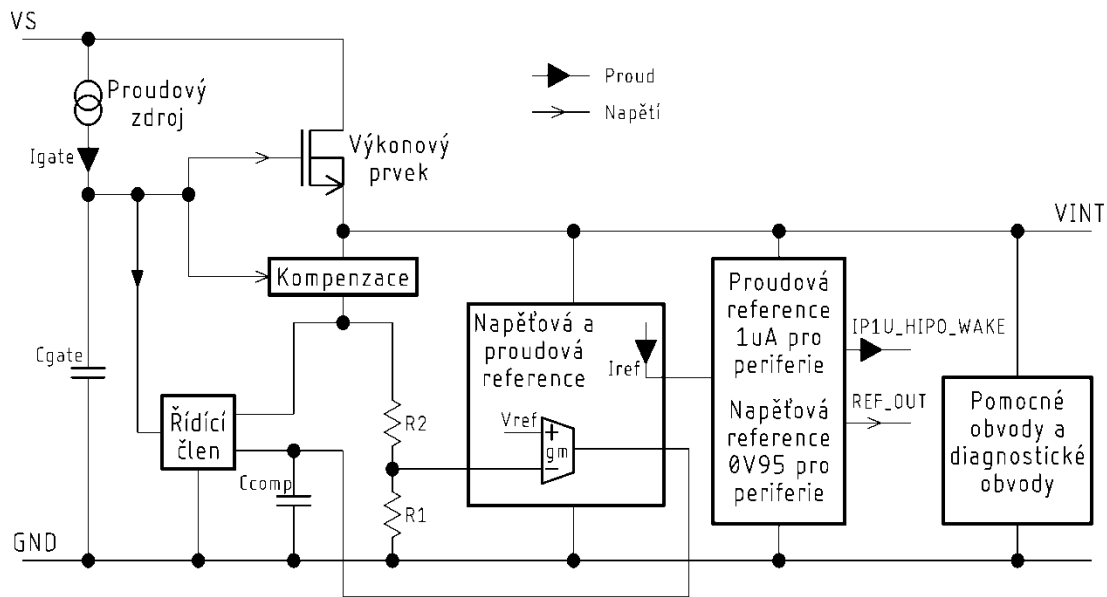
## 2 NÁVRH JEDNOTLIVÝCH BLOKŮ

Tato kapitola se zabývá popisem principu jednotlivých bloků integrovaného napěťového regulátoru. V této kapitole jsou popsány postupy použité při návrhu. Dále se zaměřuje na praktické výpočty základních principů nebo simulace jednotlivých bloků. Při neznalosti závislostí a také některých význačných parazit, je pochopení principu velmi obtížné. Kapitola také prezentuje vybrané výsledky simulací, které slouží k pochopení činnosti jednotlivých bloků.

Integrovaný napěťový regulátor má mít tyto požadované parametry:

- vstupní napětí  $V_S = 4 \text{ V}$  až  $40 \text{ V}$ ,
- výstupní napětí  $V_{INT} = 2,5$  až  $3,6 \text{ V}$ ,
- proudová spotřeba (klidový proud  $I_{cons}$ ) do  $5 \mu\text{A}$  pro zátěž  $I_{load} = 50 \mu\text{A}$ ,
- schopnost dodávat do zátěže proud  $I_{load}$  až  $6 \text{ mA}$ ,
- schopnost pracovat v automobilovém prostředí (EMI, ESD),
- pracovní teplota  $-40 \text{ }^\circ\text{C}$  až  $175 \text{ }^\circ\text{C}$ ,
- regulátor nesmí vyžadovat k své funkci externí kondenzátor.

Klasická zapojení využívají vstupní referenční napětí [21; 22]. To je porovnáváno na svorkách chybového zesilovače, z čehož je poté odvozena regulační odchylka. V tomto případě bylo využito interního konceptu firmy ON Design Czech s.r.o. generace referenčního napětí. Výhodou tohoto konceptu je velmi malá spotřeba, která je pro zadání této práce nutností. Základní myšlenkou při požadavku nízkého klidového proudu  $I_{cons}$  je omezení počtu proudových větví nebo využití těchto větví tak, aby mohly plnit více funkcí najednou. Jak již bylo zmíněno v kapitole 1.2, vzhledem k vysoké požadované teplotě je problémové navrhovat zapojení s malými klidovými proudy. Při maximální teplotě protéká závěrně polarizovanými PN přechody větší svodový proud. Zjednodušené blokové schéma zapojení integrovaného regulátoru napětí lze nalézt na obr. 2.1.



Obr. 2.1: Blokové schéma zapojení.

Jedná se o regulátor napětí využívající principu emitorového sledovače, tudíž „výkonový prvek“ v blokovém zapojení bude tranzistor NMOS. Je nutné, aby na hradle tohoto tranzistoru byla co nejstabilnější hodnota napětí. K této stabilizaci slouží „kondenzátor  $C_{gate}$ “. Jak bylo dokázáno v semestrální práci, je očekáváno, že kapacita kondenzátoru  $C_{gate}$  bude značná. Tato kapacita je jedním z obvodových parametrů definujících stabilitu zapojení, přesněji řečeno dominantní pól zapojení. Blok „proudová reference“ nabíjí kondenzátor  $C_{gate}$  přímo z napájecího napětí  $V_S$  (automobilová baterie). Napětí na kondenzátoru  $C_{gate}$  je dáno integrálem rozdílů proudu proudové reference a proudem bloku „chybového zesilovače“. Proud chybového zesilovače je dán napětím na „kondenzátoru  $C_{comp}$ “ a stavem kompenzačního bloku „kompenzace“, detekujícího operační oblast výkonového prvku. Konkrétněji detekuje, zdali se výkonový prvek nachází v oblasti slabé inverze. Pokud je tomu tak, je nutné pro celkovou stabilitu zapojení změnit parametry zpětnovazební smyčky zavedením nuly do její přenosové funkce. Jak bylo vyšetřeno v semestrální práci, zapojení s emitorovým sledovačem se stává nestabilním při nízké hodnotě zatěžovacího proudu nebo při připojení velké výstupní kapacity. V tomto případě je primárním účelem detekovat nízkou hodnotu zatěžovacího proudu a stabilizovat tak zapojení. Proto je taky vstupní veličinou do bloku kompenzace hradlové napětí výkonového prvku.

Blok „Napěťová a proudová reference“ generuje závisle na sobě referenční proud  $I_{ref}$  a napětí  $V_{ref}$ . Pro jednoduchost uvažujme, že „napěťový dělič  $R_1$  a  $R_2$ “ je připojen přímo na napětí  $V_{INT}$ . Výstupní napětí tohoto děliče je dáno poměrem rezistorů  $R_1$  a  $R_2$ . Toto napětí je přivedeno na vstup transkonduktančního zesilovače, který je součástí bloku napěťové a proudové reference, a je porovnáváno s referenčním napětím  $V_{ref}$ . Rozdíl proudu proudové reference  $I_{ref}$  a proudu tekoucího do výstupu transkonduktančního stupně je integrován na kapacitě kondenzátoru  $C_{comp}$  v napětí. Tato kapacita definuje další dominantní pól.

Pomocí proudového zrcadla lze referenční proud  $I_{ref}$  propagovat do dalšího bloku „proudová reference 1  $\mu$ A pro periferie“ a „napěťová reference 0V95 pro periferie“. V tomto bloku je využito závislosti referenčního proudu  $I_{ref}$  na referenčním napětím  $V_{ref}$ . Napěťový výstup REF\_OUT tohoto bloku je proudově posílen a může být použit k předpětí jiných bloků. Připojením referenční hodnoty napětí k rezistoru s definovanou hodnotou odporu lze docílit vytvoření proudové reference. Proudový výstup IP1U\_HIPO\_WAKE může být využit pro bloky vyžadující proudovou referenci zvenčí. Reference má na svém výstupu PMOS proudové zrcadlo a její nominální proud je 1  $\mu$ A. Tyto parametry lze také snadno vyčíst z názvu výstupu, kde „I“ reprezentuje proud, „P“ PMOS zrcadlo, „1U“ hodnotu proudu 1  $\mu$ A a zkratka „HIPO“ definuje, jak je tento proud generován.

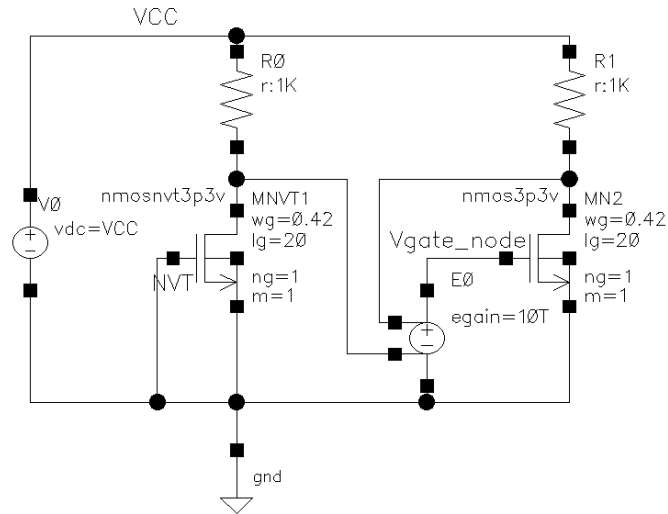
Posledním blokem jsou „Pomocné obvody a diagnostické obvody“. Ty slouží k dodatečným funkcím tohoto zapojení jako je například obvod pro detekci validního napětí  $V_{INT}$  při náběhu napájecího napětí, obvod detekující zdali napěťová a proudová reference pro periferie má dostatečný napěťový prostor a obvody dedikované testovacímu rozhraní.

V následujících podkapitolách jsou zapojení jednotlivých bloků konkretizována. K vysvětlení principu je využito zjednodušených simulací, které demonstrují princip činnosti těchto bloků a slouží k získání přibližných výsledků význačných parametrů zapojení.

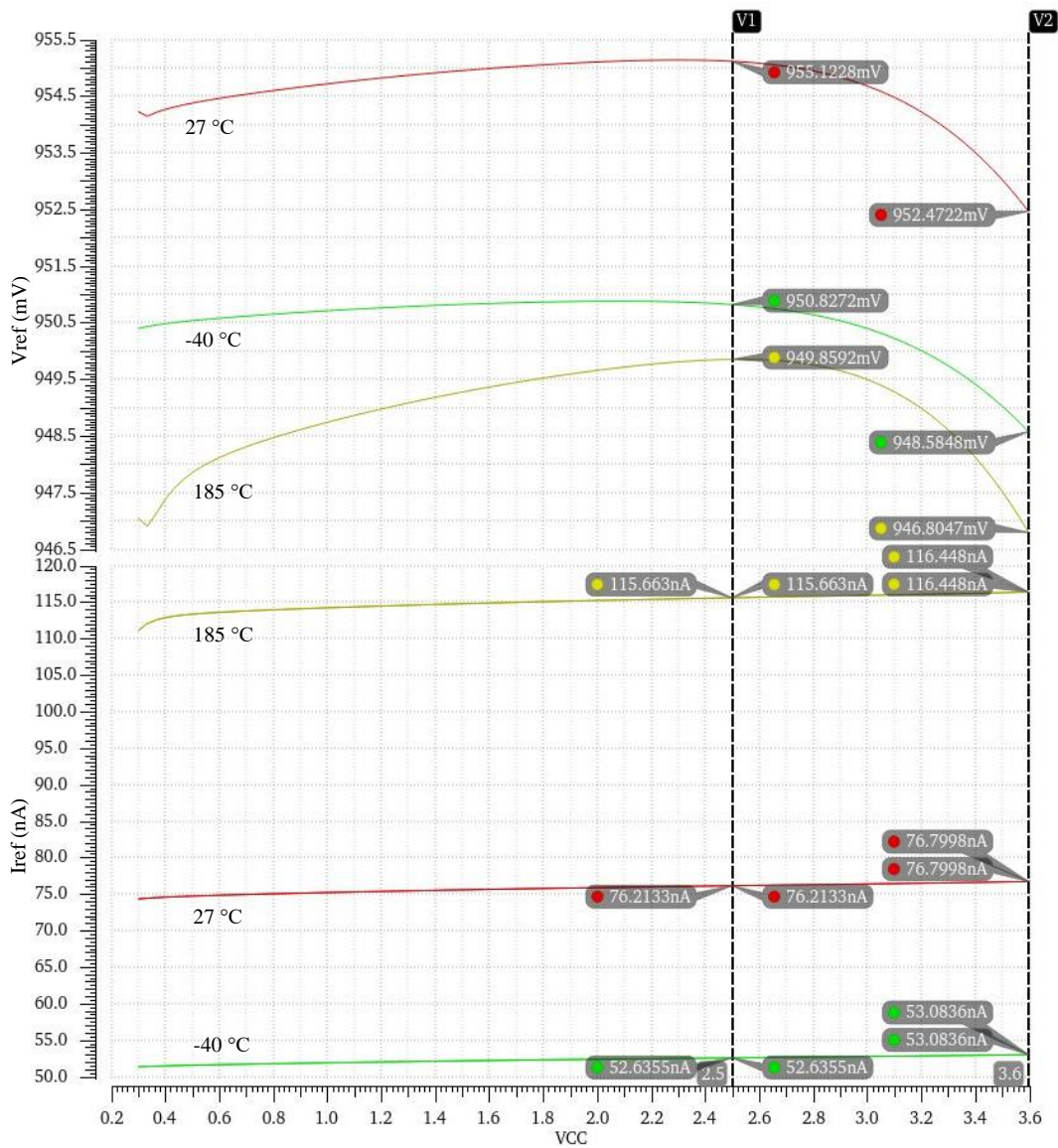
## 2.1 Napěťová a proudová reference

Dle interního konceptu firmy ON Design Czech s.r.o. bylo zvoleno principu, který využívá rozdílu prahového napětí nízkonapěťového tranzistoru nmos3p3v a jeho depletičního klonu nmosnvt3p3v. Podle technologické specifikace je prahové napětí nmos3p3v 790 mV. Pro nmosnvt3p3v je tato hodnota -120 mV. Depletiční tranzistor bývá zejména využíván jako proudový zdroj, či kaskoda. V tomto případě bude využit jako zdroj proudu [23].

Vyjdeme ze zapojení na obr. 2.2. Jelikož je hradlo tranzistoru MNVT<sub>1</sub> připojeno k nulovému potenciálu je tranzistor spolehlivě v saturaci. Pokud by stejný proud tekla i tranzistorem MN<sub>2</sub>, bylo by na jeho hradle zapotřebí napětí rovno rozdílu jejich prahových napětí, tedy 910 mV. Samozřejmě uvažujeme, že tranzistory mají stejný rozměr. Za cílem zjištění tohoto napětí byla vytvořena simulace. Z výsledků simulace na obr. 2.3 lze vyčíst, že napětí potřebné  $V_{ref}$  na hradle tranzistoru MN<sub>2</sub> je při teplotě 27 °C v rozsahu 952,47 mV až 955,13 mV a proud  $I_{ref}$  tranzistorem MNVT<sub>1</sub> je 76,2 nA až 76,8 nA při rozměrech  $w = 0,42 \mu\text{m}$  a  $l = 20 \mu\text{m}$ . Také je možné povšimnout si silné závislosti napětí  $V_{ref}$  a proudu  $I_{ref}$  na teplotě. Rozdíl teoretické a simulované hodnoty je pravděpodobně dán použitím minimální technologické šířky  $w$  tranzistorů.

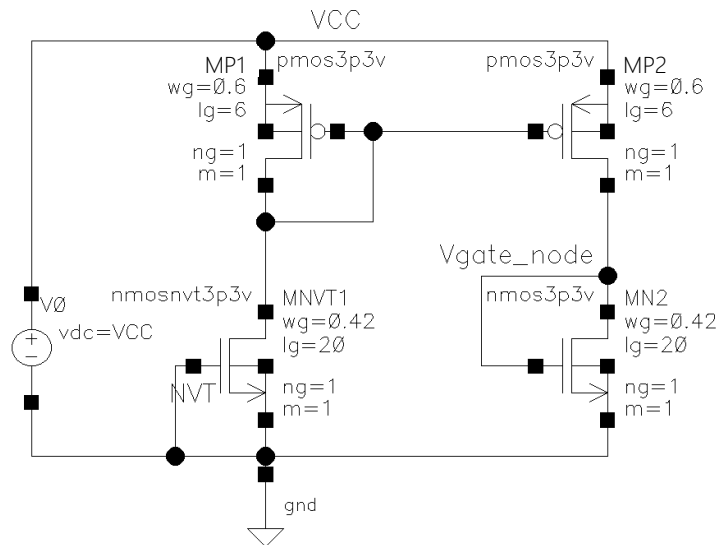


Obr. 2.2: Simulační schéma konceptu napěťové a proudové reference s tranzistorem s deplečním a indukovaným kanálem.



Obr. 2.3: Simulovaná závislost potřebného napětí v uzlu Vgate\_node a proudu tekoucího tranzistorem MNVT<sub>1</sub> a MN<sub>2</sub> v závislosti na napájecím napětí V<sub>CC</sub>.

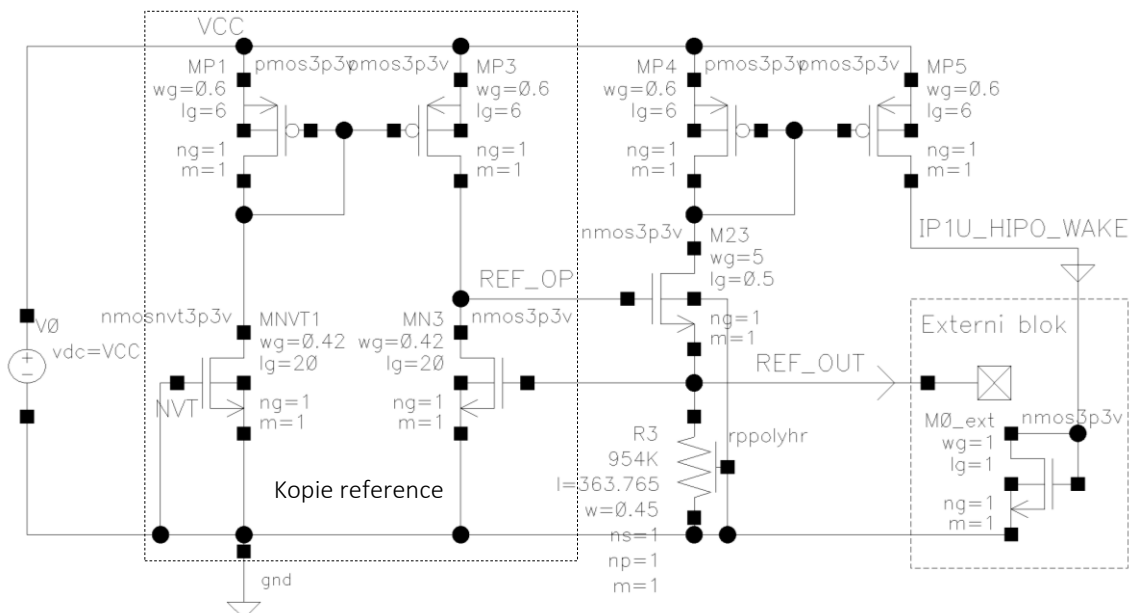
Ve funkčním zapojení, které lze nalézt na obr. 2.4 je tedy referenční proud  $I_{ref}$  generován depletičním tranzistorem MNVT<sub>1</sub>. Tento proud je zrcadlen proudovým zrcadlem tvořeným tranzistorem MP<sub>1</sub> a MP<sub>2</sub>. Tranzistorem MP<sub>2</sub> tedy protéká kopie referenčního proudu  $I_{ref}$ . Tranzistor MP<sub>2</sub> a spolu s tranzistorem MN<sub>2</sub> tvoří transkonduktanční zesilovač. V tomto případě je tranzistor MN<sub>2</sub> zapojen jako MOS dioda a tím tvoří zpětnou vazbu na hradlo tranzistoru MN<sub>2</sub>. Hradlo tranzistoru je vstupem transkonduktančního zesilovače. Napětí na něm je porovnáváno s rozdílem prahových napětí, jak pojednává text výše. Zřejmou výhodou zapojení je integrace několika funkcí do minima tranzistorů. Tento koncept napěťové a proudové reference je tedy využít v návrhu integrovaného napěťového regulátoru napětí.



Obr. 2.4: Schéma napěťové a proudové reference se vzniklým transkonduktančním zesilovačem.

## 2.2 Napěťová a proudová reference periferií

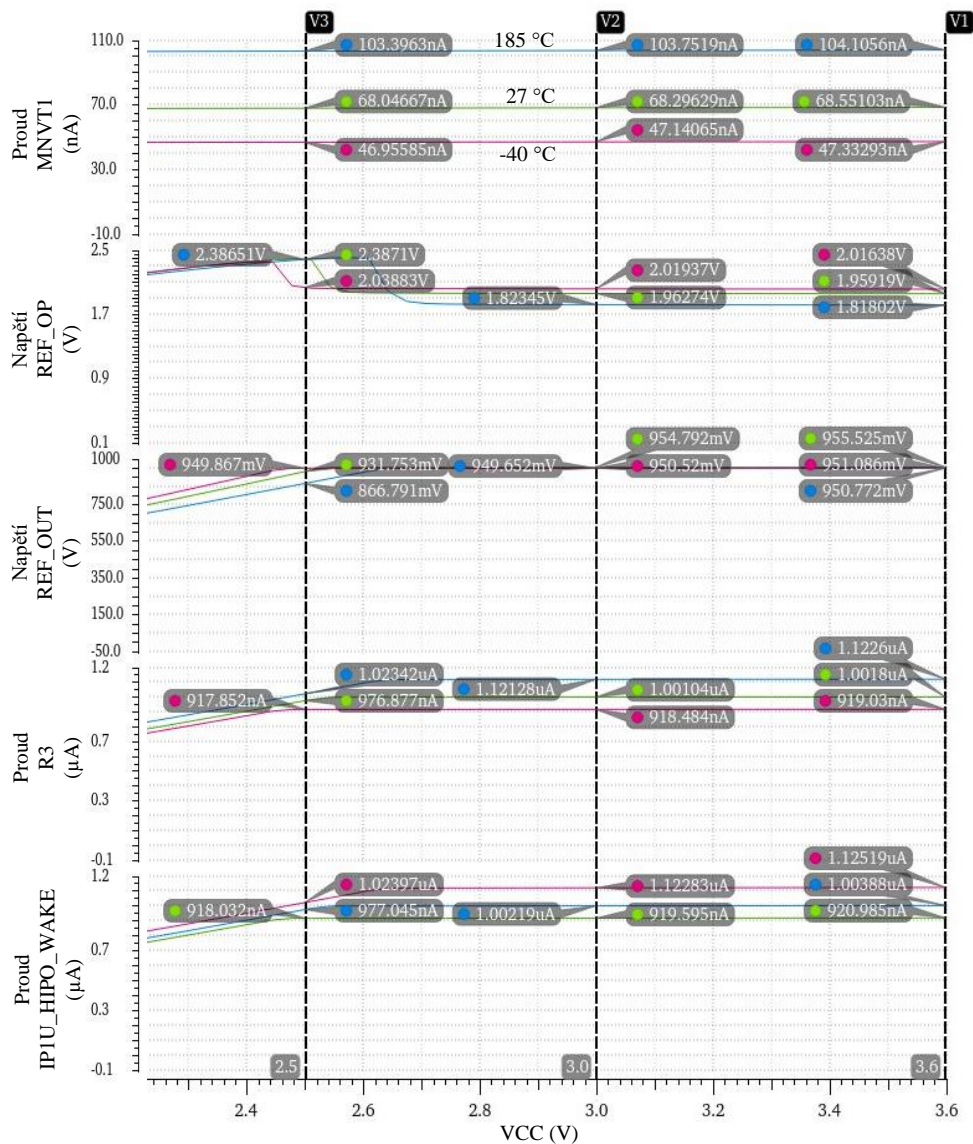
Referenční napětí pro periferie lze v tomto zapojení získat snadno vzhledem k přítomnosti vnitřní reference napětí  $V_{ref}$  a proudu  $I_{ref}$ . Referenční proud interní reference je možné snadno zrcadlit pomocí PMOS zrcadla  $MP_1$  a  $MP_3$  jako na obr. 2.5.



Obr. 2.5: Konceptuální schéma napěťové a proudové reference periferií.

Za pomoci shodné struktury jakou tvoří interní napěťová a proudová reference lze vytvořit další transkonduktanční stupeň. Přesně se tedy jedná o tranzistor s indukovaným kanálem  $MN_3$ , který spolu s tranzistorem  $MNVT_1$  opět tvoří referenční strukturu. Zároveň tvoří i transkonduktanční zesilovač s výstupem v uzlu  $REF\_OP$ . Tento uzel je připojen k emitorovému sledovači  $M_{23}$ . Source tranzistoru  $M_{23}$  je zatěžován odporem  $R_3$  tvořící referenční člen, na němž vznikne úbytek napětí stejný jako referenční napětí  $V_{ref}$  vzhledem k zavedené zpětné vazbě z uzlu  $REF\_OUT$  na hradle tranzistoru  $MN_3$  (vstup transkonduktančního stupně). Jelikož je napětí na rezistoru  $R_3$  definované referenčním napětím  $V_{ref}$ , je možné spočítat hodnotu odporu tak, aby skrze něj tekla požadovaný proud  $1 \mu A$  nebo jeho celočíselné podíly. Pro demonstrační účely byla zvolena hodnota odporu  $954 \text{ k}\Omega$ . Pomocí MOS diody  $MP_4$  proudového zrcadla je tato hodnota proudu zrcadlena na výstup  $IP1U\_HIPO\_WAKE$ . Na vstupu v externím zařízení (periferii) je očekávána NMOS dioda  $M_{0\_ext}$ , která je zahrnuta do simulace taktéž.

Výsledky simulace lze nalézt na obr. 2.6. Z výsledků vyplývá, že při aktuálních rozměrech tranzistorů se hodnota referenčního výstupu  $REF\_OUT$  při  $27^\circ C$  ustálí na napětí přibližně  $955 \text{ mV}$ . Referenční proud výstupu  $IP1U\_HIPO\_WAKE$  se za stejných podmínek ustálí na  $1,003 \mu A$ . Náběh referencí je proporcionální k napájecímu napětí zapojení  $VCC$ .



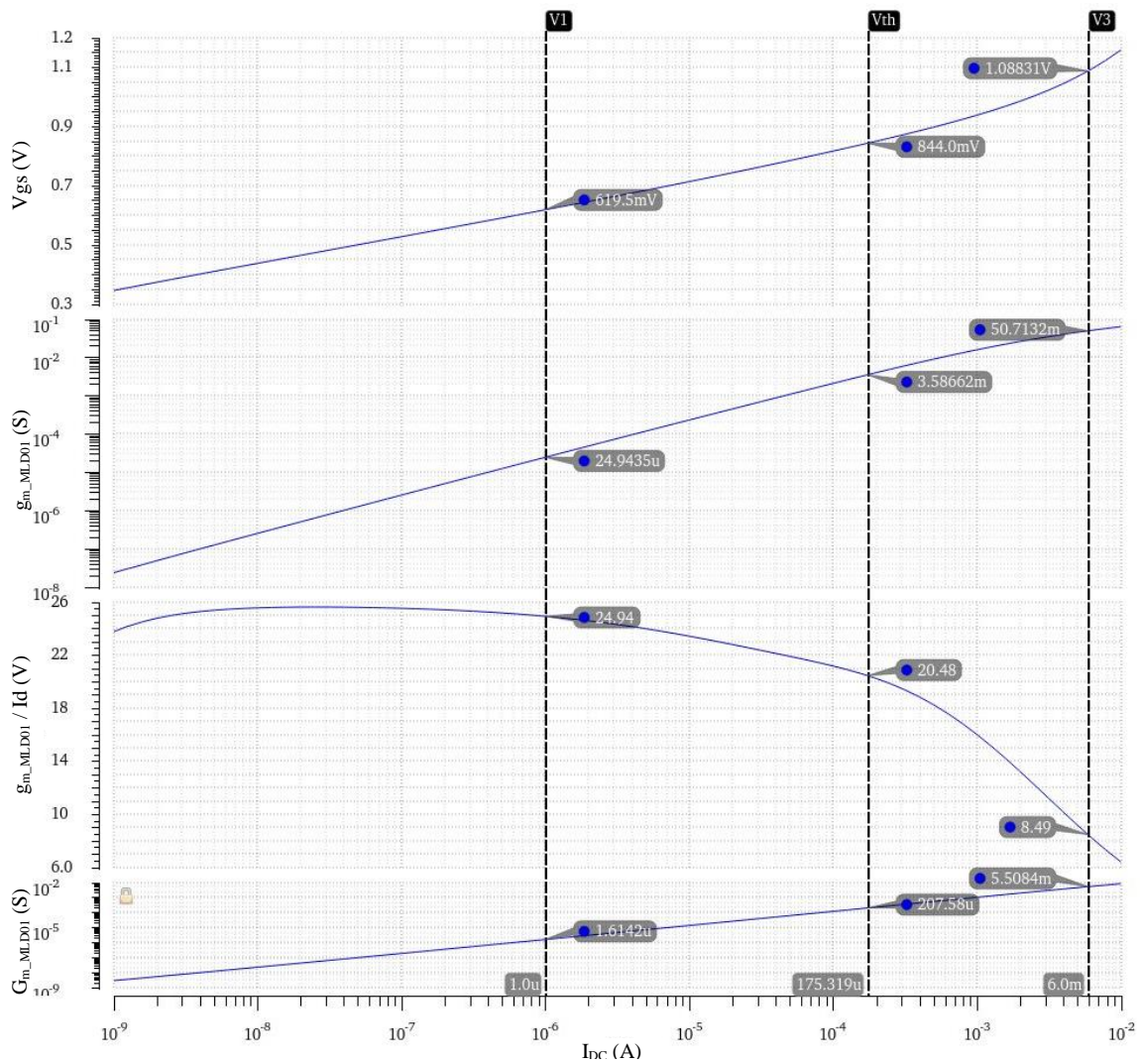
Obr. 2.6: Výsledky simulace napěťové a proudové reference pro periferie při teplotě -40 °C, 27 °C a 185 °C.

## 2.3 Výkonový prvek

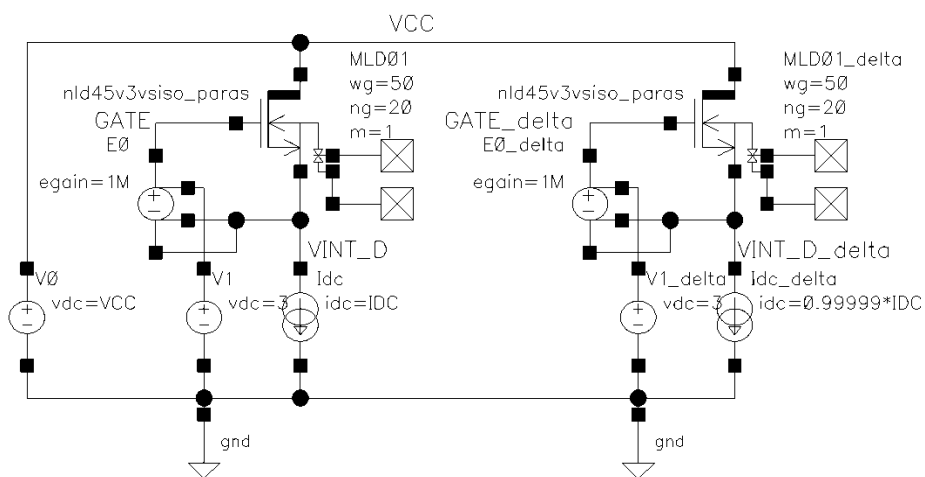
Jak již bylo zmíněno v úvodu kapitoly, výkonovým prvkem bude tranzistor NMOS v zapojení emitorového sledovače. Vzhledem k maximálnímu vstupnímu napětí nemůže být použit tranzistor nmos3p3v technologie I4TE. Tento tranzistor je určen, pro použití při pracovním napětí do 3,65 V. Technologická knihovna I4TE [23] nabízí varianty vysokonapěťových tranzistorů DMOS až do napětí 70 V. V tomto případě ovšem bude využito tranzistoru nld45v3v\_siso\_paras. Jedná se o tranzistor DMOS s maximálním pracovním napětím 45 V. Maximální napětí  $V_{gs\_max} = 3,6$  V je pro tento účel dostačující.

U tohoto prvku nás primárně zajímá výkonová ztráta a jeho transkonduktance  $g_m$ . Výkonová ztráta je limitována plochou tohoto tranzistoru. Inspekci jiných již navržených bloků, bylo zjištěno, že maximální výkonové zatížení prvků nepřesahuje  $50 \mu\text{W}/\mu\text{m}^2$ . Je vhodné tento prvek mírně naddimenzovat a proto je počítáno





Obr. 2.7: Výsledky simulace pro zjištění parametrů tranzistorů nld45v3vviso při teplotě 27 °C.



Obr. 2.8: Simulační schéma pro zjištění malo-signálových vlastností nld45v3vviso modelu tranzistoru.

Ze simulace je možné vyčíst, že transkonduktance tranzistoru  $g_{m\_MLDO1}$  v okolí zatěžovacího proudu  $I_{DC} = 1 \mu\text{A}$  je  $g_{m\_MLDO1} = 24,94 \mu\text{S}$  při hradlovém napětí  $V_{gs} = 619,5 \text{ mV}$ . To je menší než prahové napětí tohoto tranzistoru a lze tedy s jistotou

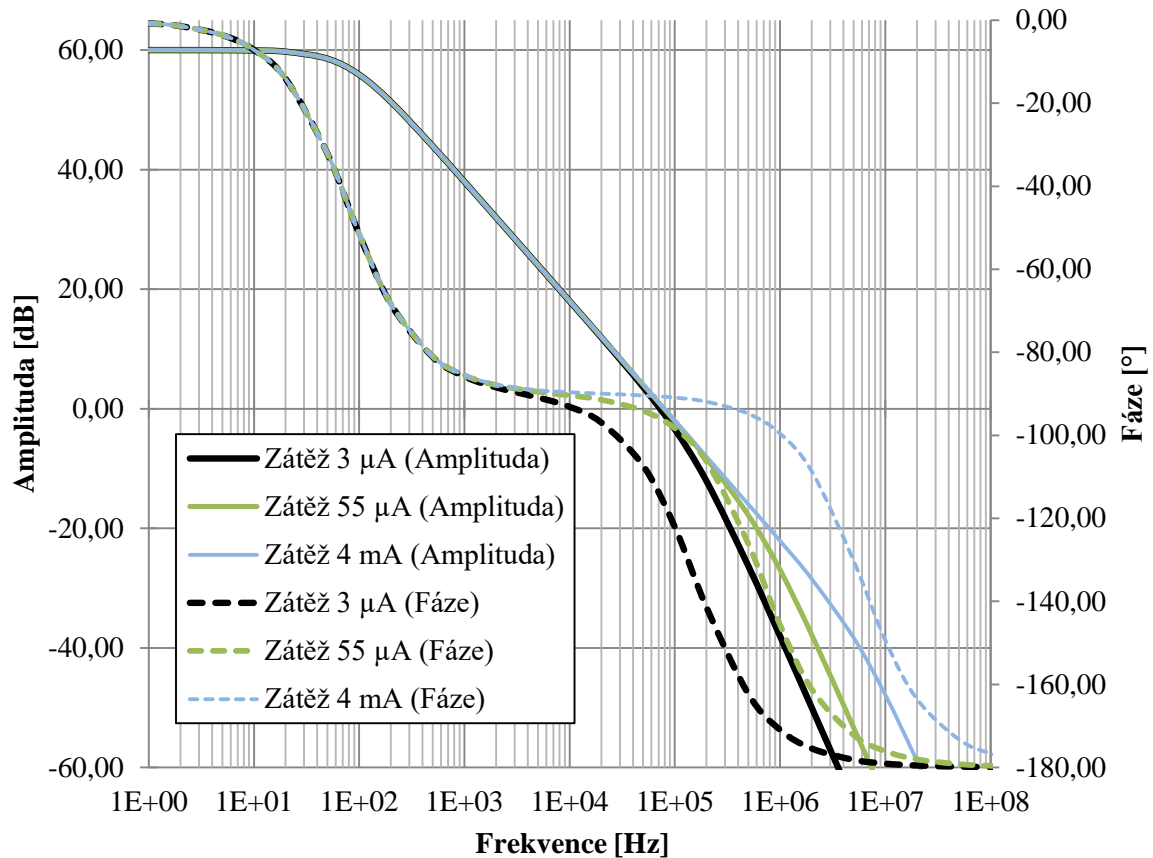
prohlásit, že tranzistor pracuje v režimu slabé inverze („subthreshold“). Simulace také znázorňuje graf závislost velko-signálové transkonduktance  $G_{m\_MLD01}$ , jejíž hodnota se řádově různí a nemůže být zaměňována s malo-signálovou hodnotou transkonduktance  $g_{m\_MLD01}$ . Inverzní oblast se vyznačuje exponenciální závislostí proudu tekoucího kanálem tranzistoru na ovládacím napětí  $V_{GS}$  podle rovnice [24]:

$$i_{DSwi} = \frac{w}{l} \cdot I_{D0} \cdot e^{\frac{v_{GS}}{n \cdot k \cdot T}} \quad (2.2)$$

Z pohledu stability je zapojení emitorového sledovače ideálně charakteristické jednotkovým přenosem a jedním pólem v jeho přenosové funkci. Poloha tohoto pólu je závislá na výstupní impedanci (elektroda source) a výstupní kapacitě  $C_{load}$ . Výstupní impedance emitorového sledovače je dána jeho transkonduktancí, jež je závislá na rozměrech a procházejícím proudu tranzistorem. V tomto případě také nesmí být opomenuta přítomnost odporového děliče skládajícího se z rezistorů  $R_1$  a  $R_2$ . Poloha pólu  $f_{T\_SF}$  je dána podle rovnice:

$$f_{T\_SF} = \frac{1}{2 \cdot \pi \cdot \left( \frac{1}{g_{m\_MLD01}(i_{DSwi})} \parallel (R_1 + R_2) \right) \cdot C_{load}} \quad (2.3)$$

Vliv transkonduktance  $g_{m\_MLD01}$  z pohledu polohy toho pólu lze pozorovat taky na obr. 2.9, jež je výsledkem ideového návrhu ze semestrální práce. Lze vidět, že při zatížení se celé zapojení stabilizuje. Nedominantní pól  $f_{T\_SF}$  bude ležet na nejnižší frekvenci při minimální zátěži.



Obr. 2.9: Přenosová funkce regulační smyčky ideového návrhu semestrální práce při různých zátěžích.

## 2.4 Kondenzátor $C_{\text{gate}}$ a kondenzátor $C_{\text{comp}}$

Tento koncept zapojení se skládá ze dvou integrátorů, jejichž význačné kondenzátory jsou  $C_{\text{gate}}$  a  $C_{\text{comp}}$ . Vzhledem k malému integračnímu proudu tekoucímu do kondenzátoru  $C_{\text{comp}}$  je očekáváno, že tato kapacita nebude příliš vysoká. I tak bude tento integrátor definovat význačný pól zapojení. Tranzitní kmitočet integrátoru  $f_T$  lze vypočítat podle rovnice:

$$f_T = \frac{1}{2 \cdot \pi \cdot \frac{1}{g_m} \cdot C}, \quad (2.4)$$

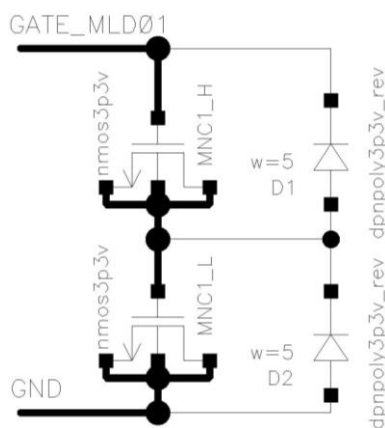
kde  $C$  je kapacita výstupního uzlu a  $g_m$  je transkonduktancí zesilovače. Pól přenosové funkce  $f_P$  se nachází na kmitočtu:

$$f_P = \frac{1}{2 \cdot \pi \cdot r_D \cdot C}, \quad (2.5)$$

kde  $r_D$  je dynamický odpor výstupního uzlu.

Kondenzátory budou vytvořeny pomocí tranzistoru nmos3p3v. Dielektrikem tohoto MOS kondenzátoru je hradlový oxid (7 nm). Připojením hradla na kladnější potenciál a zbylých elektrod na zápornější potenciál bude maximálně využito výhod MOS kondenzátoru, který disponuje kapacitou přibližně  $5 \text{ fF}/\mu\text{m}^2$  [23].

U kondenzátoru  $C_{\text{gate}}$  vyvstává problém s průrazným napětím tranzistoru nmos3p3v, jehož pracovní napětí je 3,65 V [23], proto je nutné volit buďto jiný typ kondenzátoru nebo zapojit tyto prvky do série. Volba jiného typu není v tomto případě možná. S využitím sériového spojení identických kondenzátorů je tedy napětí rozloženo ideálně na poloviny a pracovní napětí přibližně 4 - 5 V, na které bude kondenzátor  $C_{\text{gate}}$  nabit, se stane přípustným. Hlavním problémem při sériovém propojení dvou shodných kondenzátorů je snížení celkové kapacity na polovinu. Také je potřeba zajistit, aby nedocházelo k nerovnoměrnému nabíjení kondenzátorů až do stavu ve který by mohl zapříčinit nespolehlivost zapojení případně proražení hradlového oxidu jednotlivých kondenzátorů. Odporový dělič je pro tento účel zcela nevhodný, vzhledem k velikosti rezistorů na čipu. Na plochu šetrným řešením se zdá být připojení dnpoly3p3v\_rev diod v závěrném směru paralelně ke kondenzátorům. Jelikož je jejich svodový proud silně závislý na závěrném napětí a teplotě, je docíleno rozdělení napětí přibližně na poloviny. Vzhledem k napětíové závislosti se navíc poměr dělení mění a při vyšší hodnotě napětí na jednom z prvků, je svodový proud tohoto prvku vyšší na rozdíl od prvků párového. Toto řešení je znázorněno na obr. 2.10. Konkrétní hodnoty, tedy plocha kondenzátorů je předmětem šetření stabilitních simulací v další kapitole.



Obr. 2.10: Znázornění možné realizace kondenzátoru  $C_{\text{gate}}$ .

## 2.5 Proudový zdroj s tranzistorem P-JFET

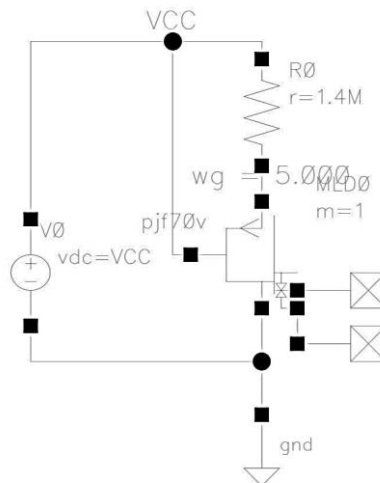
Pro účely nabíjení kondenzátoru  $C_{\text{gate}}$  připojeného k hradlu výkonového tranzistoru MLD<sub>01</sub> je nutné realizovat také proudový zdroj. Tento zdroj bude připojen k baterii, tedy uzlu VS. Vzhledem k tomu, že napětí  $V_S$  se může pohybovat v rozmezí 4 V až 40 V, je nutné užít vysokonapětíových prvků.

V technologické knihovně technologie I4TE je dostupná součástka pjf70v. Jedná se o unipolární tranzistor P-JFET s průrazným napětí  $V_{ds} = -70 \text{ V}$ . Jeho pinchoff napětí je  $V_{PO} = 1,95 \text{ V}$ . Tento tranzistor může být využit jako proudová reference, která již bude

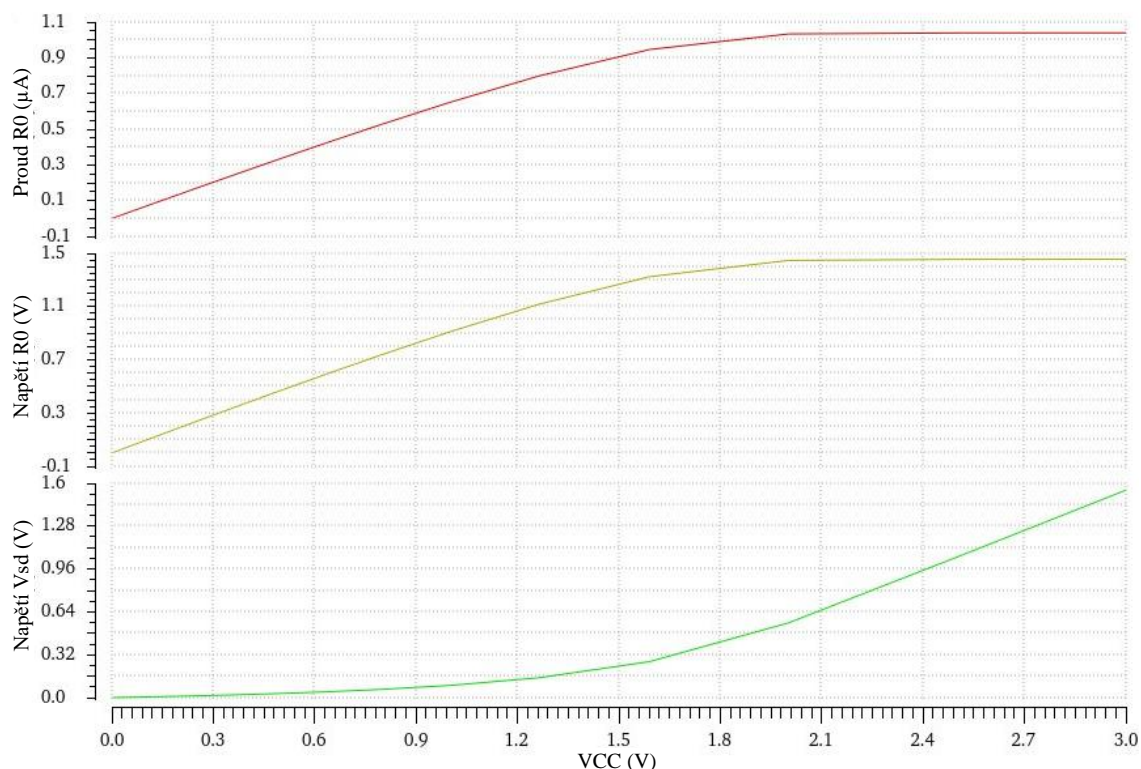
zároveň plnit funkci vysokonapěťové kaskody. Pro nastavení proudu tranzistorem je možné využít rezistoru. Při uvážení pracovních teplot a procesních rozptylů je zvolen proud  $I_{gate} = 1 \mu\text{A}$  jako nominální. Potřebný rezistor omezující hodnotu proudu tekoucího tranzistorem P-JFET bude s jistotou menší než:

$$R_0 < \frac{V_{PO}}{I_{REF}} = \frac{2 \text{ V}}{10^{-6} \text{ A}} = 2 \text{ M}\Omega. \quad (2.6)$$

Simulací, jejíž schéma lze nalézt na obr. 2.11, byla zjištěna výstupní charakteristika P-JFET tranzistoru o šířce  $w = 5 \mu\text{m}$  a délce  $l = 6 \mu\text{m}$ , kterou lze nalézt na obr. 2.12. Při použití rezistoru  $R_0$  s nominální hodnotou  $1,4 \text{ M}\Omega$  je proudový zdroj nastaven korektně. Pokud je tranzistor v saturaci, má-li tedy dostatečný napěťový prostor daný napájecím zdrojem, je jeho hradlové napětí  $V_{gs} = -1,455 \text{ V}$  a proud jím je  $1,040 \mu\text{A}$ . V tomto režimu má proudový zdroj vysoký dynamický odpor. Avšak v případě nedostatečného napětí napájecího zdroje přechází P-JFET do lineárního režimu, ve kterém je dynamický odpor v nejhorsím případě stejný jako odpor rezistoru  $R_0$ .



Obr. 2.11: Simulační schéma proudového zdroje s tranzistorem P-JFET.



Obr. 2.12: Výsledky simulace proudového zdroje s tranzistorem P-JFET při teplotě 27 °C.

Výhodou tohoto zapojení je autonomní způsob generování proudu bez nutnosti přidavných proudových větví. V tomto případě bude využit veškerý proud pro nabíjení kondenzátoru  $C_{gate}$ .

## 2.6 Odporový dělič R1 a R2

Odporový dělič v tomto případě slouží k podělení výstupního napětí  $V_{INT}$ . Rezistor rppolyhr disponuje odporem na čtverec přibližně 1,4 k $\Omega$ /čtverec s minimální tloušťkou  $w = 0,45 \mu\text{m}$ . Při takových hodnotách představují vysoko-ohmické odpory nezanedbatelnou plochu. Ovšem technologická knihovna I4TE nabízí mutaci odporu rppolyhr s názvem rppolyhr\_sn. Ten se vyznačuje minimální tloušťkou  $w = 0,18 \mu\text{m}$ . To napomáhá zmenšení plochy takovýchto rezistorů 6,25krát. Očekává se, že jím budou realizovány vysoko-ohmické odpory bez nároků na přesnost absolutní hodnoty odporu, jelikož je možné očekávat ještě větší výrobní rozptyl než u rezistoru rppolyhr. U odporového dělič, jako v tomto případě, nás ovšem zajímá spíše poměrová přesnost. Tedy přesnost jednotlivých rezistorů na čipu [23].

Je zřejmé, že nejlepších výsledků je možné dosáhnout, pokud jsou rezistory tvořeny stejnými bloky, tj. „Unitů“. Na odpor rezistorů má vliv i okolní prostředí kolem nich. Pro získání vyšší přesnosti poměrů dvou rezistorů je proto vhodné jejich části rozmístit do pravidelného vzoru vedle sebe. Takovýmto rozmístěním se zajistí, že velké množství částí bude mít ve své blízkosti velmi podobná prostředí, a tím bude zlepšen jejich souběh („Matching“). Je také možné se setkat s tím, že se okraje takto vzniklé

matice ohraničují rezistory, které nejsou funkčně využity. Tyto rezistory („Dummy“) slouží ke zlepšení souběhu, právě z důvodu úpravy okolního prostředí. Mohou také sloužit jako náhradní rezistory v případě, že je potřeba změnit poměr. Tudiž není nutné měnit struktury na čipu, ale stačí pozměnit pokovovací masky a rozdílným propojení zajistit požadovanou změnu poměru nebo odporu. Podobné pravidla platí také ostatní prvky, zvláště s tranzistory proudových zrcadel.

## 2.7 Pomocné obvody

V zapojení se vyskytují doplňkové obvody, které slouží k detekci stavu regulátoru. V tomto případě je nutností, aby regulátor byl schopen detekovat podpětí reference pro periferie. Tento signál (dále označován jako „ref\_ok“) indikuje připravenost napěťové reference pro ostatní bloky.

Dalším detekčním výstupem je „vint\_ok“, jehož účelem je indikovat zdali je dosaženo regulace výstupního napětí  $V_{INT}$ . Pokud je regulační člen napětí  $V_{INT}$  neaktivní, není napětí výstupu VINT dostatečné. Zvláště důležitý je tento signál při náběhu zapojení. Tento signál by neměl být generován po dobu, kdy je výstupní napětí  $V_{INT}$  menší než 2,5 V.

## 3 INTEGROVANÝ REGULÁTOR NAPĚTÍ RD7GG2\_LPINT

Tato kapitola se zabývá podrobným popisem zapojení vzniklého nízko-příkonového v technologii I4TE [23] regulátoru s názvem LPINT, který bude realizován v integrovaném obvodu s interním označením RD7Gg2. V této kapitole je rozebrána funkce jednotlivých tranzistorových uskupení z funkčního hlediska. Prezentovány jsou také jednotlivé podbloky, které vznikly v rámci návrhu. V návaznosti na funkci zapojení jsou také zmíněny požadavky na fyzické rozmístění prvků. Proces návrhu je pevně spjat s fyzickým rozložením (layoutem) prvků a také volbou těchto prvků. Při nevhodné rozmístění prvků by mohlo dojít k omezení přesnosti citlivých zapojení nebo by mohla malá vzdálenost mezi specifickými prvky vést k vytvoření parazitických tranzistorů, či tyristorů. Jedna z podkapitol je věnována výsledkům finálních simulací v prostředí Cadence® Virtuoso®.

Integrovaný napěťový regulátor má mít tyto požadované parametry:

- vstupní napětí  $V_S = 4 \text{ V}$  až  $40 \text{ V}$ ,
- výstupní napětí  $V_{INT} = 2,5$  až  $3,6 \text{ V}$ ,
- proudová spotřeba (klidový proud  $I_{cons}$ ) do  $5 \mu\text{A}$  pro zátěž  $I_{load} = 50 \mu\text{A}$ ,
- schopnost dodávat do zátěže proud  $I_{load}$  až  $6 \text{ mA}$ ,
- schopnost pracovat v automobilovém prostředí (EMI, ESD),
- pracovní teplota  $-40 \text{ }^\circ\text{C}$  až  $175 \text{ }^\circ\text{C}$ ,
- regulátor nesmí vyžadovat k své funkci externí kondenzátor.

### 3.1 Funkce LPINT

Funkce integrovaného obvodu RD7Gg2 není pro tuto práci podstatnou, avšak je nutné zmínit režimy, při nichž má regulátor LPINT spolehlivě pracovat a zajišťovat funkci. Předností regulátoru LPINT je velmi malá vlastní spotřeba, která definuje z větší poloviny proudovou spotřebu celého čipu v režimu spánku. Primární funkcí je zajišťovat napájení čipu v režimu spánku. V normálním režimu čipu je činnost tohoto regulátoru suspendována a je spoléháno na nadřazený napěťový regulátor integrovaného obvodu RD7Gg2. Ten má vyšší proudovou zatížitelnost a také menší rozptyl hodnot výstupního napětí  $V_{INT}$ , avšak všechny tyto vlastnosti jdou napříč nízké vlastní spotřebě.

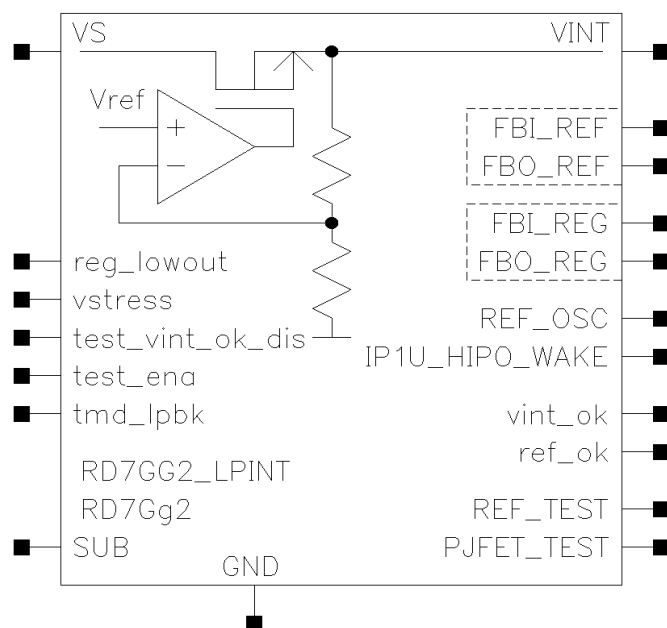
Regulátor LPINT je také startovacím regulátorem čipu RD7Gg2, který zaručuje spolehlivý náběh napájecího napětí  $V_{INT}$ . Se signalizací přijatelného napětí  $V_{INT}$  je úzce spjat POR („Power on reset“) signál, jehož funkce je implementována do bloku LPINT. Signál POR spouští digitální část obvodu. Regulátor LPINT musí být schopen dodat potřebný proud až  $6 \text{ mA}$  při této inicializaci, tak aby nedošlo k podpětí těchto obvodů a zároveň nedošlo ke generování dalšího signálu POR. Při úspěšné inicializaci vnitřních obvodů, dochází ke spuštění nadřazeného napěťového regulátoru, který dále suspenduje

činnost regulátoru LPINT snížením požadovaného výstupního napětí  $V_{INT}$ . Je nutno podotknout, že v tomto stavu je regulátor LPINT připraven k okamžitému zapnutí, tak aby nedošlo k výpadku napětí  $V_{INT}$  při přechodu z normálního režimu do režimu spánku ani generaci POR signálu.

Regulátor LPINT disponuje možností testovatelnosti. Režimy `tmd_lpbk` (digitální testování) a `vstress` (urychlení stárnutí hradlového oxidu zvýšeným napětím) jsou implementovány do zapojení. Slouží k identifikaci výrobních poruch a tedy v konečném důsledku zvýšení spolehlivosti.

## 3.2 Symbol

Pro snadné použití regulátoru LPINT je vytvořen schématický symbol. Tento symbol je možné nalézt na obr. 3.1. Regulátor LPINT disponuje celkem 19 terminály. Napájecí terminály jsou umístěny k hornímu okraji symbolu. Jejich funkci taky dokresluje schématické znázornění topologie obvodu. Interní konvence vyžadovala dodržení správného pojmenování jednotlivých terminálů. Pro digitální signály je vyžadováno pojmenování pomocí malých písmen, naopak pro analogové, napájecí a smíšené signály velkými písmeny.



Obr. 3.1: Symbol bloku napěťového regulátoru LPINT.

Napájecími a fyzicky funkčními terminály jsou:

- **VS,**
- **VINT,**
- **GND,**
- **SUB.**

Vstupní napětí  $V_S$  v rozsahu 4 V až 40 V z akumulátoru automobilu je přiváděno pomocí terminálu **VS** („Voltage supply“).

Terminálem výstupního napětí  $V_{INT}$  je **VINT**. To musí být podle zadání v rozsahu 2,5 V až 3,6 V.

Terminál **SUB** reprezentuje substrát křemíku (v této technologii se jedná o dotovaný polovodič typu P), který nesmí být opomenut. Některé modely, zpravidla složitějších struktur, mají samostatný vývod substrátu. Pro účely simulace jsou jednotlivé terminály SUB spojeny, jelikož se součástky nachází na stejném substrátu. S tímto terminálem jsou spjaty určité parazitické efekty a v simulačním prostředí mohou způsobovat problémy s konvergencí. Význam substrátu avšak nemůže být podceňován vzhledem k fyzické realizaci součástek na křemíku. Substrát v tomto případě zůstává plovoucí nebo je pro účely konvergence připojen přes vhodný RC člen k nulovému potenciálu GND. Terminál **GND** je nulovým potenciálem zapojení.

Výstupní signály jsou situovány na pravé straně symbolu. Mezi tyto signály patří:

- **REF\_OUT**,
- **IP1U\_HIPO\_WAKE**,
- **vint\_ok**,
- **ref\_ok**,
- **REF\_TEST**,
- **PJFET\_TEST**.

S terminálem **REF\_OUT** jsme se již seznámili v předchozí kapitole. Jedná se o výstup referenčního napětí pro periferie. Toto napětí je pro nominální hodnoty přibližně 0,95 V.

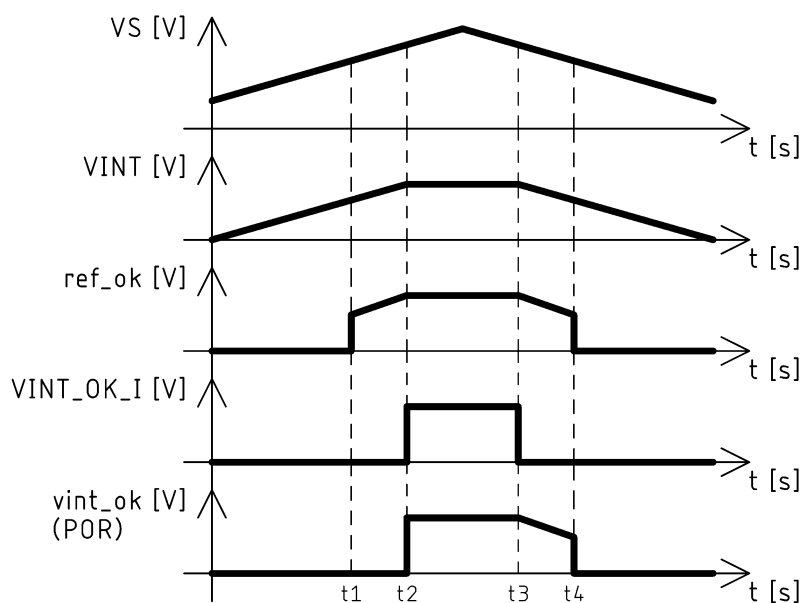
Terminál **IP1U\_HIPO\_WAKE** již byl taky zmíněn v souvislosti s proudovou referencí 1  $\mu$ A pro periferie. Referenční proud z tohoto terminálu vytéká, jelikož pochází z PMOS proudového zrcadla.

Signál **ref\_ok** je validačním signálem referencí pro periferie, přesněji tedy **REF\_OUT** a **IP1U\_HIPO\_WAKE**. Signalizuje jejich dostatečný napěťový prostor, tedy správnost jejich výstupů.

Signál **vint\_ok** slouží jako validační signál výstupního napětí  $V_{INT}$ . Ve své podstatě slouží jako indikace zdali má regulátor LPINT dostatečný napěťový prostor oproti vstupnímu napájecímu napětí  $V_S$ .

Dvojice signálů **vint\_ok** a **ref\_ok** je zvláště důležitá vzhledem k náběhu čipu RD7Gg2. Charakteristický průběh signálů **vint\_ok** a **ref\_ok** v závislosti na napětí  $V_{INT}$  je na obr. 3.2. Lze si povšimnout, že signál **ref\_ok** se aktivuje již v čase  $t_1$ , kdy napětí  $V_{INT}$  ještě není na své nominální hodnotě. Signál **ref\_ok** je připojen k napájení přes uzel **VINT** a tedy kopíruje jeho hodnotu v aktivním stavu. Signál **VINT\_OK\_I** efektivně indikuje shodu aktuálního napětí  $V_{INT}$  s požadovanou hodnotou. Je možné si povšimnout, že signál se aktivuje v čase  $t_2$  ve kterém již nedochází k nárůstu napětí

$V_{INT}$ . V časech  $t_3$  a  $t_4$  dochází k opačnému jevu při vypínání signálů. Vytvořením zpětné vazby v zapojení je docíleno POR funkce na výstupu vint\_ok. Po aktivaci signálu vint\_ok (POR) v čase  $t_2$  nedojde k jeho vypnutí v čase  $t_3$ , kdy přestává být napěťový prostor regulátoru LPINT dostatečný a dochází k poklesu výstupního napětí  $V_{INT}$ . K deaktivaci signálu vint\_ok (POR) dochází až v čase  $t_4$ , kdy je signálem ref\_ok vyhodnocen nedostatečný napěťový prostor napěťové a proudové reference pro periferie. Podmínkou pro aktivaci signálu vint\_ok je tedy dostatečný napěťový prostor napěťové a proudové reference pro periferie a zároveň taky pro výstupní napětí  $V_{INT}$ . Po aktivaci postačuje pouze dostatečný napěťový prostor reference pro externí obvody a deaktivaci dochází až v momentu, kdy tato podmínka není splněna (v čase  $t_4$ ). Tyto podmínky navíc vytváří žádoucí hysterezi zapojení.



Obr. 3.2: Ideální průběhy signálů ref\_ok a vint\_ok v závislosti na napětí  $V_{INT}$ .

Terminály **REF\_TEST** a **PJFET\_TEST** jsou testovacími výstupy. Používány jsou pouze v analogovém testovacím režimu při aktivaci signálu test\_ena. V podstatě dojde k propojení vybraných vnitřních uzlů zapojení s testovací sběrnici, z níž je možné měřit obvodové veličiny. V tomto případě dojde k propojení terminálu REF\_TEST s vnitřním uzlem FB0V95\_COPY. Zde je možné měřit napětí reference pro periferie. U terminálu PJFET\_TEST dojde ke spojení s vnitřním uzlem VINT\_OK\_I, na němž je možné měřit napětí indikující, zdali je napětí  $V_{INT}$  na požadované hodnotě. Druhou možností je měřit proud proudové reference nabíjející kondenzátor ( $C_{gate}$ ), který je připojen k hradlu výkonového prvku. Pro tento účel je potřeba připojit napěťový zdroj s napětím přibližně 0,5 V do série s ampérmetrem.

Vstupní digitální terminály jsou situovány na levé straně symbolu LPINT. Jedná se o signály:

- **reg\_lowout**,
- **vstress**,
- **test\_vint\_ok\_dis**,
- **test\_ena**,
- **tmd\_lpbk**.

Vstupní digitální signál **reg\_lowout** je generován nadřazeným interním regulátorem. Při jeho aktivaci dochází k suspendaci činnosti regulátoru LPINT. Toho je dosaženo snížením požadovaného výstupního napětí regulátoru LPINT, jež při vyšší hodnotě napětí  $V_{INT}$  než je požadováno, zůstává inertním.

Signál **vstress** je speciálním testovacím signálem. Konstrukčně je zajištěno, aby při jeho aktivaci došlo k reorganizaci prvků s velkou plochou hradlového oxidu. Tyto prvky budou připojeny paralelně k sobě mezi uzly VINT a GND. Také zajišťuje nulovou proudovou spotřebu z uzlu VINT. Díky tomu je možné identifikovat poruchy hradlového oxidu na čipu měřením svodového proudu při zvýšeném napětí (až 5 V).

Signál **test\_vint\_ok\_dis** je povolovacím signálem testovacího režimu. Při jeho aktivaci dochází ke změně funkce signálu `vint_ok` a `ref_ok`, respektive k vyřazení POR funkce. Alternativní funkce je poté citlivá pouze na signál `ref_ok` a signál `vint_ok` je poté jeho kopií. Pokud by totiž došlo k selhání regulátoru LPINT, nebyl by vygenerován signál `vint_ok` (POR), což by mělo za následek absolutní nečinnost celého čipu a vůbec nemožnost otestování ostatních zapojení na čipu. Při připojení externího napájení s aktivním signálem `test_vint_ok_dis` je čip nastartovat.

Signál **test\_ena** je povolovacím signálem testovacího režimu. Při jeho aktivaci dochází k propojení vybraných vnitřních uzlů s výstupy `BG_TEST` a `PJFET_TEST`.

Posledním testovacím signálem je **tmd\_lpbk** („Test Mode Loopback“). Tento signál je významný pro digitální testovací režim, při němž dochází k testování klopných obvodů zejména v digitální části čipu. Po dobu aktivace tohoto signálu je nutné maskovat funkci vstupních digitálních signálů `reg_lowout`, `test_vint_ok_dis` a `test_ena`, a zároveň umožnit průchod signálu přes hradla XOR na jeden z digitálních výstupů. V tomto případě je zvolen signál `vint_ok` jako společný výstup vedoucí zpět do digitální části.

Čtveřice terminálů, jejichž název začíná FB (zpětná vazba), nejsou fyzickými vývody regulátoru LPINT. Jsou vytvořeny pouze z důvodů stabilitních simulací. K vyšetření stability zpětnovazební smyčky je nutné její rozpojení, aby bylo možné připojit vhodné simulační prostředky. Pro vyšetření stability se využívá AC analýzy, případně analýzy STB. Zpětnovazební smyčka je poté opětovně spojena v simulačním schématu přes napěťový zdroj v případě STB analýzy. V případě AC analýzy je nutné navíc odfiltrovat střídavou složku signálu využitím obvodu „AC killer“. Ten je realizován jako RC článek s velmi nízkým zlomovým kmitočtem a vysokou vstupní impedancí. V jiných simulacích jsou tyto rozpojení relativně bezúčelná a je nutné je propojit. Pro účel rozpojení jsou dedikovány tyto terminály:

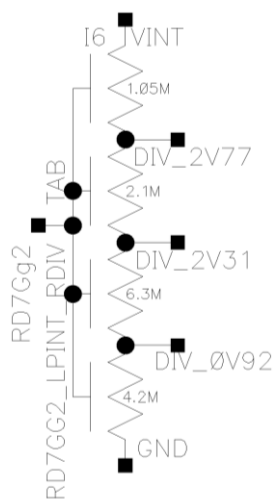
- **FBI\_REF,**
- **FBO\_REF,**
- **FBI\_REG,**
- **FBO\_REG.**

Dvojice **FBI\_REF** a **FBO\_REF** slouží jako rozpojení zpětnovazební smyčky v obvodu reference pro periferie.

Dvojice **FBI\_REG** a **FBO\_REG** slouží k rozpojení hlavní zpětnovazební smyčky, tedy regulátoru. Detailní vyšetřování této smyčky je předmětem simulací.

### Odporový dělič LPINT\_RDIV

V rámci návrhu regulátoru LPINT vznikl také blok odporového děliče LPINT\_RDIV. Důvodem pro vytvoření tohoto bloku, který je součástí napěťového regulátoru LPINT, je zpřehlednění celkového schématu a také požadavek na atypický layout. Prvky obsažené v tomto bloku tvoří jeden logický celek a v rámci fyzického rozložení tvoří jeden obdélníkovitý prvek. Postupné pouzdření podobných celků usnadňuje práci při layoutu. Vytvořený symbol odporového děliče LPINT\_RDIV je vyobrazen na obr. 3.3.



Obr. 3.3: Symbol rezistorového děliče LPINT\_RDIV.

Rezistorový dělič disponuje terminály:

- **VINT** (připojení nominálního napětí 3 V),
- **GND** (nulový potenciál zapojení GND),
- **TAB** (substrát rezistorů TAB),
- **DIV\_2V77** (odbočka 2,77 V),
- **DIV\_2V31** (odbočka 2,31 V),
- **DIV\_0V92** (odbočka 0,92 V).

První tři zmíněné terminály jsou sebevysvětlující. Zbylé terminály jsou odbočkami děliče. Terminál **DIV\_0V92** slouží primárnímu účelu tohoto děliče a tedy k podělení vstupujícího napětí  $V_{INT}$  v poměru 4:13. Při nominální hodnotě napětí 3 V připojeného k VINT je výstupní napětí DIV\_0V92 rovno 0,92 V.

Terminál **DIV\_2V77** slouží ke generaci předpětí pro obvod kompenzace. Oproti terminálu VINT zde (při nominální hodnotě 3 V) vzniká napěťový úbytek přibližně 0,23 V. Společně s terminálem **DIV\_2V31** navíc slouží k připojení spínače, který v sepnutém stavu zkratuje část děliče, čímž způsobí změnu dělicího poměru. To znamená, že na terminálu DIV\_0V92 vzroste napětí a dělicí poměr na 4:11. Pokud je tedy napětí tohoto terminálu porovnáváno s referenčním napětím, dojde po sepnutí tohoto spínače a ustálení regulátoru ke snížení hodnoty výstupního napětí  $V_{INT}$ . Toho je s výhodou využito pro funkci reg\_lowout.

### 3.3 Popis zapojení regulátoru LPINT

Tato podkapitola se zabývá popisem navrženého zapojení. Celkové zapojení je možné nalézt v příloze B. Pro účely vysvětlení je vhodnější celkové schéma redukovat. Na obr. 3.4 je možné vidět část regulátoru. Tato část zajišťuje hlavní funkci a to regulaci výstupního napětí  $V_{INT}$ .



Výkonový prvkem tohoto regulátoru je tranzistor  $MLD_{01}$  typu `nld45vviso_paras`. Jeho maximální napětí  $V_{ds}$  je až 45 V [23]. To je při maximálním vstupním napětí  $V_{S\_max} = 40$  V dostačující. Tranzistor má šířku  $w_g = 133,36 \mu\text{m}$  a počet hradel je  $n_g = 8$ . Efektivní šířka tranzistoru  $MLD_{01}$  je  $w = 1066,88 \mu\text{m}$  a má délku  $l = 0,6 \mu\text{m}$ . Tyto rozměry zajišťují, že se tranzistor rozkládá na dostatečně velké ploše a tedy že je dostatečně výkonově dimenzován. Ve schématu je naznačená ochrana proti LU (Latch-up) [25]. Ta je realizována pomocí PN ochranného okruží snižující zesílení parazitických bipolárních tranzistorů struktury. To snižuje riziko vzniku LU u tohoto prvku.

Kondenzátor  $C_{gate}$  je realizován jako sériové spojení MOS tranzistorů  $MNC_{1\_H}$ ,  $M_{97}$ ,  $MNC_{1\_L}$  a  $M_{99}$  typu `nmos3p3v` z důvodu vysokého pracovního napětí na tomto prvku, které může dosahovat až 5 V. Maximální pracovní napětí  $V_{gs}$  tranzistoru `nmos3p3v` je 3,65 V. Sériovým spojením těchto prvků lze rozsah pracovního napětí rozšířit. Tranzistory  $MNC_{1\_L}$  a  $M_{99}$  jsou spojeny paralelně. Jejich celková efektivní plocha je  $3900 \mu\text{m}^2$ , což vytváří v zapojení kapacitu přibližně 19,5 pF. Jejich párovou dvojici tvoří tranzistor  $MNC_{1\_H}$  a  $M_{97}$ . Vzhledem k tomu, že maximální napětí  $V_{gb}$  tranzistoru `nmos3p3v` je rovno dvojnásobku napětí  $V_{gs}$ , tedy 7,3 V, je možné bulk těchto tranzistorů spojit přímo s GND [23]. Čtveřice již zmíněných tranzistorů tedy vytváří kondenzátor  $C_{gate}$  s celkovou kapacitou  $C_{gate}$  přibližně 9,75 pF a maximálním pracovním napětím 5,45 V.

Jako ochrana proti přepětí jednotlivých segmentů kondenzátoru  $C_{gate}$  slouží diody  $D_1$  a  $D_2$  typu `dnpoly3p3v_rev` polarizované v závěrném směru. Výhodou je malá plocha oproti vysoko-ohmickému rezistivnímu děliči. Jejich svodový proud je silně závislý na teplotě a také na přiloženém napětí, což je v tomto případě výhodou [23]. Vzhledem ke svodovému proudu je vhodnější připojit katodu diody  $D_1$  k uzlu VINT nežli k hradlu tranzistoru  $MNC_{1\_H}$  (uzel `FBO_REG`). Tím by sice bylo docíleno nejlepšího výsledku z pohledu napěťového rozložení, avšak za cenu proudové spotřeby z uzlu `FBO_REG`. To není žádoucí. Připojením katody diody  $D_1$  k uzlu VINT je zajištěno, že napětí v uzlu `CGATE_MID` je ideálně polovina výstupního napětí  $V_{INT}$ . Takové řešení je vhodné i s pohledu proudové spotřeby, která pochází z výstupního uzlu VINT.

Proudový zdroj nabíjející kondenzátor  $C_{gate}$  je tvořen tranzistorem P-JFET. Jedná se o totožný proudový zdroj jako na obr. 2.11. Tranzistor MPJFET je prvek typu `pjf70v` s průrazným napětím  $V_{ds} = -70$  V [23]. Referenční rezistor  $R_2$  je tvořen prvkem `rppolyhr_nblhv`. Jeho maximální napětí je až 70 V, avšak v tomto případě je použita varianta pro maximální napětí 45 V. Dostupnou variantou je i prvek `rppolyhr_sn_nblhv` v jehož provedení by rezistor zabíral plochu přibližně 6x menší. Naproti tomu by byl zvětšen výrobní rozptyl hodnoty odporu, což by zapříčinilo větší variaci proudu tohoto proudového zdroje, který významně přispívá k celkové proudové spotřebě zapojení. Proto také není použit. Při hodnotě rezistoru  $R_2 = 1,4 \text{ M}\Omega$  je proud proudového zdroje 1  $\mu\text{A}$ . Rezistor  $R_0$  typu `rppolyhr` slouží jako ochranný prvek proti nadproudu. Jeho šířka  $w$  je 1,095  $\mu\text{m}$ , proto aby byl schopen pojmout případné proudové zatížení. V případě

kdy je vstupní napětí  $V_S$  menší než napětí  $V_{C_{gate}}$  kondenzátoru  $C_{gate}$ , je dioda drain-hradlo tranzistoru MPJFET polarizována v propustném směru a teče skrze ni proud. Ten je vhodné omezit.

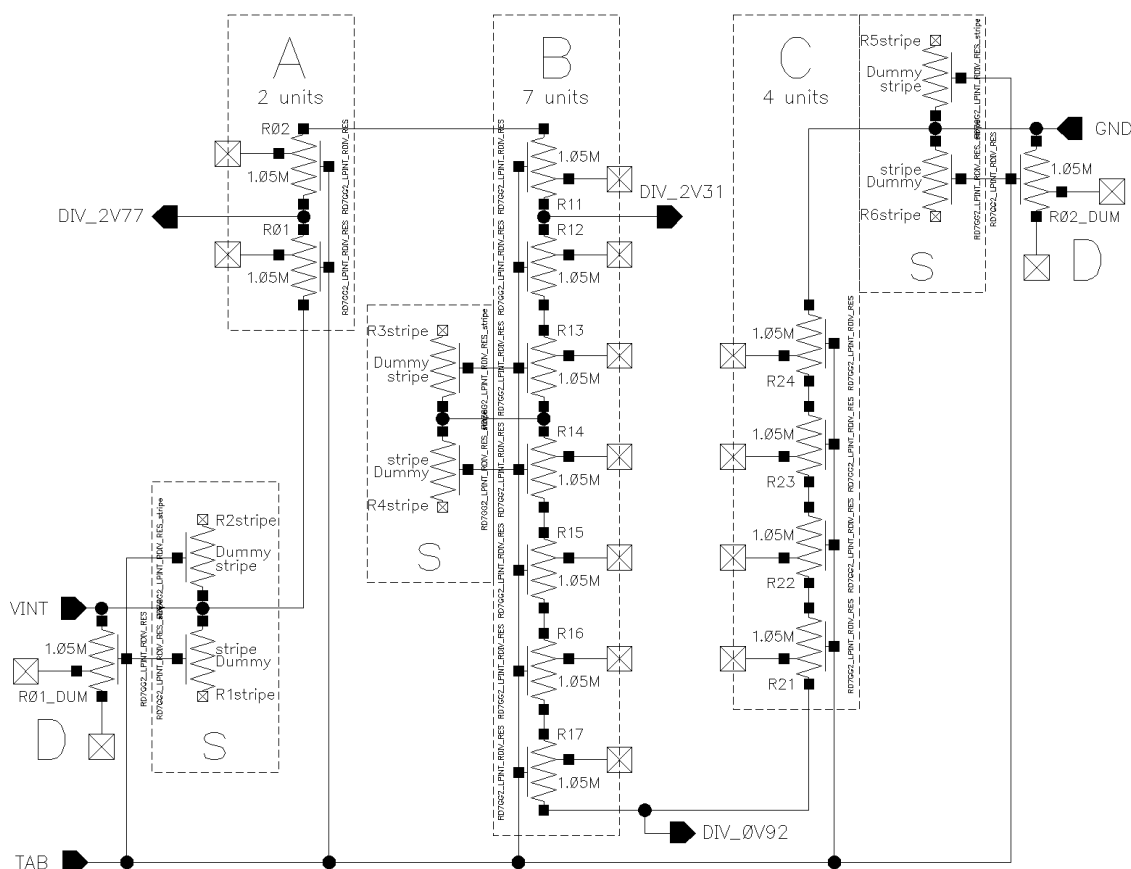
Referenční jádro regulátoru LPINT (napěťová a proudová reference) tvoří rozměrově souhlasná struktura tranzistoru s indukovaným kanálem nmos3p3v a depletičního tranzistoru nmosnvt3p3v [23]. Jejich výstupní charakteristiky jsou podobné, avšak jsou od sebe posunuty o rozdíl jejich prahových napětí. V tomto případě je rozdílem napětí  $V_{ref} = 954$  mV. Depletiční tranzistory MNVT<sub>1\_H</sub>, MNVT<sub>1\_M</sub> a MNVT<sub>1\_L</sub> typu nmosnvt3p3v tvoří dohromady jeden funkční tranzistor o délce  $l \approx 20$   $\mu\text{m}$  a šířce  $w = 0,42$   $\mu\text{m}$ , avšak z důvodu fyzického rozložení byly rozděleny na tři o délce  $l = 6,66$   $\mu\text{m}$  a šířce  $w = 0,42$   $\mu\text{m}$ . Jsou zapojeny jako proudový zdroj s výstupním proudem  $I_{ref} = 66$  nA. Tranzistory MN<sub>2\_H</sub>, MN<sub>2\_M</sub> a MN<sub>2\_L</sub> vytváří rozměrově shodnou strukturu s depletičními tranzistory. Vzhledem k tomu, že depletiční tranzistor nmosnvt3p3v disponuje malým dynamickým výstupním odporem oproti běžnému typu nmos3p3v, je vhodné jeho dynamický odpor zvýšit. Toho je docíleno pomocí kaskody z depletičních tranzistorů MNVT<sub>2\_C</sub> a MNVT<sub>1\_C</sub> o šířce  $w = 5,66$   $\mu\text{m}$  a minimální délce  $l = 1,2$   $\mu\text{m}$ . Depletiční tranzistor nepotřebuje v tomto případě mít zvláště generované předpětí. Tím je ušetřena proudová větev, jež by zvětšovala celkovou spotřebu zapojení. Předpětí této kaskody je dostupné neustále a tím pádem je zapojení funkční již od malých hodnot napájecího napětí.

Tranzistor MP<sub>1</sub> tvoří MOS diodu proudového zrcadla. Proudové zrcadlo MP<sub>1</sub> a MP<sub>2</sub> pracuje téměř v oblasti slabé inverze vzhledem k velmi malému procházejícímu proudu  $I_{ref}$ . Toto proudové zrcadlo zrcadlí proud  $I_{ref}$  pro referenční strukturu. Aby byl proud referenční strukturou shodný v obou větvích, je nutné přivést napětí  $V_{ref} = 950$  mV na hradla (uzel FB0V95) tranzistorů MN<sub>2\_H</sub>, MN<sub>2\_M</sub> a MN<sub>2\_L</sub>, které společně tvoří transkonduktanční stupeň.

Pro účel poměrového snížení výstupního napětí  $V_{INT}$  je vytvořen vysoko-ohmický odporový dělič LPINT\_RDIV, jehož celkový odpor  $R_{RDIV}$  je 13,65 M $\Omega$ . Skládá se z 13 totožných bloků LPINT\_RDIV\_RES. Jejich odpor je 1,05 M $\Omega$ . A ten je dále složen je z pětice rezistorů rppolyhr\_sn, každého o hodnotě odporu 210 k $\Omega$ . Pro přehlednost celkového schématu napěťového regulátoru LPINT je tento dělič zapouzdřen do vlastní buňky se svým symbolem. Vnitřní schéma zapojení LPINT\_RDIV je možné nalézt na obr. 3.5.

Terminál DIV\_2V77 je určen k připojení bulku tranzistoru M<sub>47</sub> reprezentujícího kompenzaci zpětné vazby, čímž je docíleno zvětšení prahového napětí tranzistoru M<sub>47</sub> vlivem bulk efektu. Tím je zvýšeno prahové napětí tranzistoru M<sub>47</sub>. Cílem je vyrovnat prahové napětí tohoto tranzistoru s prahovým napětím výkonového tranzistoru MLD<sub>01</sub>. Terminál DIV\_2V31 slouží k připojení tranzistoru M<sub>33</sub>, který je ovládán vstupním digitálním signálem reg\_lowout, přesněji tedy jeho negovaným signálem REG\_LOWOUT\_B. Sepnutím tranzistoru M<sub>33</sub> dojde k vyzkratování části odporového děliče, což sníží dělicí poměr z terminálu VINT na terminál DIV\_0V92 a v konečném důsledku snížení požadovaného výstupního napětí  $V_{INT}$ . Terminál DIV\_0V92 je

připojen k uzlu FB0V95, který je vstupem transkonduktančního stupně napětové a proudové reference, kde je porovnáváno s referenčním napětím  $V_{ref} = 950 \text{ mV}$ .



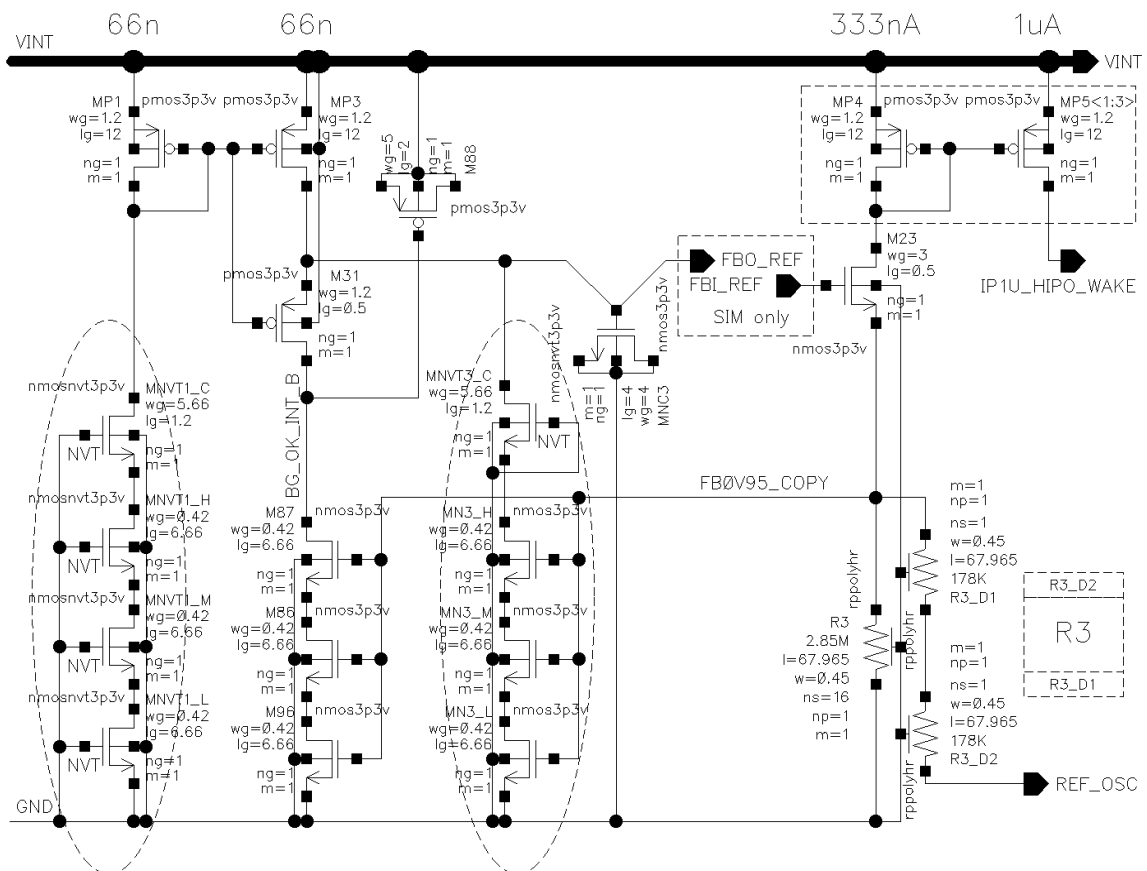
Obr. 3.5: Schéma zapojení odporového děliče LPINT\_RDIV.

Na obr. 3.4 je také uveden tranzistor  $MNC_2$ , který tvoří MOS kondenzátor s kapacitou  $C_{comp}$ . Jeho parametry jsou  $w_g = 35 \mu\text{m}$ ,  $l_g = 5 \mu\text{m}$  a  $n_g = 2$ , což vede na hodnotu kapacity  $C_{comp} = 3,5 \text{ pF}$ . V tomto případě je nutné poznamenat negativní vlastnost MOS kondenzátoru. Při napětí menší než je prahové napětí tranzistoru, ztrácí podstatnou část své kapacity. To má samozřejmě vliv na polohu dominantního pólu zpětnovazební smyčky REG. Proto je nutné dbát, aby napětí v uzlu COMP nebylo menší než prahové napětí tranzistoru typu  $nmos3p3v$ .

PMOS tranzistory  $M_{14}$  a  $M_{15}$  jsou emitorovým sledovačem uzlu COMP. Společně tvoří funkčně jeden tranzistor. Rozdělen do dvou tranzistorů je z důvodu proudového přednastavení. Také je možné díky tomuto rozvržení snadno detekovat stav regulační smyčky v uzlu VINT\_REG\_OK\_I. Pokud je výstupní hodnota napětí  $V_{INT}$  shodná s požadovanou hodnotou, je napětí v tomto uzlu větší než prahové napětí NMOS tranzistoru. Toho je využito pro výstupní signál  $vint\_ok$  a generaci signálu POR při náběhu zařízení. MOS kondenzátor  $M_{89}$  slouží ke zpomalení této detekce tak, aby nedocházelo k falešným vyhodnocením při rychlých změnách výstupního proudu  $I_{load}$ . Trojice depletičních tranzistorů  $MNVT_{4\_H}$ ,  $MNVT_{4\_M}$  a  $MNVT_{4\_L}$  tvoří proudový zdroj, sloužící pro tuto detekci a také k proudovému přednastavení tranzistoru  $M_{14}$ . Depletiční tranzistor  $MNVT_{42}$  tvoří pomyslnou kaskodu těmto tranzistorům, avšak jeho účelem je omezit maximální napětí v uzlu COMP, zvláště při náběhu regulátoru LPINT.

Tranzistory  $M_{13}$ ,  $M_{78}$  a  $M_{47}$  slouží ke kompenzaci zpětnovazební smyčky REG. Prahové napětí tranzistoru typu  $nmos3p3v$  je menší nežli prahové napětí tranzistoru typu  $nld45v3v$   $iso\_paras$ . Pro korektní funkci je nutné, aby tato napětí byla stejná. K vyrovnání prahových napětí těchto tranzistorů slouží předpětí generované odporovým děličem LPINT\_RDIV. Připojením bulku tranzistoru  $M_{47}$  k terminálu DIV\_2V77 je posunuta hodnota prahového napětí tranzistoru  $M_{47}$ . V tomto stavu je možné jej využít pro detekci pracovní oblasti výkonového tranzistoru  $MLD_{01}$ . Uvážíme-li, že napětí na sourcu tohoto tranzistoru má konstantní hodnotu, poté proud děličem LPINT\_RDIV a zároveň tranzistorem  $M_{47}$  je také konstantní. Při velkém výstupním proudu je potřebné vyšší napětí  $V_{gs}$  tranzistoru  $MLD_{01}$  nežli při nízkém výstupním proudu. V tento moment je tranzistor  $M_{47}$  sepnut. Dvojice tranzistorů  $M_{13}$  a  $M_{78}$  fungují jako zesilovač. Tranzistor  $M_{78}$  je tedy plně sepnut a tranzistor  $M_{13}$  vykonává funkci zesilovače.

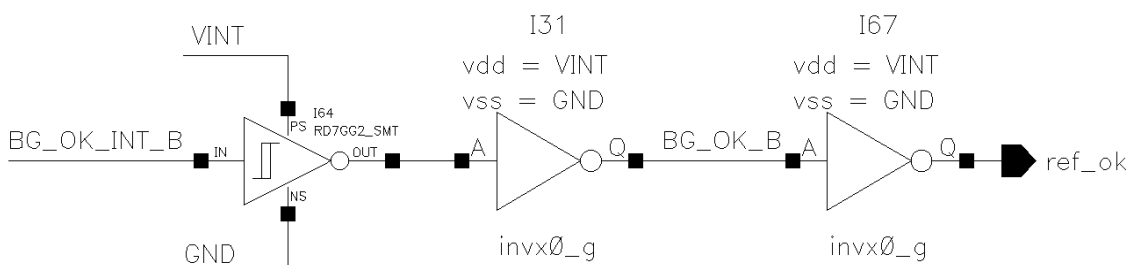
V případě malého proudu tekoucího přes tranzistor  $MLD_{01}$  je tranzistor  $M_{47}$  v lineárním režimu a je tedy na něm jistý úbytek napětí. To samo osobě zvětšuje požadovanou hodnotu výstupního napětí  $V_{INT}$ , což je žádoucím jevem. Nízké ovládací napětí  $V_{gs}$  tranzistoru  $MLD_{01}$  zapříčiní pokles napětí v uzlu COMP a dojde k plnému otevření tranzistoru  $M_{13}$ , který přestane fungovat jako sledovač. Tranzistor  $M_{78}$  se v tento moment chová jako MOS dioda. Samostatný tranzistor  $M_{79}$  je MOS diodou v obou případech a slouží k napěťovému posuvu napětí uzlu COMP.



Obr. 3.6: Zjednodušené funkční schéma napěťové a proudové reference pro periferie regulátoru LPINT.

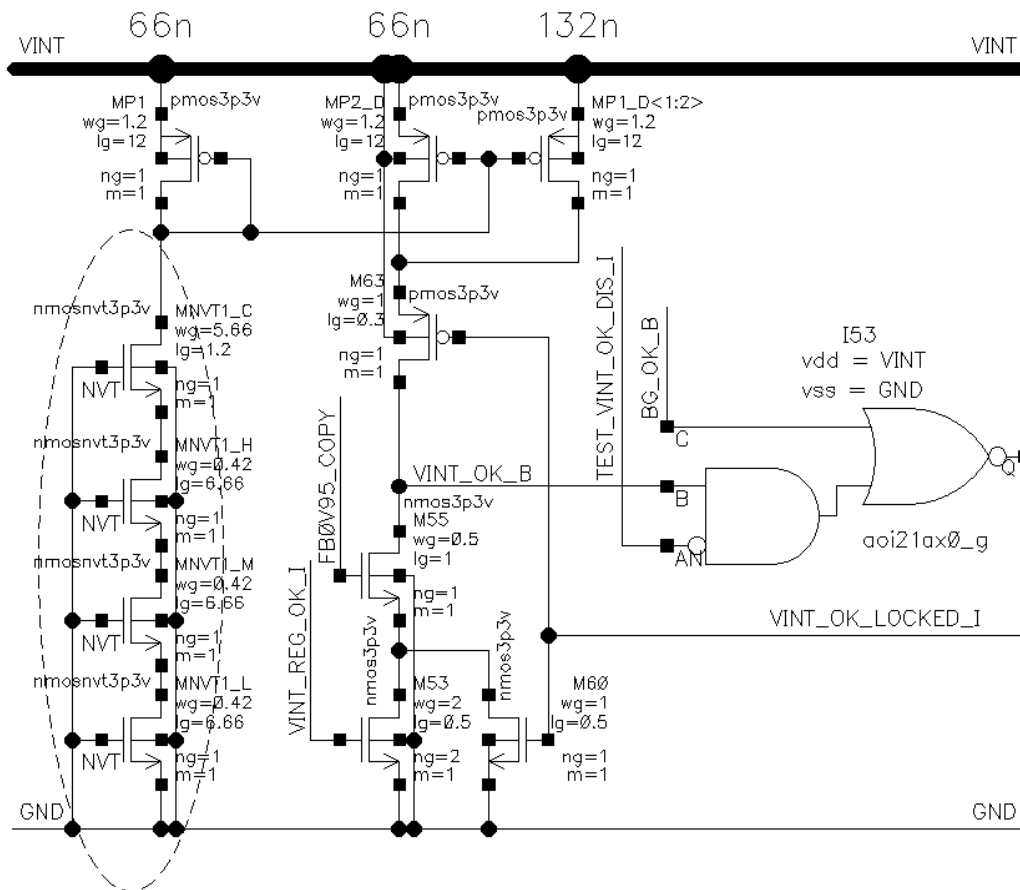
Zjednodušené zapojení napěťové a proudové reference pro periferie s výstupy IP1U\_HIPO\_WAKE a REF\_OSC je možné nalézt na obr. 3.6. Tranzistorem MP<sub>3</sub> proudového zrcadla MP<sub>1</sub> protéká proud  $I_{ref}$ . Tranzistory MNVT<sub>3\_C</sub>, MN<sub>3\_H</sub>, MN<sub>3\_M</sub> a MN<sub>3\_L</sub> opět tvoří rozměrově shodnou strukturu s depletičními tranzistory MNVT<sub>1\_C</sub>, MNVT<sub>1\_H</sub>, MNVT<sub>1\_M</sub> a MNVT<sub>1\_L</sub>. Dohromady tvoří transkonduktanční stupeň. Tranzistor M<sub>23</sub> funguje jako emitorový sledovač. Na sourcu tohoto tranzistoru je udržována hodnota referenčního napětí  $V_{ref}$ . Hodnota rezistoru R<sub>3</sub> je 2,85 MΩ. Při této hodnotě jím protéká proud přibližně 333 nA. Stejný proud teče taky MOS diodou MP<sub>4</sub> proudového zrcadla. Tranzistor MP<sub>5</sub> je trojnásobný, tudíž výstupem IP1U\_HIPO\_WAKE teče trojnásobek proudu MP<sub>4</sub>, tj. 1 μA. Rezistory R<sub>3\_D1</sub> a R<sub>3\_D2</sub> mají shodnou délku s rezistorem R<sub>3</sub> a jsou určeny alespoň k částečné homogenizaci prostředí kolem rezistoru R<sub>3</sub>, tak jak je znázorněno ve schématu. Navíc připojení externího kondenzátoru k výstupu REF\_OSC vytvoří spolu s R<sub>3\_D1</sub> a R<sub>3\_D2</sub> filtrační RC článek. Kapacitní zátěž transkonduktančního stupně je tvořená MOS kondenzátorem MNC<sub>3</sub>, jehož kapacita není příliš vysoká (přibližně 80 fF). Tranzistor M<sub>31</sub> slouží jako detektor napěťového prostoru tranzistoru MP<sub>3</sub>. Tranzistory M<sub>87</sub>, M<sub>86</sub> a M<sub>96</sub> tvoří proudový zdroj tohoto detektoru. Pokud je napěťový prostor tranzistoru MP<sub>3</sub> dostatečný, je napětí v uzlu BG\_OK\_INT\_B nulové a tranzistor M<sub>31</sub> je rozeprt. MOS kondenzátor M<sub>88</sub> slouží k eliminaci falešných detekcí při náběhu regulátoru LPINT způsobených MOS kondenzátorem MNC<sub>3</sub>.

Signál BG\_OK\_INT\_B je dále zpracováván pomocí Schmittova klopného obvodu I<sub>64</sub> s invertovaným výstupem, který lze nalézt na obr. 3.7. Ten zajišťuje potřebnou hysterezi. Hradla I<sub>31</sub> a I<sub>67</sub> jsou tradičními CMOS invertory s minimálními rozměry a jejich výstupem je signál ref\_ok. Pro další porozumění zapojení si povšimněme signálu BG\_OK\_B.



Obr. 3.7: Zpracování signálu BG\_OK\_INT\_B.

Funkční schéma detekce POR je možné nalézt na obr. 3.8. Uvažujme, že tranzistor M<sub>60</sub> je rozeprt a tranzistor M<sub>63</sub> sepnut. Tranzistor M<sub>53</sub> připojený hradlem k uzlu VINT\_REG\_OK\_I (detekce vint\_ok) funguje spolu s tranzistorem MP<sub>2\_D</sub> a dvojitým tranzistorem MP<sub>1\_D</sub> proudového zrcadla MP<sub>1</sub> jako zesilovač signálu VINT\_REG\_OK\_I. Tranzistor M<sub>55</sub> tvoří kaskodu tranzistoru M<sub>53</sub> s předpětím FB0V95\_COPY (950 mV). Při poklesu napětí tohoto předpětí, jímž je v podstatě napěťová reference periferií, je kaskoda M<sub>55</sub> rozeprta, což vytváří redundantní ochranu při generování signálu POR. Základní myšlenkou popisovaného zapojení je napěťové přizpůsobení a invertování signálu VINT\_REG\_OK\_I. Výstupem je signál VINT\_OK\_B.



Obr. 3.8: Funkční schéma detekce POR.

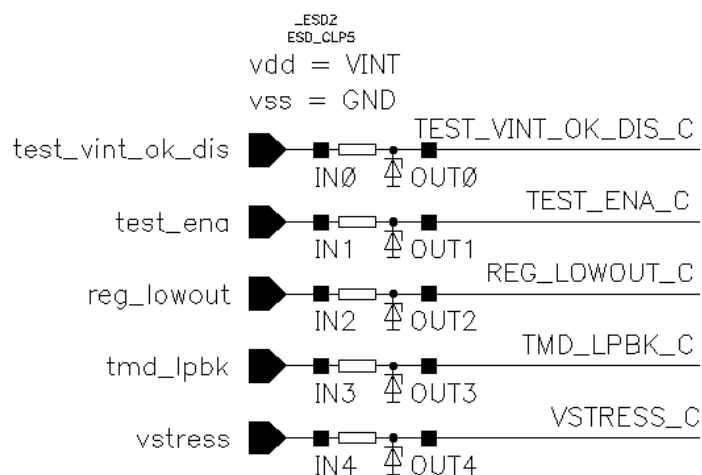
Díle rozšířme popisované zapojení o hradla  $I_{53}$  a zohledněme opět tranzistory  $M_{63}$  a  $M_{60}$  zapojené jako invertor signálu  $VINT\_OK\_LOCKED\_I$ . Podle pravdivostní tabulky hradel  $I_{53}$  (tab. 3.1), dojde při normální funkci k překlopení signálu  $VINT\_OK\_LOCKED\_I$  do log.1 pouze v případě, kdy jsou signály  $VINT\_OK\_B$  (invertovaný  $vint\_ok$ ) a  $BG\_OK\_B$  (invertovaný  $ref\_ok$ ) v log.0. Překlopením do log.1 ovšem dochází také k sepnutí tranzistoru  $M_{60}$ , který maskuje signál  $VINT\_OK\_B$  do log.0. To znamená, že k překlopení signálu  $VINT\_OK\_LOCKED\_I$  zpět do log.0 je nutné, aby signál  $BG\_OK\_B$  přešel do log.1. Tím vzniká žádaná funkce POR a také hystereze, tak jak je naznačena na obr. 3.2.

Tab. 3.1: Pravdivostní funkce hradel  $I_{53}$ .

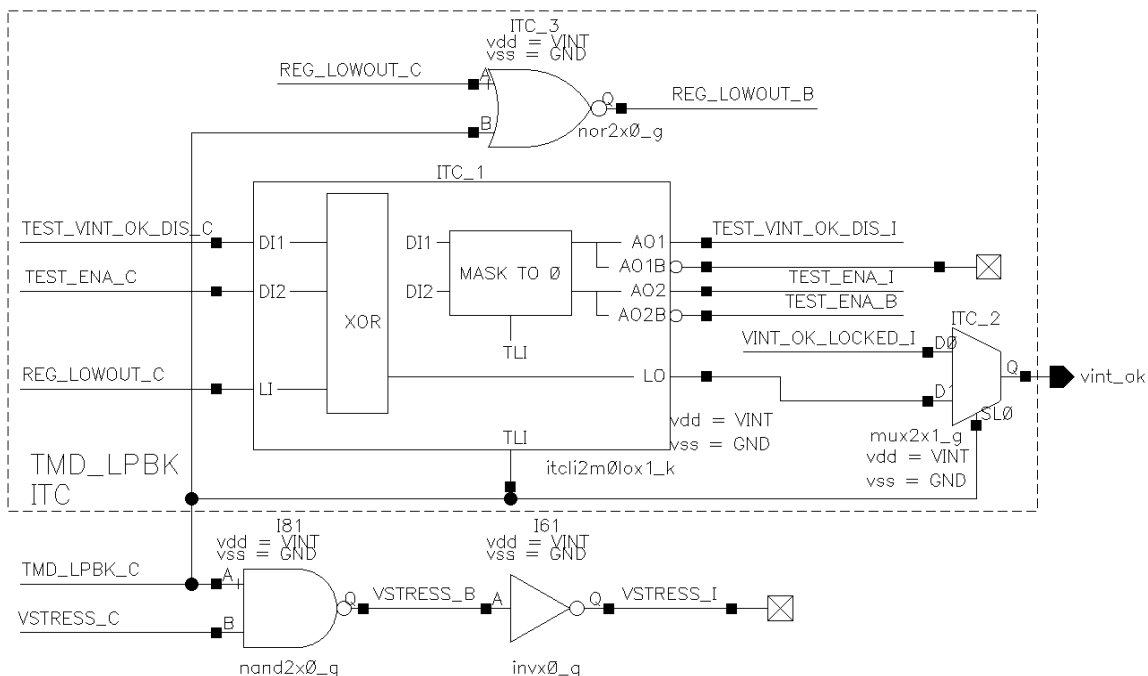
	TEST_VINT_OK_DIS_I	VINT_OK_B	BG_OK_B	VINT_OK_LOCKED_I
Běžná funkce	0	0	0	1
	0	0	1	0
	0	1	0	0
	0	1	1	0
Testovací mód	1	0	0	1
	1	0	1	0
	1	1	0	1
	1	1	1	0

Ke vstupním digitálním signálům je připojena ochrana vůči ESD v podobě omezovače napětí `_ESD2`. Zapojení lze nalézt na obr. 3.9. Takto ošetřené signály již mohou být použity jako vstupy logických hradel, což je možné vidět na obr. 3.10.

Přesné fungování režimu `tmd_lpbk` není předmětem této práce. Blok logických hradel `ITC_1` slouží pro maskování do log.0 signálů `TEST_VINT_OK_DIS_I` a `TEST_ENA_I` při `tmd_lpbk = log.1`. Zvláště je poté maskován signál `REG_LOWOUT_B` za stejných podmínek pomocí hradla `ITC_3`. V běžném režimu přenáší multiplexor `ITC_2` na výstup `vint_ok` signál `VINT_OK_LOCKED_I`, čímž je zajištěna korektní funkce zapojení.



Obr. 3.9: Omezovače napětí. (Ochrana vůči ESD.)



Obr. 3.10: Logické hradla `tmd_lpbk`.

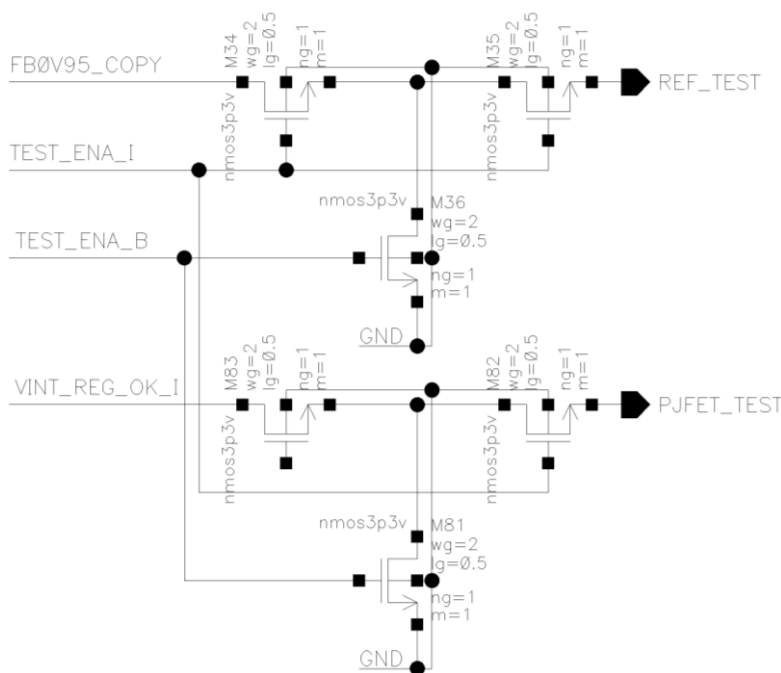
Pro aktivaci testovacího režimu `vstress` je nutné současné aktivace signálu `tmd_lpbk`. V tomto režimu dochází k rekonfiguraci zapojení do takové podoby, aby proudová spotřeba ze všech uzlů, kromě uzlu VS, byla nulová. Navíc dochází k propojení součástek s velkou plochou hradlového oxidu mezi uzly `VINT` a `GND`. Při

testu dochází ke zrychlenému stárnutí hradlového oxidu za pomoci zvýšeného napětí. V tab. 3.2 jsou uvedeny tranzistory, které se podílí na rekonfiguraci zapojení v režimu vstress. Tyto tranzistory je možné dohledat v celkovém schématu v příloze B.

Tab. 3.2: Tabulka sepnutých (ON) a rozeprtých (OFF) tranzistorů v režimu vstress (testování hradlového oxidu).

Tranzistor	Stav
M <sub>0</sub>	ON
M <sub>69</sub>	ON
M <sub>70</sub>	ON
M <sub>71</sub>	OFF
M <sub>74</sub>	ON
M <sub>75</sub>	OFF
M <sub>76</sub>	OFF
M <sub>80</sub>	ON
M <sub>84</sub>	OFF
M <sub>85</sub>	ON
MN <sub>1_Vstress</sub>	OFF
MP <sub>1_Vstress</sub>	ON

Zapojení na obr. 3.11 slouží jako T spínač pro analogový testovací režim. Při aktivaci signálu test\_ena dochází k vodivému propojení uzlu FB0V95\_COPY s REF\_TEST a VINT\_REG\_OK\_I s PJFET\_TEST. Díky tomuto zapojení je možné poté v analogovém testovacím režimu měřit vnitřní uzly zapojení. Pokud je T spínač rozeprt, disponuje vysokou impedancí, což umožňuje vytvoření společné sběrnice pro takové měření.



Obr. 3.11: Spínače analogového testovacího režimu.

## 3.4 Stabilita zapojení

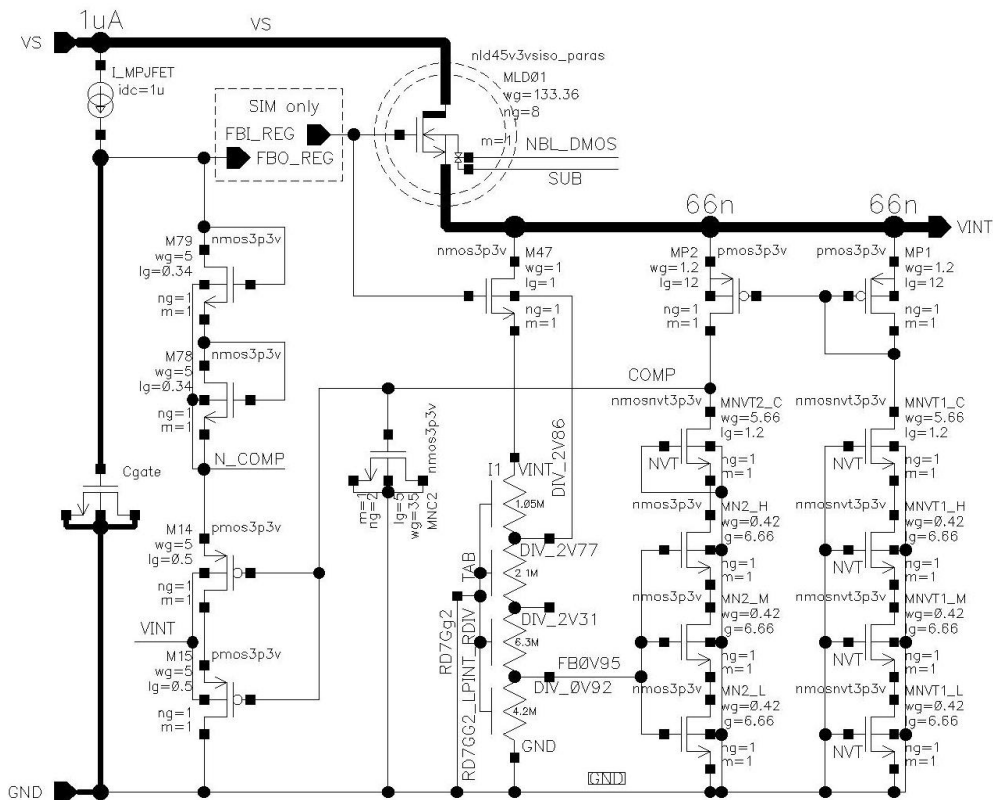
Celkové zapojení napěťového regulátoru LPINT obsahuje dvě důležité zpětné vazby. Jsou pojmenovány jako REG a REF. Jejich stabilitu je nutné samostatně vyšetřit. Pro účely vyšetření stability je nutné zpětnou vazbu přerušit nejlépe v bodě, jímž prochází všechny dílčí smyčky. Pro usnadnění uvažujeme, že zapojení emitorového sledovače má při nízkých kmitočtech napěťové zesílení jedna (0 dB). Kmitočet jeho pólu označíme za tranzitní kmitočet emitorového sledovače.

Pro vyšetření zpětné vazby regulátoru LPINT řídicí výstupní napětí  $V_{INT}$  (dále pouze smyčka REG) je odpojeno hradlo tranzistorů  $M_{LD01}$  a  $M_{47}$  od kondenzátoru  $C_{gate}$  a zpětné vazby. V tomto místě rozpojení byly připojeny terminály FBI\_REG a FBO\_REG s doplňkovým vysvětlením účelu „SIM only“, tedy pouze pro simulaci. Ve fyzické realizaci se toto rozpojení nebude nacházet. Vlivem kompenzačního obvodu tvořeného tranzistory  $M_{13}$ ,  $M_{47}$  a  $M_{78}$  se poloha pólu a nul mění. Kompenzační obvod reaguje na proud tekoucí výkonovým tranzistorem  $M_{LD01}$ . Mohou nastat dva extrémy, které jsou vysvětleny v podkapitolách níže. Minimální požadovaná fázová bezpečnost smyčky REG je  $60^\circ$ . Jedna z podkapitol také vyšetřuje chování této smyčky při aktivním digitálním signálu `reg_lowout`.

Pro vyšetření zpětné vazby napěťové a proudové reference pro periferie (dále pouze smyčka REF) je separováno hradlo tranzistoru  $M_{23}$  od kondenzátoru  $MNC_3$ . V místě rozpojení jsou připojeny terminály FBI\_REF a FBO\_REF, které opět slouží pouze pro účely simulace a ve fyzické realizaci jsou spojeny až o úroveň výše. Popisu smyčky REF je věnována podkapitola níže.

### 3.4.1 Smyčka REG při nulovém zatížení výstupu VINT

Při nulovém zatížení výstupu VINT teče tranzistorem  $M_{LD01}$  pouze proud daný spotřebou vlastních obvodů napěťového regulátoru LPINT. To znamená, že transkonduktance výkonového tranzistoru  $M_{LD01}$  je malá, což zapříčiňuje posun pólu emitorového sledovače  $M_{LD01}$  na nižší frekvenci oproti zatíženému stavu regulátoru. Při zvětšování hodnoty kapacity výstupního kondenzátoru  $C_{load}$  dochází také k posuvu tohoto pólu směrem k nižším frekvencím. To samo o sobě je nežádoucí a je nutné zajistit dostatečnou fázovou bezpečnost smyčky REG. Kompenzační obvod detekuje proud procházející výkonovým tranzistorem  $M_{LD01}$ . Na tranzistoru  $M_{47}$  se vytváří úbytek napětí  $V_{ds_{M47}}$ , který mění dělicí poměr odporového děliče LPINT\_RDIV. To znamená, že v tomto stavu se hodnota výstupního napětí  $V_{INT}$  ustálí na vyšší hodnotě, než udává dělicí poměr děliče LPINT\_RDIV. Tranzistor  $M_{13}$  je plně sepnut a tranzistor  $M_{78}$  tudíž funguje jako MOS dioda. Tranzistor  $M_{79}$  slouží k napěťovému posunutí. Blok kompenzace tedy způsobí rekonfiguraci smyčky REG, vypadá jako na obr. 3.12.



Obr. 3.12: Konfigurace smyčky REG při nulovém zatížení výstupu VINT. (Tranzistory v sepnutém stavu jsou vynechány.)

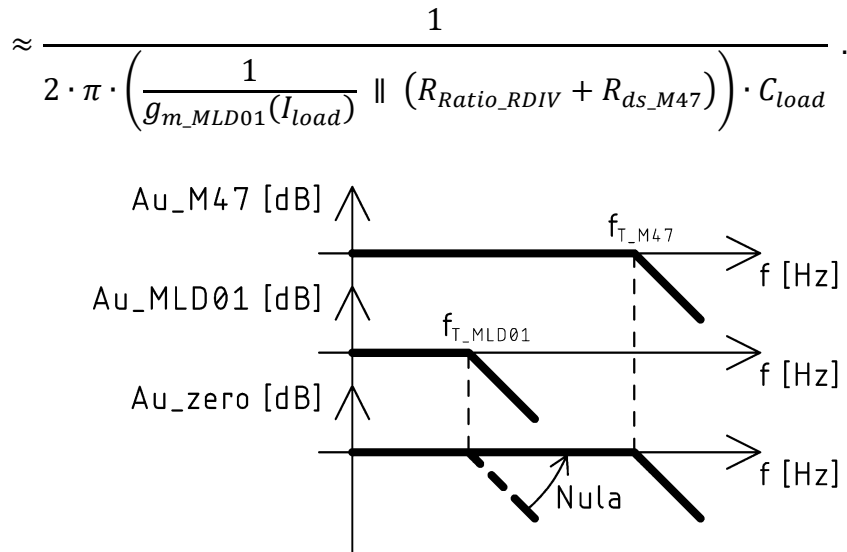
V tomto případě obsahuje přenosová funkce smyčky REG dva dominantní póly, jeden nedominantní pól a jednu nulu. Kmitočty dominantních pólů  $f_{P\_MN2}$  a  $f_{T\_M14\_M15}$  jsou dány rovnicemi:

$$f_{P\_MN2} \approx \frac{1}{2 \cdot \pi \cdot r_{D\_COMP} \cdot C_{comp}} \quad \text{a} \quad (3.1)$$

$$f_{T\_M14\_M15} \approx \frac{g_{m\_M14\_M15}}{2 \cdot \pi \cdot C_{gate}}. \quad (3.2)$$

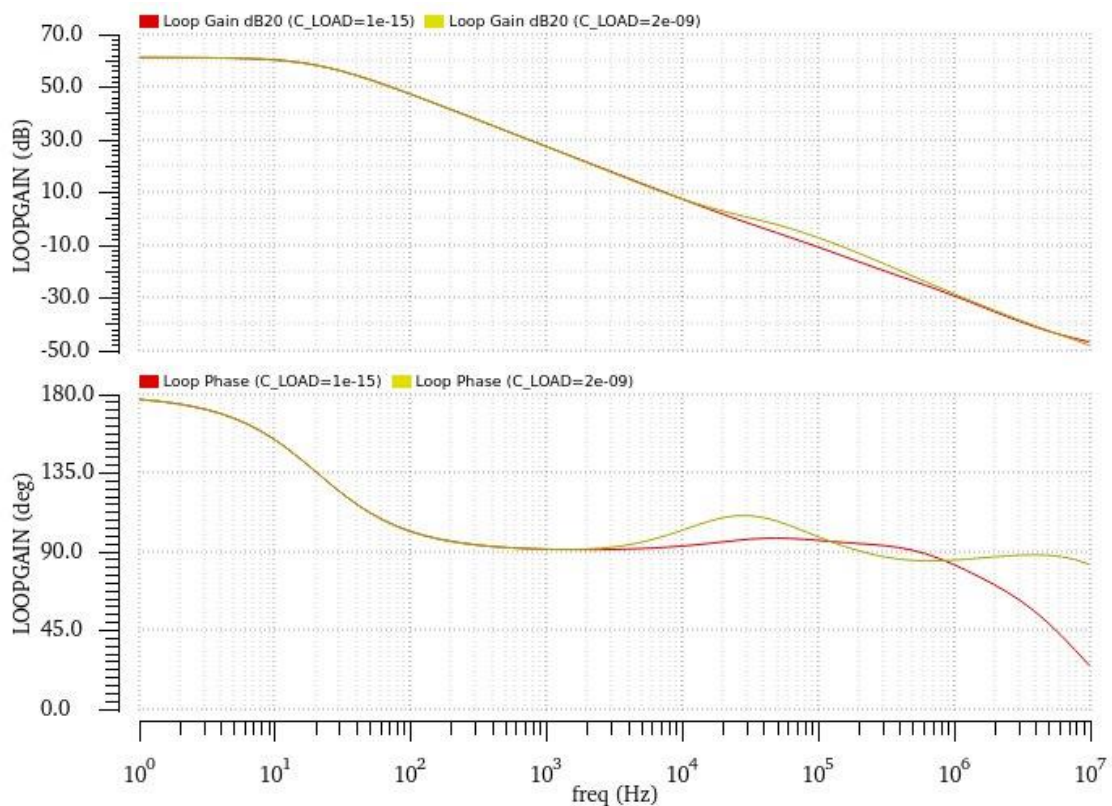
Nedominantní pól  $f_{T\_M47}$  se v tomto případě nachází na vysokém kmitočtu, jelikož je definován tranzitním kmitočtem  $f_{T\_M47}$  emitorového sledovače  $M_{47}$ . Nula vzniká v přenosové funkci díky dvěma signálovým cestám. Konkrétně vlivem emitorového sledovače  $M_{47}$  a emitorového sledovače  $MLD_{01}$ . Ze spojení jejich přenosových funkcí jako na obr. 3.13, je patrné, že vzniká nula přenosové funkce na kmitočtu  $f_{T\_MLD01}$ . Nula přenosu tedy leží na kmitočtu  $f_{T\_MLD01}$  a je dána vztahem:

$$f_{T\_MLD01}(I_{load}) \approx \quad (3.3)$$



Obr. 3.13: Vznik nuly v přenosové funkci pomocí dvojice emitorových sledovačů.

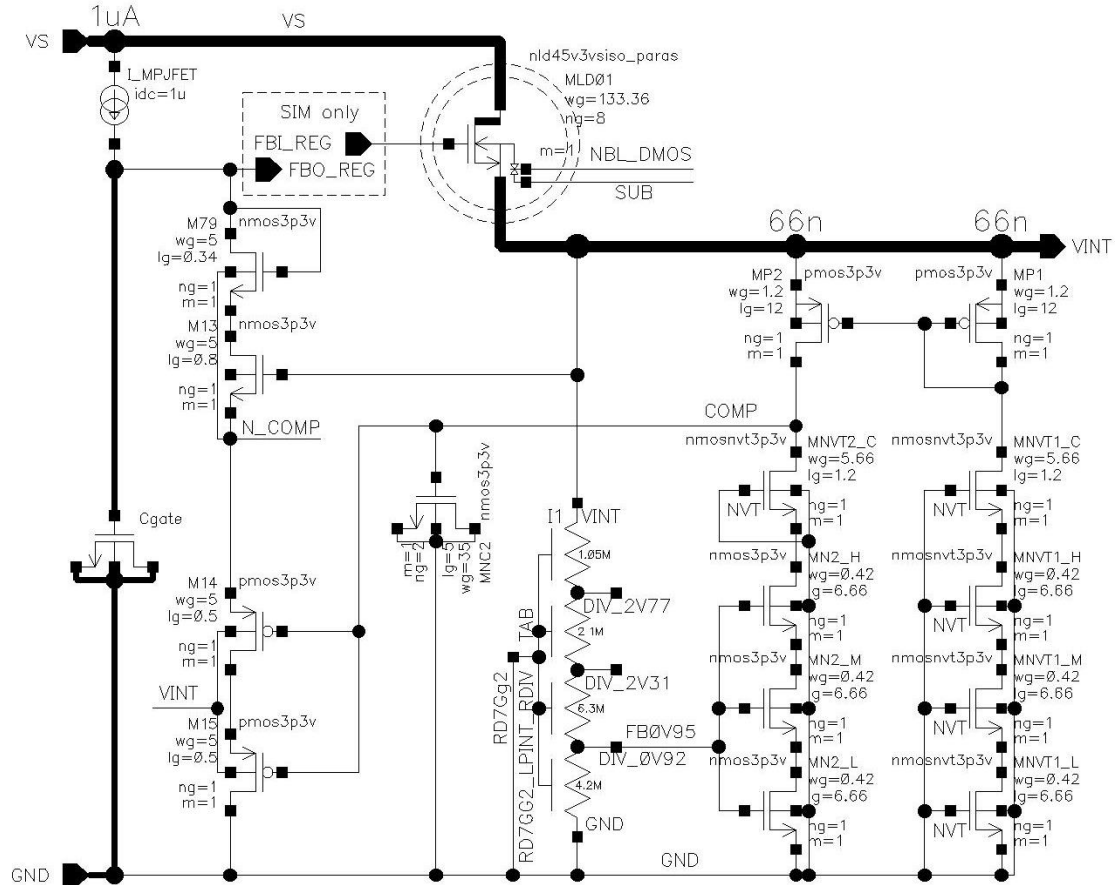
Simulovanou frekvenční odezvu smyčky REG při nulové zátěži je možné vidět na obr. 3.14. Simulace je provedena při nominálních hodnotách součástek a teplotě 27 °C s výstupní kapacitou  $C_{load} = 1$  fF a 2 nF. K vyšetření této smyčky je využito STB analýzy.



Obr. 3.14: Simulovaná přenosová funkce smyčky REG při nulovém zatížení výstupu VINT.

### 3.4.2 Smyčka REG při dostatečném zatížení výstupu VINT

Uvažujeme-li, že výkonovým tranzistorem MLD<sub>01</sub> prochází značný proud (pro příklad 4 mA), je jeho transkonduktance značná podle (2.2). Ta způsobuje posun pólu  $f_{T\_MLD01}$  na vyšší frekvence oproti nezatíženému stavu, což je žádoucí. V tomto případě jsou tranzistory M<sub>47</sub> a M<sub>78</sub> plně sepnuty. Tranzistor M<sub>13</sub> se chová jako zesilovač. Kompenzační blok tedy způsobuje rekonfiguraci smyčky REG, jak je znázorněno na obr. 3.15.



Obr. 3.15: Konfigurace smyčky REG při zatížení výstupu VINT proudem 4 mA. (Tranzistory v sepnutém stavu jsou vynechány.)

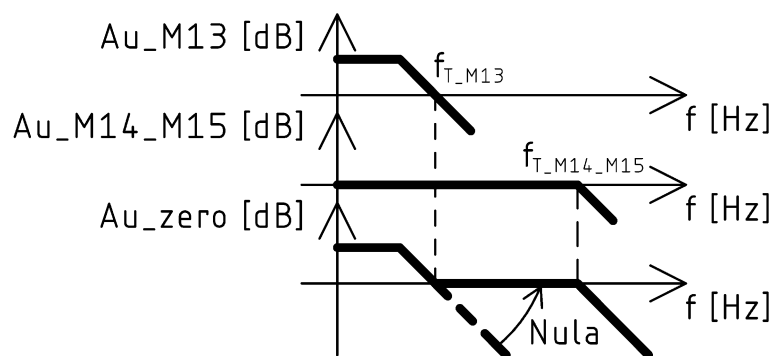
Přenosová funkce smyčky REG při zatížení výstupu VINT obsahuje opět dva dominantní póly, jeden nedominantní pól a jednu nulu přenosu. Pól  $f_{P\_MN2}$  je stále dominantním. Tak jako v předchozím případě, je jeho poloha definována vztahem (3.1). druhý dominantní pól leží na kmitočtu  $f_{P\_M13}$  a je dán vztahem:

$$f_{P\_M13} = \frac{1}{2 \cdot \pi \cdot r_{D\_FBO\_REG} \cdot C_{gate}} \quad (3.4)$$

kde  $r_{D\_FBO\_REG}$  je dynamickým odporem uzlu FBO\_REG.

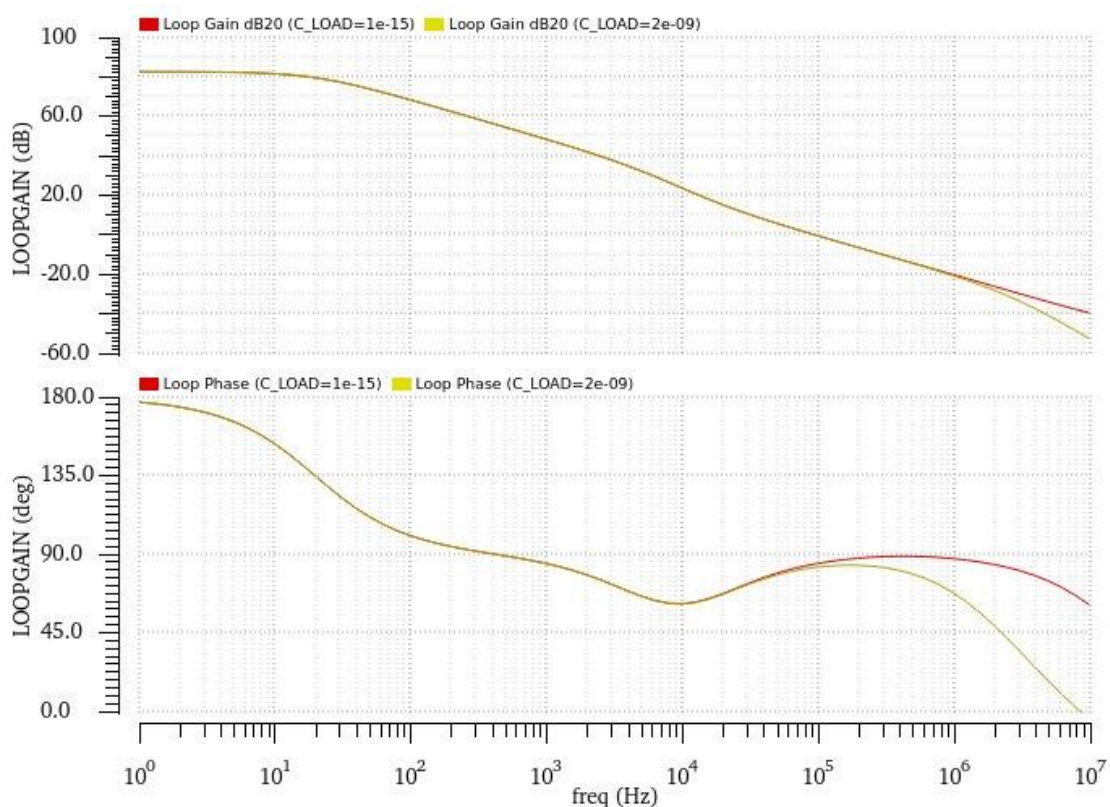
Sériové spojení zesilovače, jež tvoří tranzistor M<sub>13</sub> s emitorovým sledovačem M<sub>14</sub> a M<sub>15</sub> vytváří opět nulu v přenosové funkci, jak je znázorněno na obr. 3.16. Tato nula leží na frekvenci tranzitního kmitočtu  $f_{T\_M13}$  zesilovače M<sub>13</sub>. Je dána tedy vztahem:

$$f_{T\_M13} = \frac{g_{m\_M13}}{2 \cdot \pi \cdot C_{gate}} \quad (3.5)$$



Obr. 3.16: Vznik nuly přenosu při spojení zesilovače a emitorového sledovače.

Simulovanou frekvenční odezvu smyčky REG při výstupním proudu 4 mA je možné vidět na obr. 3.17. Simulace je provedena při nominálních hodnotách součástek a teplotě 27 °C s výstupní kapacitou 1 fF a 2 nF. K vyšetření této smyčky je opět využito STB analýzy.



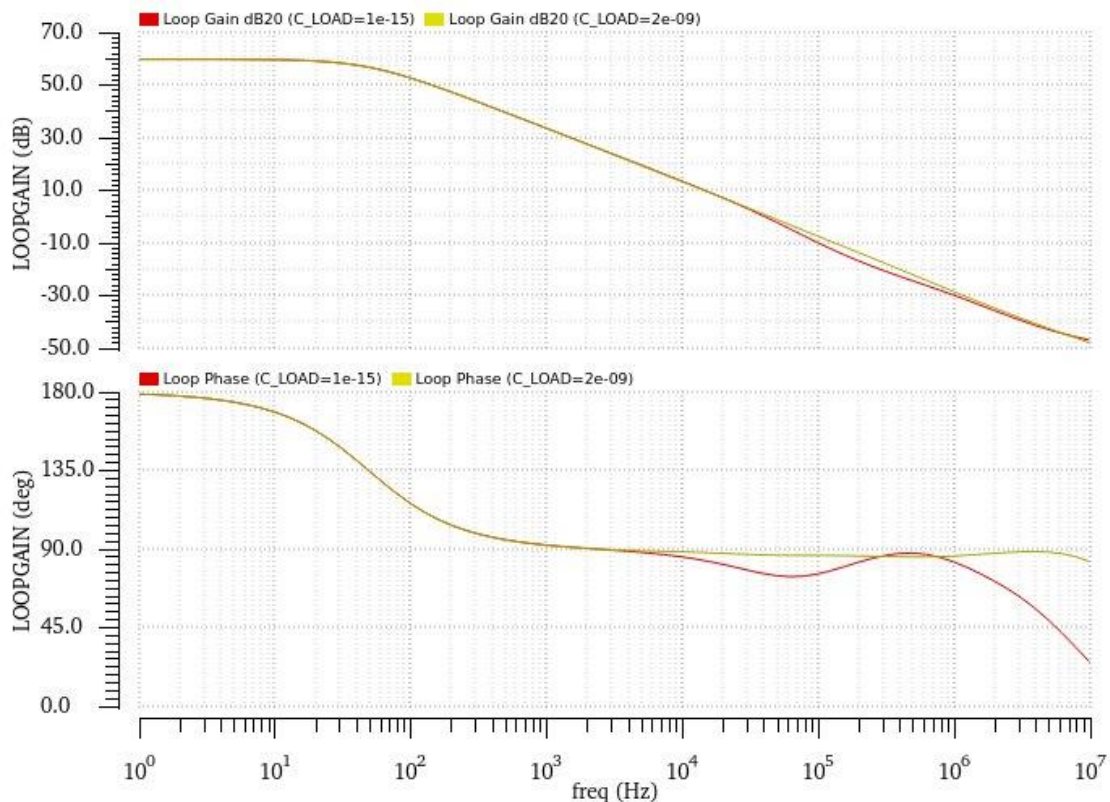
Obr. 3.17: Simulovaná přenosová funkce regulační smyčky REG při výstupním proudu  $I_{load} = 4\text{mA}$ .

### 3.4.3 Smyčka REG při $reg\_lowout = 1$

Při aktivním signálu  $reg\_lowout$  dochází ke snížení požadované hodnoty výstupního napětí  $V_{INT}$ . Jak již bylo zmíněno, tento režim je vyhrazen pro suspendaci napěťového

regulátoru LPINT. Proud tekoucí skrze výkonový tranzistor  $M_{LD01}$  je nulový nebo velmi malý. Smyčka REG se tedy chová podobně jako v kapitole 3.4.1. Vzhledem k sepnutému tranzistoru  $M_{33}$  a tedy sníženému dělicímu poměru děliče LPINT\_RDIV je napětí na sourcu tranzistoru  $M_{47}$  menší. To nevyhnutelně zapříčiňuje snížení napětí v uzlu COMP. Zde se nachází MOS kondenzátor MNC2, jež si spolehlivě udržuje svoji nominální hodnotu kapacity pouze nad prahovým napětím zařízení nmos3p3v. Také referenční struktura tvořena tranzistory MNVT<sub>2\_C</sub>, MN<sub>2\_H</sub>, MN<sub>2\_M</sub> a MN<sub>2\_L</sub> potřebuje ke své funkci dostatečný napěťový prostor. Je tedy vhodné zkontrolovat pracovní napětí v tomto uzlu při simulacích.

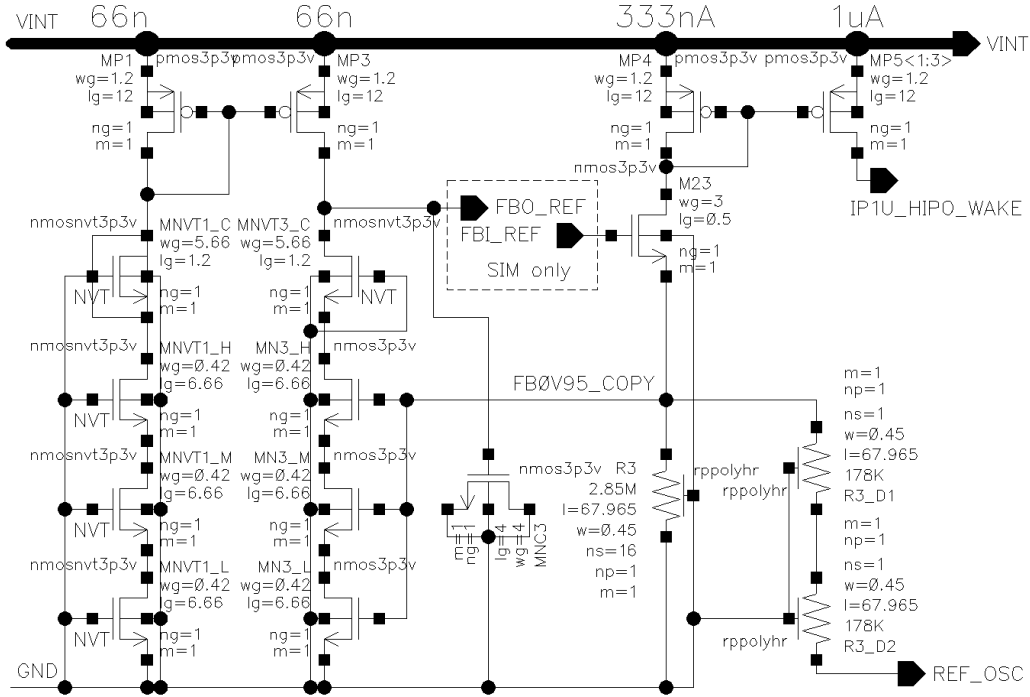
Simulovanou frekvenční odezvu smyčky REG při aktivním signálu reg\_lowout = 1 a nulovém zatížení je možné vidět na obr. 3.18. Simulace je provedena při nominálních hodnotách součástek a teplotě 27 °C s výstupní kapacitou 1 fF a 2 nF. Jelikož není napěťový regulátor LPINT v tomto režimu aktivní, je možné, aby požadavek na minimální fázovou bezpečnost smyčky REG klesl na 45°. Ze simulace je také patrné, že fázová bezpečnost je horší než v předchozích případech a to zejména vlivem posunu pólu  $f_{P\_MN2}$ , respektive posunem tranzitního kmitočtu  $f_{T\_MN2}$  integrátoru.



Obr. 3.18: Simulovaná přenosová funkce smyčky REG při aktivním signálu reg\_lowout a nulovém zatížení výstupu VINT.

### 3.4.4 Smyčka REF

Přenosová funkce smyčky REF je triviální. Detail smyčky je možné vidět na obr. 3.19. Obsahuje pouze jeden dominantní pól a jeden nedominantní pól. Je tedy nutné zajistit, aby tranzitní kmitočet  $f_{T\_MN3}$  integrátoru s význačným kondenzátorem  $MNC_3$ , byl nižší než tranzitní kmitočet  $f_{T\_M23}$  emitorového sledovače  $M_{23}$ . K součástce tranzistoru  $M_{23}$  není připojena kapacitní zátěž, tudíž parazitní kapacita  $C_{R3}$  má relativně malou hodnotu.



Obr. 3.19: Detail smyčky REF.

Tranzitní kmitočet  $f_{T\_M23}$  (nedominantní pól) leží na vysokém kmitočtu podle rovnice:

$$f_{T\_M23} = \frac{g_{m\_M23}}{2 \cdot \pi \cdot C_{R3}} \quad (3.6)$$

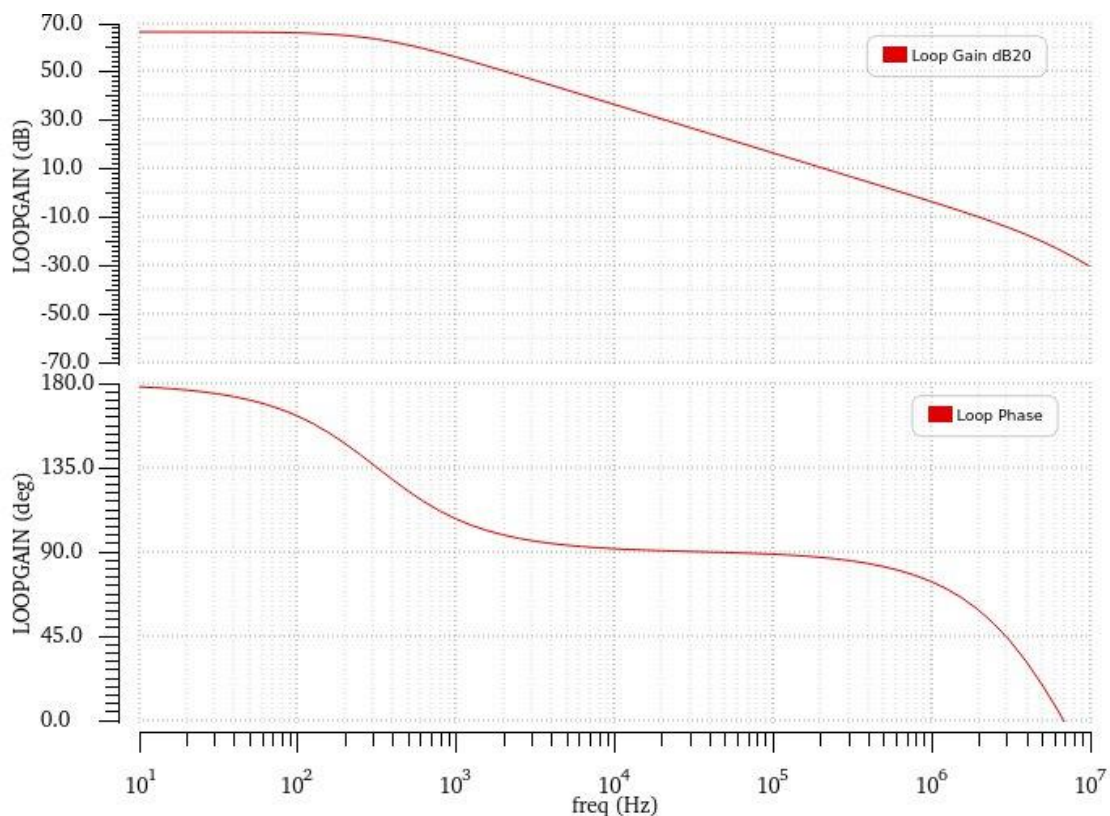
Tranzitní kmitočet integrátoru  $f_{T\_MN3}$  je dán vztahem:

$$f_{T\_MN3} = \frac{g_{m\_MN3}}{2 \cdot \pi \cdot C_{MNC3}} \quad (3.7)$$

Kapacita  $C_{MNC3}$  kondenzátoru  $MNC_3$  je v tomto případě pouze symbolická. Dominantní pól  $f_{P\_MN3}$  smyčky REF leží na kmitočtu:

$$f_{P\_MN3} = \frac{1}{2 \cdot \pi \cdot r_{D\_FBO\_REF} \cdot C_{MNC3}}, \quad (3.8)$$

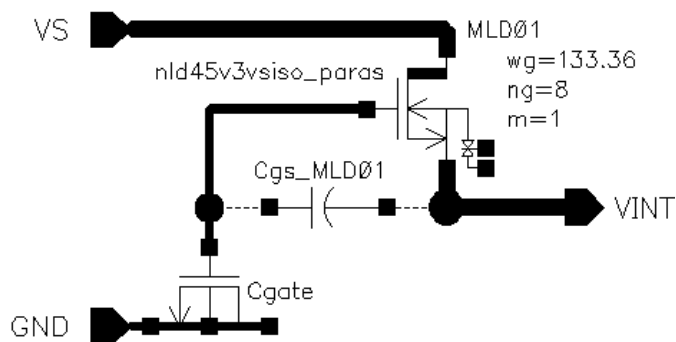
kde  $r_{D\_FBO\_REF}$  je dynamickým odporem uzlu FBO\_REF. Simulovanou přenosovou funkcí smyčky REF je možné vidět na obr. 3.20.



Obr. 3.20: Simulovaná přenosová funkce smyčky REF.

### 3.4.5 Parazitická nula topologie

Parazitická nula topologie je způsobena parazitickou kapacitou  $C_{gs\_MLD01}$  výkonového tranzistoru  $MLD_{01}$ . Vzhledem k rozměrům tohoto tranzistoru není tato kapacita zanedbatelná. Spolu s kondenzátorem  $C_{gate}$  vytváří kapacitní dělič. Tento problém je znázorněn na obr. 3.21.



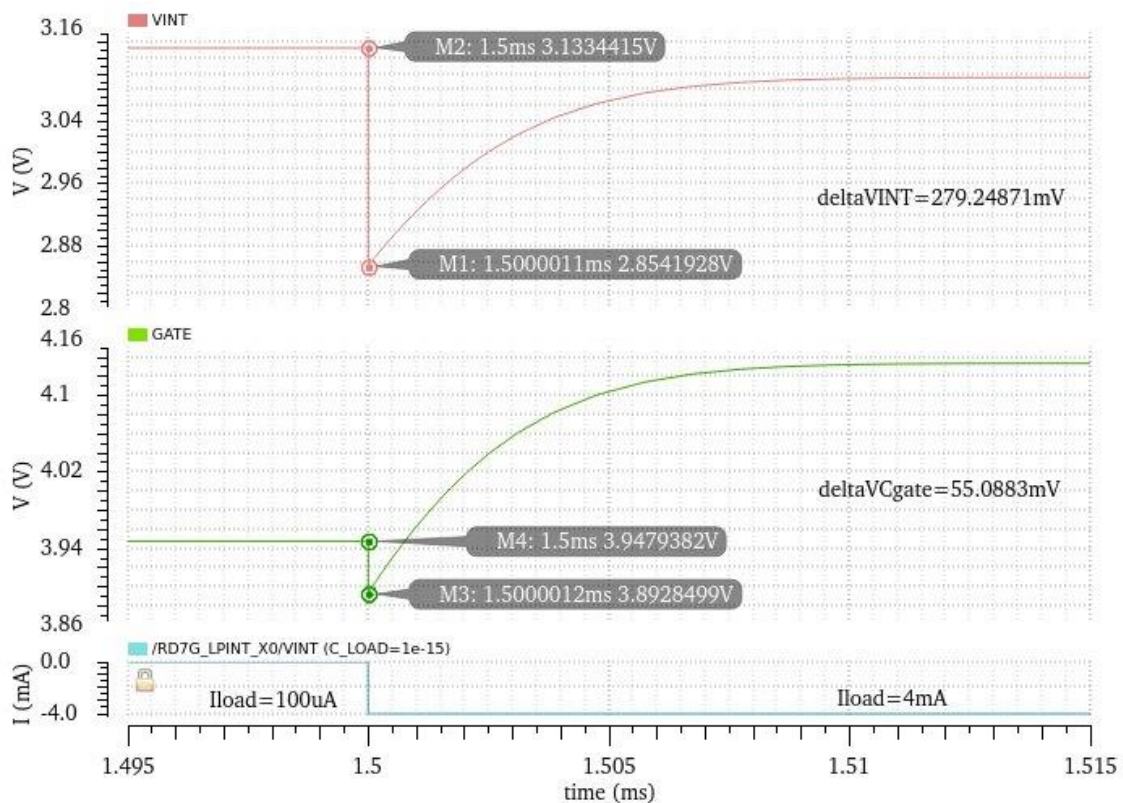
Obr. 3.21: Schematické znázornění parazitního kapacitního děliče vytvářející nulu přenosové funkce.

Vlivem rychlé změny výstupní zátěže nestihne dojít k zásahu smyčky REG, tudíž výstupní napětí  $V_{INT}$  při náhlém poklesu výstupního proudu vzroste a naopak při nárůstu výstupního proudu napětí  $V_{INT}$  poklesne. Tato změna se přenesse parazitní kapacitou  $C_{gs\_MLD01}$  tranzistoru  $MLD_{01}$  také na kondenzátor  $C_{gate}$ . Jelikož je do obou kapacit dodán stejný náboj, způsobí změna výstupního napětí  $\Delta V_{INT}$  změnu napětí na kondenzátoru  $C_{gate}$ :

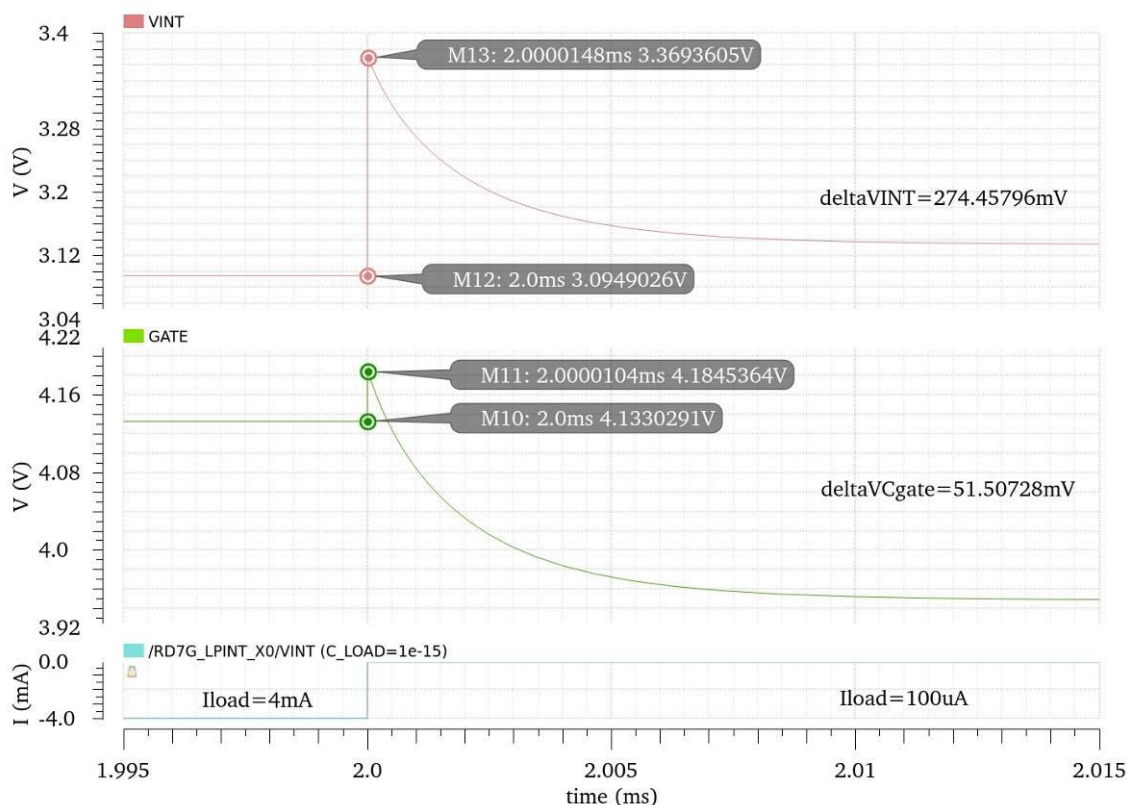
$$\Delta V_{C_{gate}} = \Delta V_{INT} \cdot \frac{C_{gs\_MLD01}}{C_{gate}} \quad (3.9)$$

Malá parazitní kapacita  $C_{gs\_MLD01}$  je v rozporu s požadavkem velké transkonduktance a výkonového zatížení tranzistoru  $MLD_{01}$ . Proto je nutné brát na zřetel tento poměr a ověřit ho simulací.

Za účelem vyšetření překmitů a podkmitů vzniklých v důsledku tohoto principu je vytvořena transientní simulace. Na obr. 3.22 a obr. 3.23 lze vidět reakci napětí  $V_{INT}$  a napětí  $V_{C_{gate}}$  na náhlou změnu zátěže. Je nutné poznamenat, že výstupní napětí  $V_{INT}$  musí za provozu i přes změny výstupní zátěže zůstat ve specifikovaném rozsahu.



Obr. 3.22: Simulovaný podkmit výstupního napětí  $V_{INT}$  a napětí  $V_{C_{gate}}$  při změně výstupního proudu  $I_{load}$  z  $100\mu\text{A}$  na  $4\text{mA}$ .



Obr. 3.23: Simulovaný přechod výstupního napětí  $V_{INT}$  a napětí  $V_{CGATE}$  při změně výstupního proudu  $I_{load}$  z 4 mA na 100  $\mu$ A.

Velké proudové špičky vytváří digitální část čipu RD7Gg2 (až 200 mA). Za účelem pokrytí těchto proudových špiček je připojen k výstupu VINT kondenzátor  $C_{load}$  (značeno v simulacích). Ten je realizován jako distribuovaná kapacita vytvořená na nevyužitě ploše čipu.

### 3.5 Simulace

Tato podkapitola prezentuje výsledky simulací použitých k ověření funkčnosti a parametrů napěťového regulátoru LPINT. Simulace jsou provedeny s maximálních procesních rozptylů 6-sigma a rozsahu pracovních teplot  $-40$   $^{\circ}$ C až  $175$   $^{\circ}$ C. K vyhodnocení výsledků simulací je použito výrazů, které umožní efektivní zpracování získaných dat. Výsledky jednotlivých simulací je možné dohledat na přiloženém CD. Z provedených simulací jsou vygenerovány protokoly, jejichž výsledky jsou zde prezentovány.

#### DC simulace

K ověření hodnoty výstupního napětí  $V_{INT}$  v závislosti na zatěžovacím proudu  $I_{load}$  je využito DC simulace. V příloze A.1 je možné vidět tuto závislost. Jedná se o ustálený stav. Parametrem simulace je napájecí napětí  $V_S$  v rozsahu 4 až 40 V. Je možné vidět, že napětí  $V_{INT}$  je v rozmezí 2,757 V až 3,52 V. Pokles napětí  $V_{INT}$  se zvyšujícím se zatěžovacím proudem  $I_{load}$  je dán vlivem kompenzačního obvodu. Také je u některých průběhů patrný ostrý pokles napětí  $V_{INT}$  od určité hodnoty zatěžovacího proudu  $I_{load}$ .

Výkonový tranzistor MLD<sub>01</sub> v tomto případě nemá dostatečné ovládací napětí, což je způsobeno malým vstupním napětím  $V_S$ . V příloze A.2 je možné vidět rozptýl hodnoty napěťové reference REF\_OSC a proudové reference IP1U\_HIPO\_WAKE. Napětí REF\_OSC je v rozmezí 924,6 mV až 968,5 mV. Proud terminálu IP1U\_HIPO\_WAKE je 658,7 nA až 1,581  $\mu$ A. Závislost na zatěžovacím proudu  $I_{load}$  je nepozorovatelná v daném měřítku.

Pro ověření minimálního napětí  $V_{SMIN}$  při kterém je schopen napěťový regulátor LPINT stále schopen regulace je vytvořena simulace. Pro vyhodnocení je samozřejmě využito výrazů. Při zatěžovacím proudu  $I_{load} = 4$  mA je regulátor schopen regulace výstupního napětí  $V_{INT}$  při minimálním vstupním napětí  $V_{SMIN} = 4,625$  V. Při napětích menších než je  $V_{SMIN}$  detekován nedostatečný napěťový prostor pro regulaci. Vstupní napětí  $V_{SMIN\_limited}$ , při němž je zapojení stále schopné udržet napětí  $V_{INT}$  větší než 2,5 V je 3,975 V, což je ale velmi optimistickým výsledkem. Při tomto napětí již není možné očekávat dobré dynamické chování. Grafické znázornění průběhů napětí  $V_{INT}$ , napětí REF\_OSC, proudu IP1U\_HIPO\_WAKE a interního uzlu VINT\_REG\_OK\_I v závislosti na napětí  $V_S$  je možné nalézt v příloze A.3.

### STB analýza

K ověření stability smyčky REG je využito STB analýzy. Ověření stability je provedeno pro kombinace různých zatěžovacích proudů  $I_{load}$ , výstupních kapacity  $C_{load}$  do 2 nF a napájecího napětí  $V_S = 5$  V až 40 V. Simulované přenosové funkce smyčky REG v běžném režimu je možné vidět v příloze A.11. Fázová bezpečnost smyčky REG se v tomto případě pohybuje v rozmezí 61,29 ° až 127,5 °, což je v souladu s požadavkem fázové bezpečnosti větší než 60 °.

Při suspendaci regulátoru LPINT, tedy aktivaci signálu reg\_lowout, je požadavek na fázovou bezpečnost méně striktní. Postačuje přibližně 45 °. V příloze A.13 je vidět graficky výsledek simulace při 175 °C a signálu reg\_lowout = log.1. Zároveň je taky při této simulaci připojen k výstupu VINT napěťový zdroj simulující nadřazený regulátor integrovaného obvodu RD7Gg2. Fázová bezpečnost za těchto podmínek je větší než 71 °. Stejnou simulaci za teploty -40 °C je nutné vyhodnotit z částí vizuálně. V některých případech je napětí v uzlu COMP příliš malé. To vede ke ztrátě zesílení regulační smyčky REG pod 0 dB a neexistuje tranzitní kmitočet. Z pohledu stability je ovšem smyčka stabilní. Přenosovou funkci za těchto podmínek je možné vidět v příloze A.12. V případech kdy je napětí v uzlu COMP dostatečné, je fázová bezpečnost větší než 43 °.

Stabilita smyčky REG je vyšetřena pomocí STB analýzy. Fázová bezpečnost této smyčky je větší než 75 °.

### Transientní analýza

Pro vyšetření napěťových překmitů výstupního napětí  $V_{INT}$  je vytvořena komplexní transientní analýza. Při této analýze je skokově měněna hodnota výstupního zatěžovacího proudu  $I_{load}$  mezi různými hodnotami a je pozorováno chování regulátoru. V příloze A.4, A.5 a A.6 je možné pozorovat grafický výstup této simulace. Pomocí

výrazů jsou měřeny parametry zdroje. Překmitý napětí  $V_{INT}$  jsou měřeny téže. S uvažováním rychlé změny zatěžovacího proudu je napětí  $V_{INT}$  v rozsahu 2,655 V až 3,534 V. Z výsledků simulace je opět vygenerován protokol. Podobu shrnutí z tohoto konkrétního protokolu je možné vidět na obr. 3.24.

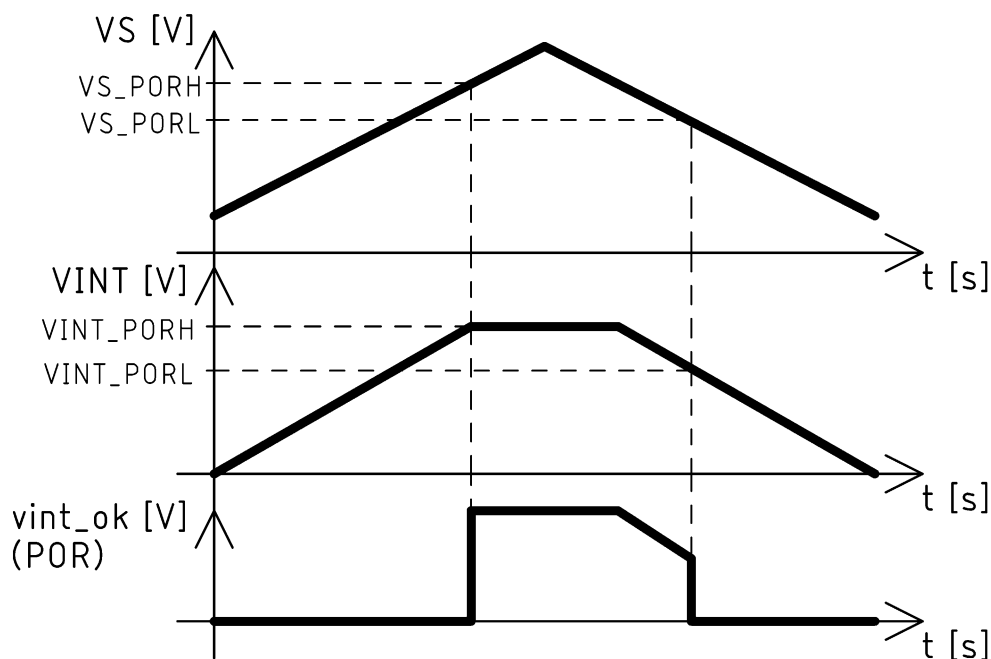
	Test	Calculation	Expression	Target	Minimum Value	Maximum Value
<b>tranFunc_M40_175</b>						
	<a href="#">tranFunc_M40_175</a>	LPINT_VN (I_load=0A)	value(VT("/VINT_D") 0.00599)	range 2.5 3.6	3.134	3.522
	<a href="#">tranFunc_M40_175</a>	LPINT_VN (I_load=6mA)	value(VT("/VINT_D") 0.00275)	range 2.5 3.6	2.969	3.156
	<a href="#">tranFunc_M40_175</a>	LPINT_ICONS (I_load=0A)	value((IT("/RD7G_LPINT_X0/VS") + IT("/RD7G_LPINT_X0/VINT")) 0.00599)	< 5u	1.521u	4.868u
	<a href="#">tranFunc_M40_175</a>	LPINT_ICONS (I_load=6mA)	value((IT("/RD7G_LPINT_X0/VS") + IT("/RD7G_LPINT_X0/VINT")) 0.00275)	< 5u	1.399u	4.847u
	<a href="#">tranFunc_M40_175</a>	LPINT_VL (I_load=0A)	(value(VT("/VINT_D") 0.00799) - value(VT("/VINT_D") 0.00599))	range -0.8 -0.2	-483.1m	-449.7m
	<a href="#">tranFunc_M40_175</a>	LPINT_REF (I_load=0A)	value(VT("/REF_OUT") 0.00599)	range 0.92 0.98	924.8m	968.5m
	<a href="#">tranFunc_M40_175</a>	LPINT_REF (I_load=6mA)	value(VT("/REF_OUT") 0.00275)	range 0.92 0.98	924.6m	968.5m
	<a href="#">tranFunc_M40_175</a>	LPINT_IP1U_HIPO (I_load=0A)	value((- IT("/RD7G_LPINT_X0/IP1U_HIPO_WAKE")) 0.00599)	range 0.6u 1.7u	658.9n	1.581u
	<a href="#">tranFunc_M40_175</a>	LPINT_IP1U_HIPO (I_load=6mA)	value((- IT("/RD7G_LPINT_X0/IP1U_HIPO_WAKE")) 0.00275)	range 0.6u 1.7u	658.8n	1.581u
	<a href="#">tranFunc_M40_175</a>	LPINT_VN overshoot (Load from 4mA to 100uA)	ymax(clip(VT("/VINT_D") 0.0015 0.0025))	< 3.6	3.174	3.534
	<a href="#">tranFunc_M40_175</a>	LPINT_VN undershoot (Load from 100uA to 4mA)	ymin(clip(VT("/VINT_D") 0.001 0.002))	> 2.5	2.655	2.983
	<a href="#">tranFunc_M40_175</a>	VINT max overshoot (start stress)	ymax(clip(VT("/VINT_D") 0 0.001))		3.134	3.523

Obr. 3.24: Pohled na vygenerovaný protokol z výsledků transientní simulace tranFunc\_\_M40\_175.

Na tuto konkrétní simulaci je použita simulační metoda Monte Carlo. Pro statistický vzorek je použito 2000 běhů této simulace. Histogram stejnosměrné hodnoty napětí  $V_{INT}$  při zatěžovacích proudech  $I_{load} = 0$  A a 6 mA je možné vidět v příloze A.7. Histogram vlastní proudové spotřeby  $I_{cons}$  je možné vidět v příloze A.8.

K vyšetření prahových napětí validačních signálů a funkce POR je vytvořena dlouhá transientní simulace. U ní se spoléháme na to, že časová konstanta setrvačných členů obsažených v zapojení je mnohem menší než rychlost změn rozmítaných veličin. Takovou simulaci je možné poté považovat za stejnosměrnou simulaci. Průběhy extrahované z této simulace je možné vidět v příloze A.9 a A.10. Pomocí výrazů je

stanovena hodnota napětí  $V_{INT}$  a  $V_S$ , při níž došlo k překlopení signálu `vint_ok` a `ref_ok`. Tyto prahové napětí označujeme tak, jak je znázorněno na obr. 3.25.



Obr. 3.25: Definice prahových napětí POR signálu.

### Simulace acnoise

K ověření stability topologie zapojení za nominálních podmínek je provedena simulace typu acnoise. Variovány jsou hodnoty zatěžovacího proudu  $I_{load}$ , tak aby kompenzační obvod byl různě aktivován. Výsledky je možné nalézt příloze A.14. Z průběhů výstupního šumu  $VN2()$  a  $VN()$ , který má klesající charakter lze usoudit, že zapojení je stabilní.

### Simulace EMI

K ověření odolnosti zapojení vůči EMI je využito tranzientní simulace. Na vstupní napětí  $V_S = 21,5$  V je superponováno střídavé napětí o maximální hodnotě 18,5 V a frekvenci 10 MHz. Je pozorována změna výstupního napětí a chování zapojení oproti ustálenému stavu. Při simulaci nedošlo k výraznému propadu napětí výstupního napětí  $V_{INT}$ . Z této simulace je extrahována přibližná hodnota PSRR. Se zvyšující se hodnotou výstupní kapacity  $C_{load}$ , se PSRR zvětšuje. Bez připojené výstupní kapacity  $C_{load}$  dosahuje zapojení  $PSRR = 22,39$  dB při frekvenci 10 MHz.

### Souhrn simulací

Shrnuté výsledky simulací a požadavky na napěťový regulátor LPINT lze nalézt v tab. 3.3. Lze si povšimnout, že výsledek 3sigma Monte Carlo simulace má větší rozptyl, nežli pouhé simulace přes definované procesní rozptyly. To je dáno především zohledněním souběhu jednotlivých součástek. V případě referenční struktury s depletičním tranzistorem se tato chyba projeví na hodnotě napětí reference  $REF\_OSC$ , která má mnohem větší rozptyl než udávají simulace s procesními rozptyly. Výsledky Monte Carlo analýzy nebyly rozšířeny na hodnotu 6sigma vzhledem k použité metodě.

Ta způsobuje podstatnou chybu, hlavně v nelineárních obvodech. Detailnější výsledky jednotlivých parametrů je možné dohledat na příloženém CD.

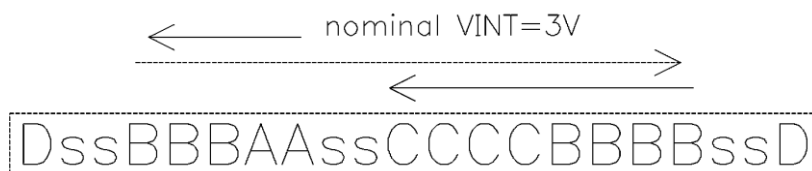
Tab. 3.3: Tabulka výsledků simulací.

Vysvětlení	Symbol v simulacích	Výsledek simulací		Výsledek 3sigma MC		Specifikace		Jednotka
		Min.	Max.	Min.	Max.	Min.	Max.	
Napětí $V_{INT}$	LPINT_VN	<b>2,657</b>	<b>3,534</b>	2,672	3,521	2,5	3,6	V
Napětí $V_{INT}$ s definovanou interní zátěží	LPINT_VN_LOAD	<b>2,675</b>	<b>3,572</b>	---	---	2,5	3,6	V
Pokles napětí při aktivaci reg_lowout	LPINT_VL	-483,1	<b>-324,6</b>	<b>-496,1</b>	-445,4	-0,8	-0,2	mV
Minimální napětí $V_S$ pro regulaci $V_{INT}$	LPINT_VSMIN	4,062	<b>4,59</b>	---	---	5	---	V
Minimální napětí $V_S$ pro $V_{INT} = 2,5$ V	VSMIN_limited	3,473	<b>3,914</b>	---	---	4	---	V
Napětí reference REF_OSC	LPINT_REF	924,6	968,5	<b>895,3</b>	<b>1001</b>	850	1050	mV
Vlastní proudová spotřeba zapojení $I_{CONS}$	LPINT_ICONS	<b>1,081</b>	<b>4,868</b>	2,45	3,366	---	5	$\mu$ A
Proud reference IPU1_HIPO_WAKE	LPINT_IP1U_HIPO	<b>0,6587</b>	<b>1,581</b>	0,8639	1,204	0,6	1,7	$\mu$ A
Napětí $V_S$ při přechodu vint_ok do log.1	VS_PORH	<b>3,661</b>	<b>4,398</b>	---	---	3,5	4,5	V
Napětí $V_S$ při přechodu vint_ok do log.0	VS_PORL	<b>2,102</b>	<b>3,515</b>	---	---	2	3,7	V
Napětí $V_{INT}$ při přechodu vint_ok do log.1	VINT_PORH	<b>2,871</b>	<b>3,477</b>	---	---	2,5	3,6	V
Napětí $V_{INT}$ při přechodu vint_ok do log.0	VINT_PORL	<b>1,784</b>	<b>2,28</b>	---	---	1,5	2,4	V

### 3.6 Layout

Layout (fyzické rozložení) je činnost úzce spjatá s návrhem zapojení na čipu. Je nutné zajistit, aby citlivá zapojení byla co nejméně ovlivňována okolními součástkami. Blízkost určitých součástek může také vést k vytvoření parazitických prvků, způsobujících nekorektní funkci zapojení. V případě automobilového průmyslu je znalost těchto závislostí zvláště důležitá. Je nutné učinit opatření tak, aby zapojení byla spolehlivá. Souběh („Matching“) prvků jako jsou rezistory, zapojení proudových zrcadel i jiných struktur si vyžadují pozornost také. Homogenizací jejich okolí je možné částečně omezit vliv okolních součástek, a tím zvýšit přesnost zapojení nebo také spolehlivost.

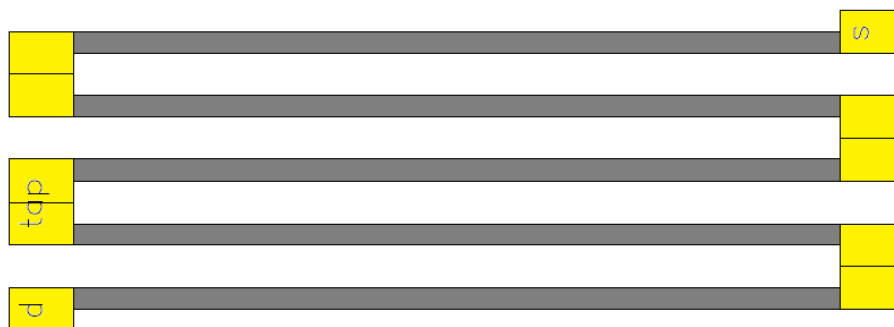
Naznačení souběhu prvků se děje názorně ve schématu zapojení. Neexistuje jednotný přístup. Souběh tedy můžeme naznačit textem „Matching“, který doplníme o ustálené názvosloví typu rozmístění nebo také názorným naznačením chtěného rozmístění prvků jako na obr. 3.26 pro odporový dělič LPINT\_RDIV. Bloky „A“, „B“, „C“ jsou rezistory LPINT\_RDIV\_RES odporového děliče LPINT\_DIV. Blok „D“ je stejného typu, avšak funkčně není neaktivním rezistorem. Slouží pro homogenizaci prostředí po krajích struktury a také jako redundantní blok. Pro rezistor LPINT\_RDIV\_RES je stanoven ve schématu požadavek na layout, který lze vidět na obr. 3.28. Naznačená žlutá vrstva je vysoce vodivá a šedá je rezistivní. Blok „s“ je separačním blokem napěťových domén. Jedná se o rezistor LPINT\_RDIV\_RES\_stripe a je složen pouze z jedné pětiny LPINT\_RDIV\_RES. Požadavek na layout LPINT\_RDIV\_RES\_stripe je možné vidět na obr. 3.27.



Obr. 3.26: Znázornění požadavku na layout odporového děliče LPINT\_RDIV z jeho schématu.



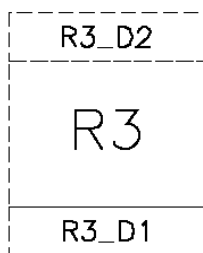
Obr. 3.27: Požadavek na layout bloku LPINT\_RDIV\_RES\_stripe vytvořeného z rezistoru typu rppolyhr\_sn.



Obr. 3.28: Požadavek na layout bloku LPINT\_RDIV\_RES skládající se z pěti rezistorů typu rppolyhr\_sn.

Blok děliče LPINT\_RDIV je také nutné vhodně natočit vůči významným zdrojům tepla. Nejlépe tak, aby docházelo k rovnoměrnému ohřevu všechny částí odporového děliče.

Další prvek, u kterého je požadován specifický layout, je rezistor R3 s přilehlými rezistory R3\_D1 a R3\_D2. Jejich délka je shodná a mohou utvořit strukturu jako na obr. 3.29. Důvodem je opět homogenizovat okolí tohoto referenčního rezistoru.



Obr. 3.29: Požadavek na layout rezistoru R<sub>3</sub> s přilehlými rezistory R<sub>3\_D1</sub> a R<sub>3\_D2</sub>.

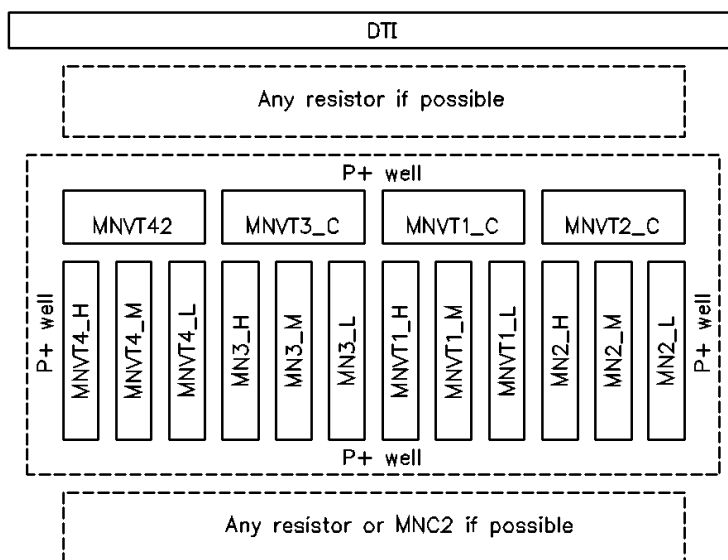
Proudová zrcadla jsou také uspořádávána do logických celků. V tomto případě je naznačen souběh v celkovém schématu jako na obr. 3.30. Jsou zmíněny pouze kritické tranzistory, které se spolu s MOS diodou tohoto zrcadla snažíme situovat do středu struktury. V zapojení se vyskytuje ještě další proudové zrcadlo MP4 se stejnými rozměry tranzistorů a označením souběhu. Očekává se, že tyto struktury budou spolu sousedit nebo spíše vytvoří jednu souvislou strukturu.



Obr. 3.30: Požadavek na layout proudového zrcadla MP<sub>1</sub>.

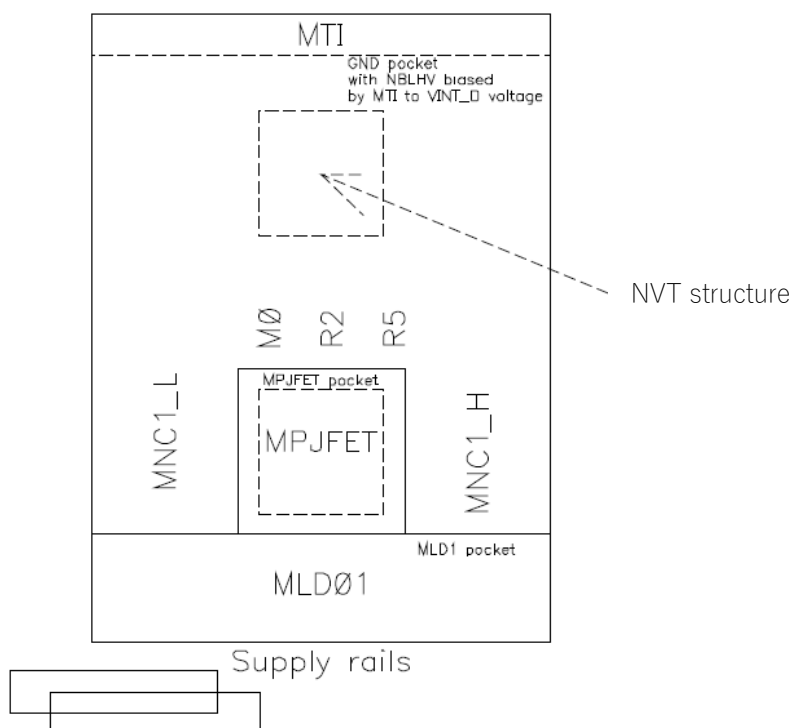
Layout hlavní referenční struktury, která je tvořena depletičními tranzistory, je zvláště důležitý. Vlivem blízkosti určitým prvkům zapojení k této struktuře by mohlo dojít k narušení její funkce. Požadavek na layout je možné vidět na obr. 3.31. Je dbáno na to, aby struktura nebyla příliš blízko okrajům kapsy (DTI), vzhledem ke zvýšenému výskytu poruch v těchto místech. Navíc je každý z prvků obehnán ochranným okružím

P+ dotovaného polovodiče, jež homogenizuje okolí a vytváří dobře vodivý bulkový kontakt.



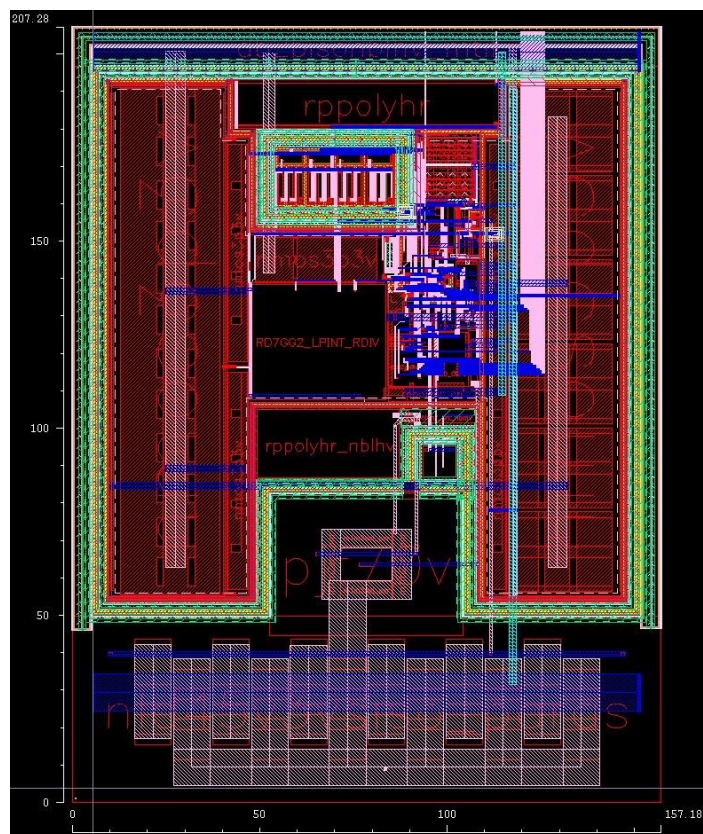
Obr. 3.31: Požadavek na layout referenční struktury s depletičními tranzistory (NVT structure).

Celkové rozvržení důležitých citlivých struktur, případně rušivých prvků regulátoru LPINT je znázorněno na obr. 3.32. Ty jsou rozmístěny tak, aby měly na sebe co nejmenší vliv. Bylo také zvaženo, že s blokem regulátoru LPINT sousedí i jiné bloky.

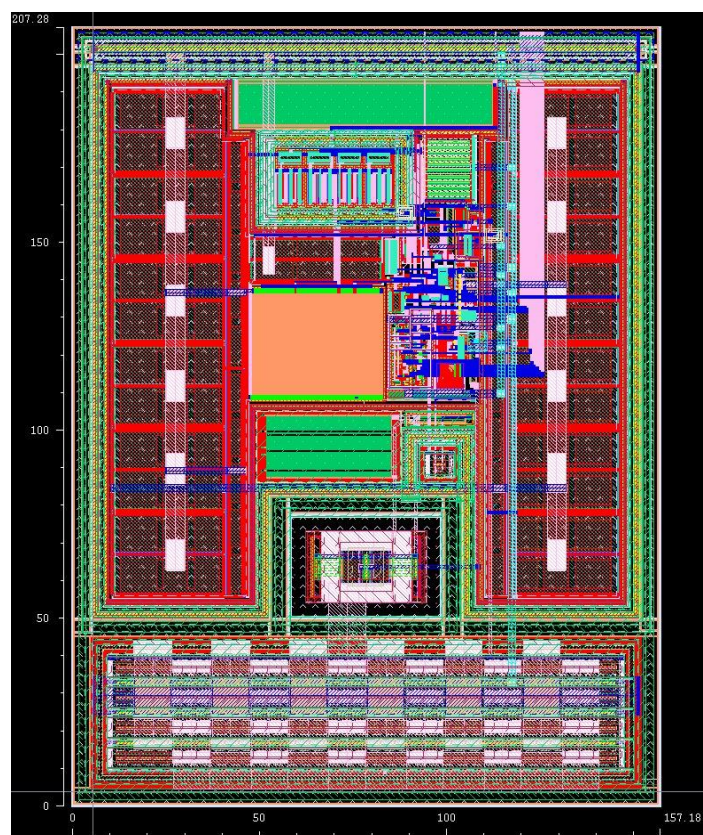


Obr. 3.32: Požadavek na celkový layout napěťového regulátoru LPINT.

Layout byl proveden pracovníkem ON Design Czech s.r.o. Na obr. 3.33 a obr. 3.34 je možné vidět hotový layout napěťového regulátoru LPINT. Je patrné, že rozvržení z obr. 3.31 je dodrženo. Celkové rozměry zapojení jsou  $207,28 \mu\text{m} \times 157,18 \mu\text{m}$  a rozprostírá se na ploše  $35580 \mu\text{m}^2$ .



Obr. 3.33: Hotový layout napěťového regulátoru LPINT bez zobrazených struktur prvků.



Obr. 3.34: Hotový layout napěťového regulátoru LPINT se zobrazenými všemi vrstvami.

## 4 ZÁVĚR

V diplomové práci byly prostudovány topologie lineárních regulátorů napětí vhodných schopných pracovat bez externího kondenzátoru. Byla prostudována jejich stabilita a vhodnost z pohledu napěťového prostoru. Princip vybraných napěťových regulátorů byl v této práci rozebrán.

Topologie referenčního bloku byla zvolena dle interního konceptu. Tento koncept využívá podobnosti charakteristik tranzistoru s indukovaným a trvalým kanálem. Rozdíl jejich prahových napětí slouží jako referenční napětí napěťového regulátoru. Pro samotný napěťový regulátor byla vybrána topologie napěťového sledovače. Napěťový prostor s pohledu vstupního napětí je dostačující. Po sestavení blokového schématu zapojení byla provedena série jednoduchých simulací sloužících k ověření jednotlivých bloků a jejich vysvětlení. V návrhu bylo podle zadání využíváno tranzistorů TOX.

V diplomové práci byla detailně rozebrána požadovaná funkce napěťového regulátoru LPINT a jeho pomocných obvodů. Proběhla taky detailní analýza stability tohoto zapojení. Zapojení disponuje kompenzačním obvodem, který vytváří nulu v přenosové funkci hlavní regulační smyčky REG, čímž kompenzuje vliv druhého dominantního pólu. Na navrhnutém regulátor LPINT byla provedena série simulací vyšetřující jeho parametry a také jejich rozptyl. Simulace byly prováděny s kombinacemi procesních rozptylů a mezních teplot  $-40\text{ }^{\circ}\text{C}$  až  $175\text{ }^{\circ}\text{C}$ , zvláště pro charakterizaci zapojení. Pro ověření topologie zapojení vůči vlivu EMI a vlastního šumu byly provedeny simulace pouze za nominálních podmínek vzhledem k jejich časové náročnosti. Topologie zapojení vyhověla požadavkům. Bez přítomnosti výstupní kapacity bylo simulováno  $PSRR = 22,39\text{ dB}$  při frekvenci 10 MHz.

Simulacemi byla ověřena hodnota výstupního napětí VINT, která se pohybuje v rozsahu 2,657 V a 3,572 V i při dynamické změně zátěže. Při aktivaci signálu reg\_lowout dojde k poklesu napětí  $V_{INT}$  o 324,6 mV až 496,1 mV. Minimální napětí, při kterém zapojení je ještě schopné regulace, je 4,59 V při zatěžovacím proudu 4 mA. Avšak pro udržení výstupního napětí  $V_{INT} = 2,5\text{ V}$  je potřeba pouze 3,914 V při stejné zatěžovacím proudu. Maximální simulovaná vlastní spotřeba regulátoru  $I_{CONS}$  za ustáleného stavu je 4,868  $\mu\text{A}$  při zatěžovacím proudu až 6 mA. Proudová reference IP1U\_HIPO\_WAKE dodává proud v rozsahu 0,6587  $\mu\text{A}$  až 1,581  $\mu\text{A}$ . Napěťová reference má své napětí v rozsahu 895,3 mV až 1001 mV. Tento výsledek byl získán pomocí analýzy Monte Carlo s 2000 běhy pro získání hodnoty 3sigma. Rozptyl hodnoty tohoto napětí je značný a je pravděpodobně dán souběhem tranzistorové dvojice. Napěťový regulátor dokáže dodávat až 6 mA do kapacitní zátěže nanejvýš 2 nF. Spolehlivě dokáže fungovat od vstupního napětí 5 V až do 40 V. Regulační smyčka REG má fázovou bezpečnost větší než  $61\text{ }^{\circ}$ . Při vstupním napětí 4 V až 5 V je limitováno napěťovým prostorem zejména proudové zdroje s P-JFET tranzistorem. V layoutu má napěťový regulátor RD7Gg2\_LPINT rozměry 207,28  $\mu\text{m}$  x 157,18  $\mu\text{m}$  a rozprostírá se na ploše 35580  $\mu\text{m}^2$ .

# LITERATURA

- [1] ŠOJDR, Marek. *Precizní stmívání LED žárovek pro jevištní techniku* [online]. Brno, 2017 [cit. 2018-12-08]. Dostupné z: <https://www.vutbr.cz/studenti/zav-prace/detail/102991>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Vedoucí práce Ing. Vladimír Levek.
- [2] VEERAVALLI, Anand a Stephen M. NOLAN. *Introduction to Low Dropout (LDO) Linear Voltage Regulators* [online]. b.r., , 11 [cit. 2018-11-17]. Dostupné z: <https://www.design-reuse.com/articles/42191/low-dropout-ldo-linear-voltage-regulators.html>
- [3] *OnMyPhD* [online]. Porto: Hugo, 2016 [cit. 2018-12-08]. Dostupné z: <http://www.onmyphd.com/>
- [4] Linear Voltage regulators. *OnMyPhD* [online]. onmyphd.com: onmyphd.com, b.r. [cit. 2018-12-02]. Dostupné z: <http://www.onmyphd.com/?p=voltage.regulators.linear>
- [5] DE STREEL, Gueric, Julien DE VOS, Denis FLANDRE a David BOL. A 65nm 1V to 0.5V linear regulator with ultra low quiescent current for mixed-signal ULV SoCs. In: *2014 IEEE Faible Tension Faible Consommation* [online]. Monaco: IEEE, 2014, s. 1-4 [cit. 2018-11-20]. DOI: 10.1109/FTFC.2014.6828597. ISBN 978-1-4799-3773-8. Dostupné z: <http://ieeexplore.ieee.org/document/6828597/>
- [6] CREPALDI, Paulo, Tales PIMENTA a Robson MORENO. A CMOS Low Drop out Voltage Regulator. In: *2010 International Conference on Microelectronics* [online]. Cairo, Egypt: IEEE, 2010, s. 208-211 [cit. 2018-11-20]. DOI: 10.1109/ICM.2010.5696118. ISBN 978-1-61284-149-6. Dostupné z: <http://ieeexplore.ieee.org/document/5696118/>
- [7] PEREZ-BAILON, J., A. MARQUEZ, B. CALVO a N. MEDRANO. A power efficient LDO regulator for portable CMOS SoC measurement systems. In: *2017 IEEE International Instrumentation and Measurement Technology Conference (I2MTC)* [online]. Turin, Italy: IEEE, 2017, s. 1-6 [cit. 2018-11-28]. DOI: 10.1109/I2MTC.2017.7969805. ISBN 978-1-5090-3596-0. Dostupné z: <http://ieeexplore.ieee.org/document/7969805/>
- [8] LIU, Chia-Chin a Chunhong CHEN. An ultra-low power voltage regulator for RFID application. In: *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)* [online]. Columbus, OH, USA: IEEE, 2013, s. 780-783 [cit. 2018-11-28]. DOI: 10.1109/MWSCAS.2013.6674765. ISBN 978-1-4799-0066-4. ISSN 1558-3899. Dostupné z: <http://ieeexplore.ieee.org/document/6674765/>
- [9] CHEN, Chia-Min, Tung-Wei TSAI a Chung-Chih HUNG. Fast Transient Low-Dropout Voltage Regulator With Hybrid Dynamic Biasing Technique for SoC Application. In: *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* [online]. Volume: 21 , Issue: 9 , Sept. 2013. IEEE: IEEE, 2013, 21(9), s. 1742-1747 [cit. 2018-11-28]. DOI: 10.1109/TVLSI.2012.2217766. ISSN 1063-8210. Dostupné z: <http://ieeexplore.ieee.org/document/6327694/>
- [10] CHANG, Yi Tsung, Fu Lian HUNG, Ren Hao XUE, Yu Da SHIAU a Po Yu CHENG. LDO Linear Regulator with Super-source Follower. In: *2014 International Symposium on Computer, Consumer and Control* [online]. Taichung, Taiwan: IEEE, 2014, s. 442-445 [cit. 2018-11-28]. DOI: 10.1109/IS3C.2014.122. ISBN 978-1-4799-5277-9. Dostupné z: <http://ieeexplore.ieee.org/document/6845914/>

- [11] TANTAWY, R. a E.J. BRAUER. Performance evaluation of CMOS low drop-out voltage regulators. In: *The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS '04* [online]. 2014 International Symposium on Computer, Consumer and Control. Hiroshima, Japan, Japan: IEEE, 2004, s. 1141-1144 [cit. 2018-11-28]. DOI: 10.1109/MWSCAS.2004.1353917. ISBN 0-7803-8346-X. Dostupné z: <http://ieeexplore.ieee.org/document/1353917/>
- [12] MILLIKEN, Robert J., Jose SILVA-MARTINEZ a Edgar SANCHEZ-SINENCIO. Full On-Chip CMOS Low-Dropout Voltage Regulator. In: *IEEE Transactions on Circuits and Systems I: Regular Papers* [online]. Volume: 54 , Issue: 9 , Sept. 2007. IEEE: IEEE, 2007, **54**(9), s. 1879-1890 [cit. 2018-12-02]. DOI: 10.1109/TCSI.2007.902615. ISSN 1549-8328. Dostupné z: <http://ieeexplore.ieee.org/document/4303304/>
- [13] CAMACHO, Daniel, Ping GUI a Paulo MOREIRA. Fully on-chip switched capacitor NMOS low dropout voltage regulator. *Analog Integrated Circuits and Signal Processing* [online]. 2010, **65**(1), 141-149 [cit. 2018-12-10]. DOI: 10.1007/s10470-009-9439-y. ISSN 0925-1030. Dostupné z: <http://link.springer.com/10.1007/s10470-009-9439-y>
- [14] LEPKOWSKI, W., S. J. WILK, S. KIM, B. BAKKALOGLU a T.J. THORNTON. A capacitor-free LDO using a FD Si-MESFET pass transistor. In: *2009 52nd IEEE International Midwest Symposium on Circuits and Systems* [online]. 52. Cancun, Mexico: IEEE, 2009, s. 953-956 [cit. 2018-12-08]. DOI: 10.1109/MWSCAS.2009.5235924. ISBN 978-1-4244-4479-3. ISSN 1558-3899. Dostupné z: <http://ieeexplore.ieee.org/document/5235924/>
- [15] KADLCIK, L. a P. HORSKY. A Low-Dropout Voltage Regulator with a Fractional-Order Control. In: *Radioengineering* [online]. 2016, **25**(2), s. 312-320 [cit. 2018-11-29]. DOI: 10.13164/re.2016.0312. ISSN 1210-2512. Dostupné z: [http://www.radioeng.cz/fulltexts/2016/16\\_02\\_0312\\_0320.pdf](http://www.radioeng.cz/fulltexts/2016/16_02_0312_0320.pdf)
- [16] LAUDE, D. IC design considerations for the harsh automotive electrical environment. *Proceedings of IEEE Custom Integrated Circuits Conference - CICC '94* [online]. San Diego, CA, USA: IEEE, 1994, **1994**(1), 319-326 [cit. 2018-12-12]. DOI: 10.1109/CICC.1994.379710. ISBN 0-7803-1886-2. Dostupné z: <http://ieeexplore.ieee.org/document/379710/>
- [17] SCHOISWOHL, J. *Linear Mode Operation and Safe Operating Diagram of Power-MOSFETs* [online]. Munich, Germany, 2017 [cit. 2018-12-13]. Dostupné z: [https://www.infineon.com/dgdl/Infineon-ApplicationNote\\_Linear\\_Mode\\_Operation\\_Safe\\_Operation\\_Diagram\\_MOSFETs-AN-v01\\_00-EN.pdf?fileId=db3a30433e30e4bf013e3646e9381200](https://www.infineon.com/dgdl/Infineon-ApplicationNote_Linear_Mode_Operation_Safe_Operation_Diagram_MOSFETs-AN-v01_00-EN.pdf?fileId=db3a30433e30e4bf013e3646e9381200). Application Note. Infineon.
- [18] *IEEE Xplore Digital Library* [online]. USA: IEEE.org, 2018 [cit. 2018-12-10]. Dostupné z: <https://ieeexplore.ieee.org>
- [19] *Google Scholar* [online]. Google: Google, 2018 [cit. 2018-12-10]. Dostupné z: <https://scholar.google.cz>
- [20] A CMOS Follower-Type Voltage Regulator With a Distributed-Element Fractional-Order Control. In: *IEEE Transactions on Circuits and Systems I: Regular Papers* [online]. Vol. 65, NO. 9. London: IEEE, 2018, **65**(9), s. 2753-2763 [cit. 2018-11-20]. DOI: 10.1109/TCSI.2018.2808879. ISSN 1549-8328. Dostupné z: <https://ieeexplore.ieee.org/document/8310958/>

- [21] SHIRMOHAMMADLI, Vahideh, Alireza SABERKARI, Herminio MARTINEZ-GARCIA a Eduard ALARCON-COT. Low power output-capacitorless class-AB CMOS LDO regulator. In: *2017 IEEE International Symposium on Circuits and Systems (ISCAS)* [online]. IEEE: IEEE, 2017, s. 1-4 [cit. 2019-05-21]. DOI: 10.1109/ISCAS.2017.8050958. ISBN 978-1-4673-6853-7. Dostupné z: <http://ieeexplore.ieee.org/document/8050958/>
- [22] LEO, C. J., M. K. RAJA a Je MINKYU. An ultra low-power capacitor-less LDO with high PSR. In: *2013 IEEE MTT-S International Microwave Workshop Series on RF and Wireless Technologies for Biomedical and Healthcare Applications (IMWS-BIO)* [online]. Baltimore, MD, USA: IEEE, 2013, s. 1-3 [cit. 2019-05-21]. DOI: 10.1109/IMWS-BIO.2013.6756187. ISBN 978-1-4673-6096-8. Dostupné z: <http://ieeexplore.ieee.org/document/6756187/>
- [23] I4T: 0.18  $\mu$ m CMOS Process Technology - 45 V/70 V: Process Technology. *ON Semiconductor* [online]. USA: ON Semiconductor, 2019 [cit. 2019-05-21]. Dostupné z: <https://www.onsemi.com/pub/Collateral/I4T4570-D.PDF>
- [24] LAKER, Kenneth R. a Willy M. C. SANSEN. *Design of analog integrated circuits and systems*. International Editions 1994. New York: McGraw-Hill, 1994. ISBN 00-703-6060-X.
- [25] Methodology on Extracting Compact Layout Rules for Latchup Prevention. In: *Transient-Induced Latchup in CMOS Integrated Circuits* [online]. Chichester, UK: IEEE, 2009, s. 113-150 [cit. 2019-05-21]. DOI: 10.1002/9780470824092.ch6. ISBN 9780470824092. Dostupné z: <http://doi.wiley.com/10.1002/9780470824092.ch6>

# SEZNAM POUŽITÝCH ZKRATEK

Zkratka	Vysvětlení
LC	Obvod obsahující cívku a kondenzátor
LDO	Nízký úbytek napětí
NMOS	Unipolární tranzistor MOS typu N
PMOS	Unipolární tranzistor MOS typu P
ESL	Ekvivalentní sériová indukčnost zátěže
ESR	Ekvivalentní sériový odpor zátěže
EMI	Elektromagnetické rušení
EMC	Elektromagnetická kompatibilita
ESD	Elektrostatický výboj
SOA	Bezpečná pracovní oblast
PSRR	Faktor potlačení napájecího napětí
CMOS	Technologie při vznikají tranzistory NMOS a PMOS na jednom čipu
NVT	Nulové nebo negativní prahové napětí
LPLVT	Tranzistor s nízkým prahovým napětím
LPSVT	Tranzistor se středním prahovým napětím
LPHVT	Tranzistor s běžným prahovým napětím
RHP	Pravá polorovina
RDC	Struktura vrstev rezistivní-dielektrická-vodivá
ASIC	Integrovaný obvod pro specifickou aplikaci
NDMOS	Typ vysokonapěťového tranzistoru
DTI	Izolace hlubokým žlabem
POR	(Power-on reset) Signál zajišťující bezpečný náběh, a vypnutí při podpětí.

# SEZNAM OBRÁZKŮ

Obr. 1.1: Regulátor se Zenerovou diodou („Shunt regulator“). .....	10
Obr. 1.2: Obecné zapojení sériového napěťového regulátoru. ....	10
Obr. 1.3: Regulátor s napěťovým sledovačem ve výkonovém stupni. ....	11
Obr. 1.4: Obecné schéma LDO regulátorů s PMOS tranzistorem. ....	12
Obr. 1.5: NMOS LDO regulátor s technikou „Gate overdrive“. ....	13
Obr. 1.6: Znázornění charakteristiky s oběma póly dominantními. (převzato z [14]) .....	14
Obr. 1.7: Znázornění charakteristiky s externím dominantním pólem a interním nedominantním pólem. ....	15
Obr. 1.8: Znázornění charakteristiky s interním dominantním pólem a externím nedominantním pólem. (převzato z [14]) .....	15
Obr. 1.9: Principiální zapojení lineárního regulátoru napětí 1 V až 0,5 V s ultra-nízkým klidovým proudem v 65 nm technologii. (převzato z [5]).....	19
Obr. 1.10: Zapojení pro násobení kapacity kondenzátoru. (převzato z [5]).....	20
Obr. 1.11: Přenosová a fázová charakteristika zapojení. (převzato z [5]).....	20
Obr. 1.12: Přechodová charakteristika regulátoru pro přechody 0 A – 100 $\mu$ A a 100 $\mu$ A a 0 A. (převzato z [5]) .....	21
Obr. 1.13: Struktury tranzistoru PMOS, kondenzátoru PMOScap a distribuovaného prvku R-PMOScap. (převzato z [20]).....	22
Obr. 1.14: Fyzické uspořádání R-PMOScap. (převzato z [20]) .....	22
Obr. 1.15: Regulátor napětí s emitorovým sledovačem a prvkem zlomkového řádu [20]. .....	22
Obr. 1.16: Výsledky simulace malo-signálové regulační smyčky napěťového regulátoru. (převzato z [20]).....	23
Obr. 2.1: Blokové schéma zapojení.....	25
Obr. 2.2: Simulační schéma konceptu napěťové a proudové reference s tranzistorem s depletičním a indukovaným kanálem.....	27
Obr. 2.3: Simulovaná závislost potřebného napětí v uzlu Vgate_node a proudu tekoucího tranzistorem MNVT <sub>1</sub> a MN <sub>2</sub> v závislosti na napájecím napětí V <sub>CC</sub> . .....	27
Obr. 2.4: Schéma napěťové a proudové reference se vzniklým transkonduktančním zesilovačem.....	28
Obr. 2.5: Konceptuální schéma napěťové a proudové reference periférií.....	29

Obr. 2.6: Výsledky simulace napěťové a proudové reference pro periferie při teplotě -40 °C, 27 °C a 185 °C. ....	30
Obr. 2.7: Výsledky simulace pro zjištění parametrů tranzistorů nld45v3v3iso při teplotě 27 °C. ....	32
Obr. 2.8: Simulační schéma pro zjištění malo-signálových vlastností nld45v3v3iso_paras modelu tranzistoru. ....	32
Obr. 2.9: Přenosová funkce regulační smyčky ideového návrhu semestrální práce při různých zátěžích. ....	34
Obr. 2.10: Znázornění možné realizace kondenzátoru $C_{gate}$ . ....	35
Obr. 2.11: Simulační schéma proudového zdroje s tranzistorem P-JFET. ....	36
Obr. 2.12: Výsledky simulace proudového zdroje s tranzistorem P-JFET při teplotě 27 °C. ....	37
Obr. 3.1: Symbol bloku napěťového regulátoru LPINT. ....	40
Obr. 3.2: Ideální průběhy signálů ref_ok a vint_ok v závislosti na napětí $V_{INT}$ . ....	42
Obr. 3.3: Symbol rezistorového děliče LPINT_RDIV. ....	44
Obr. 3.4: Zjednodušené funkční schéma jádra napěťového regulátoru LPINT. ....	46
Obr. 3.5: Schéma zapojení odporového děliče LPINT_RDIV. ....	49
Obr. 3.6: Zjednodušené funkční schéma napěťové a proudové reference pro periferie regulátoru LPINT. ....	50
Obr. 3.7: Zpracování signálu BG_OK_INT_B. ....	51
Obr. 3.8: Funkční schéma detekce POR. ....	52
Obr. 3.9: Omezovače napětí. (Ochrana vůči ESD.) ....	53
Obr. 3.10: Logické hradla tmd_lpbk. ....	53
Obr. 3.11: Spínače analogového testovacího režimu. ....	54
Obr. 3.12: Konfigurace smyčky REG při nulovém zatížení výstupu VINT. (Tranzistory v sepnutém stavu jsou vynechány.) ....	56
Obr. 3.13: Vznik nuly v přenosové funkci pomocí dvojice emitorových sledovačů. ....	57
Obr. 3.14: Simulovaná přenosová funkce smyčky REG při nulovém zatížení výstupu VINT. ....	57
Obr. 3.15: Konfigurace smyčky REG při zatížení výstupu VINT proudem 4 mA. (Tranzistory v sepnutém stavu jsou vynechány.) ....	58
Obr. 3.16: Vznik nuly přenosu při spojení zesilovače a emitorového sledovače. ....	59
Obr. 3.17: Simulovaná přenosová funkce regulační smyčky REG při výstupním proudu $I_{load} = 4mA$ . ....	59

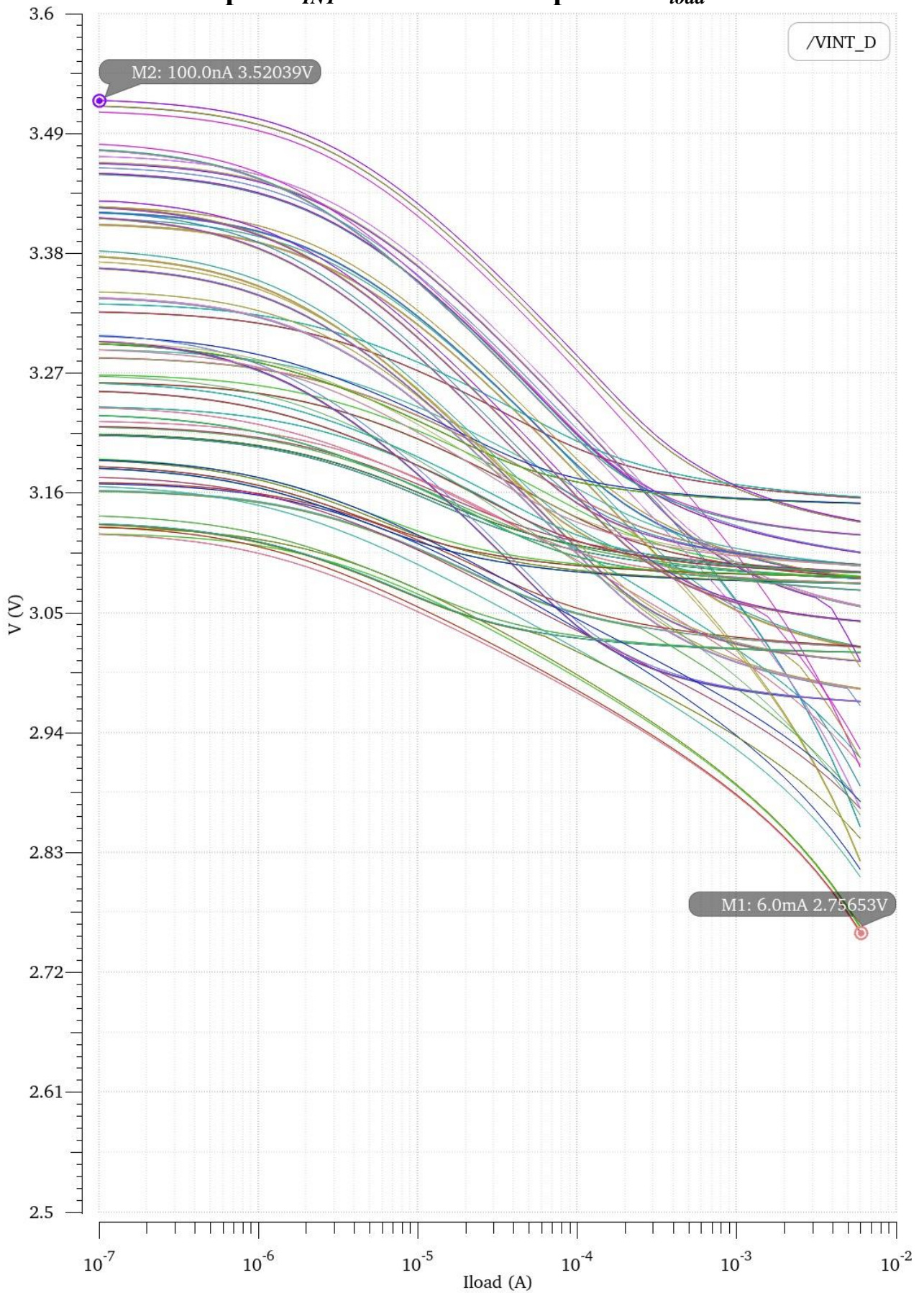
Obr. 3.18: Simulovaná přenosová funkce smyčky REG při aktivním signálu reg_lowout a nulovém zatížení výstupu VINT. ....	60
Obr. 3.19: Detail smyčky REF. ....	61
Obr. 3.20: Simulovaná přenosová funkce smyčky REF.....	62
Obr. 3.21: Schematické znázornění parazitního kapacitního děliče vytvářející nulu přenosové funkce. ....	62
Obr. 3.22: Simulovaný podkmit výstupního napětí $V_{INT}$ a napětí $V_{Cgate}$ při změně výstupního proudu $I_{load}$ z 100 $\mu$ A na 4 mA. ....	63
Obr. 3.23: Simulovaný překmit výstupního napětí $V_{INT}$ a napětí $V_{Cgate}$ při změně výstupního proudu $I_{load}$ z 4 mA na 100 $\mu$ A. ....	64
Obr. 3.24: Pohled na vygenerovaný protokol z výsledků transienční simulace tranFunc__M40_175. ....	66
Obr. 3.25: Definice prahových napětí POR signálu. ....	67
Obr. 3.26: Znázornění požadavku na layout odporového děliče LPINT_RDIV z jeho schématu. ....	69
Obr. 3.27: Požadavek na layout bloku LPINT_RDIV_RES_stripe vytvořeného z rezistoru typu rppolyhr_sn. ....	69
Obr. 3.28: Požadavek na layout bloku LPINT_RDIV_RES skládající se z pětice rezistorů typu rppolyhr_sn.....	70
Obr. 3.29: Požadavek na layout rezistoru $R_3$ s přílehlými rezistory $R_{3\_D1}$ a $R_{3\_D2}$ .....	70
Obr. 3.30: Požadavek na layout proudového zrcadla $MP_1$ .....	70
Obr. 3.31: Požadavek na layout referenční struktury s depletičními tranzistory (NVT structure). ....	71
Obr. 3.32: Požadavek na celkový layout napěťového regulátoru LPINT. ....	71
Obr. 3.33: Hotový layout napěťového regulátoru LPINT bez zobrazených struktur prvků.....	72
Obr. 3.34: Hotový layout napěťového regulátoru LPINT se zobrazenými všemi vrstvami. ....	72

# SEZNAM PŘÍLOH

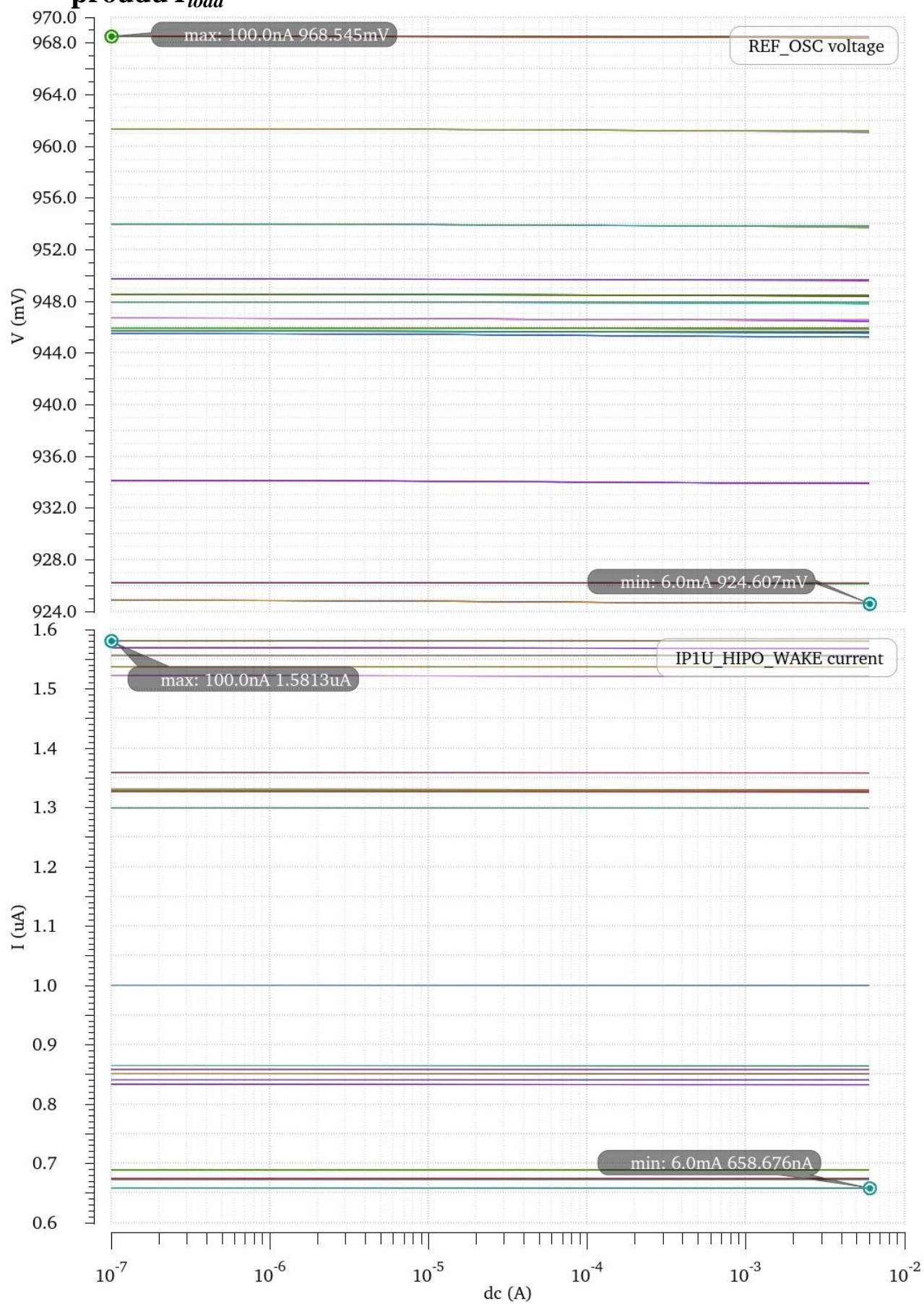
<b>A</b>	<b>výsledky simulací.....</b>	<b>82</b>
A.1	Závislost napětí $V_{INT}$ na zatěžovacím proudu $I_{load}$ .....	82
A.2	Závislost napětí REF_OSC a proudu IP1U_HIPO_WAKE na proudu $I_{load}$ .....	83
A.3	Závislost napětí $V_{INT}$ , REF_OSC, uzlu VINT_REG_OK_I a proudu IP1U_HIPO_WAKE na napětí $V_S$ .....	84
A.4	Průběh napětí $V_{INT}$ , COMP, FB0V95, reg_lowout a proudu $I_{load}$ v závislosti na čase .....	85
A.5	Průběh napětí $V_{INT}$ , REF_OSC, reg_lowout, proudu IP1U_HIPO_WAKE a $I_{load}$ v závislosti na čase .....	86
A.6	Průběh napětí $V_{INT}$ , REF_OSC, reg_lowout, proudu tranzistorem MPJFET ( $I_{ref\_GATE}$ ), proudové spotřeby $I_{cons}$ a $I_{load}$ v závislosti na čase .....	87
A.7	Výsledek simulace Monte Carlo ustálené hodnoty napětí $V_{INT}$ při proudu $I_{load} = 0$ A a 6 mA.....	88
A.8	Výsledek simulace Monte Carlo vlastní spotřeby $I_{CONS}$ při proudu $I_{load} = 0$ A a 6 mA.....	89
A.9	Vyšetřování prahových napětí signálu ref_ok a vint_ok pomocí dlouhé transientní simulace při proudech $I_{load} = 0$ A a 6 mA při nominálních podmínkách .....	90
A.10	Vyšetřování prahových napětí signálu ref_ok a vint_ok pomocí dlouhé transientní simulace při proudech $I_{load} = 0$ A a 6 mA. ....	91
A.11	Přenosová funkce smyčky REG při reg_lowout = 0.....	92
A.12	Přenosová funkce smyčky REG za teploty -40 °C při reg_lowout = log.193	
A.13	Přenosová funkce smyčky REG za teploty 175 °C při reg_lowout = log.1 .....	93
A.14	Simulace výstupního šum zapojení LPINT.....	94
<b>B</b>	<b>Symbole a schémata .....</b>	<b>95</b>
B.1	RD7Gg2_LPINT .....	95
B.2	RD7Gg2_LPINT_RDIV .....	95
B.3	RD7Gg2_LPINT_RDIV_RES .....	96
B.4	RD7Gg2_LPINT_RDIV_RES_stripe .....	96

# A VÝSLEDKY SIMULACÍ

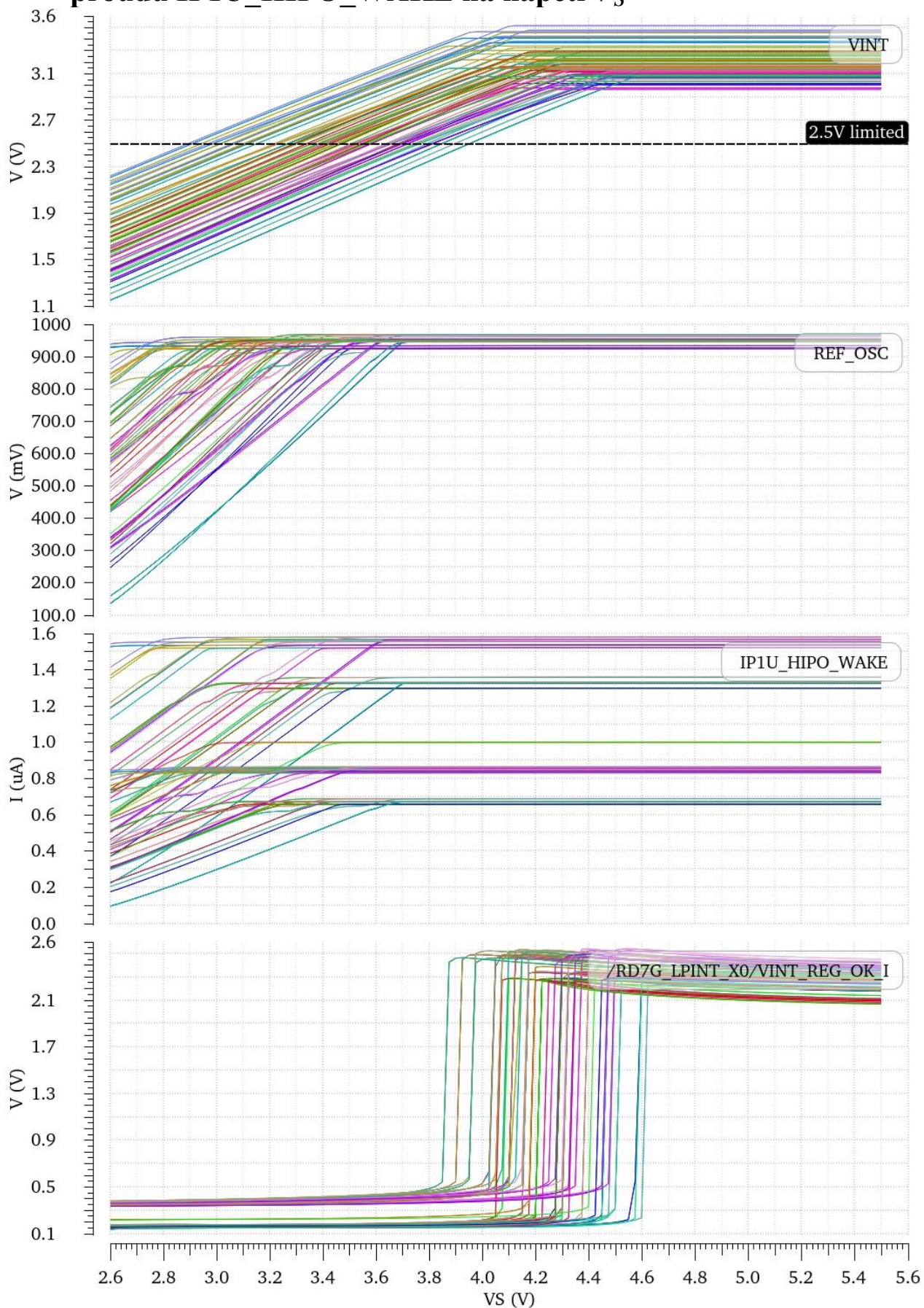
## A.1 Závislost napětí $V_{INT}$ na zatěžovacím proudu $I_{load}$



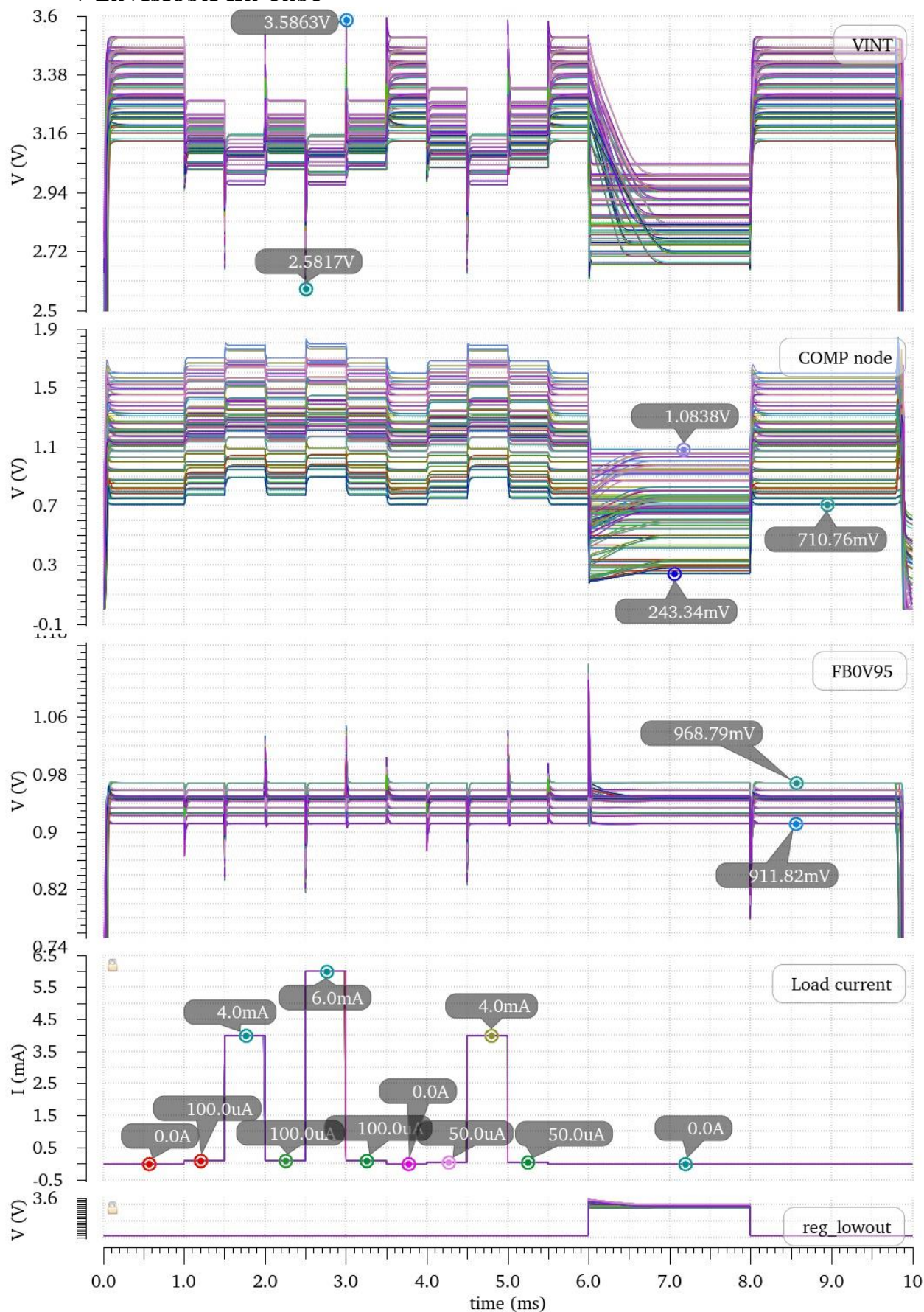
## A.2 Závislost napětí REF\_OSC a proudu IP1U\_HIPO\_WAKE na proudu $I_{load}$



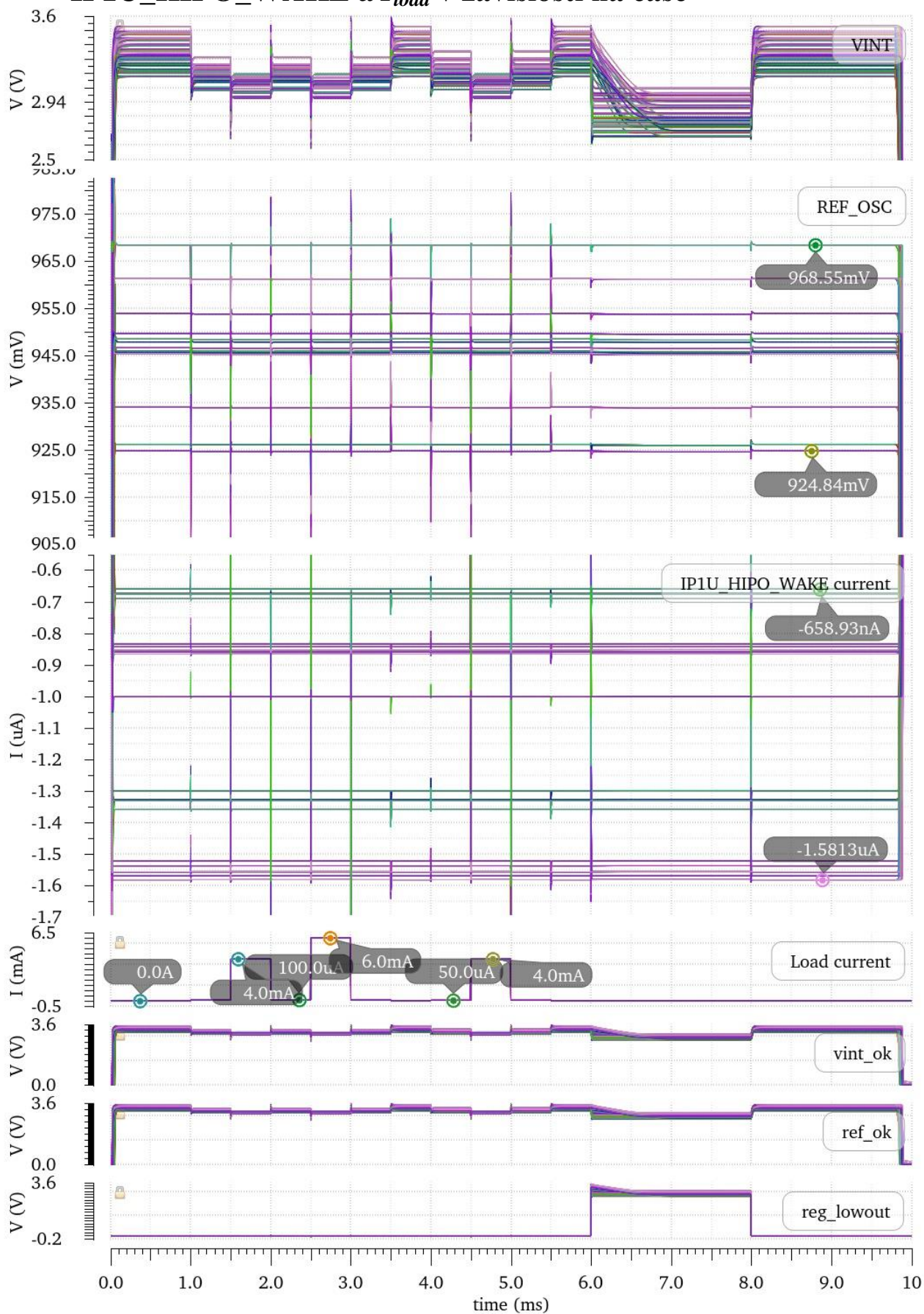
### A.3 Závislost napětí $V_{INT}$ , REF\_OSC, uzlu VINT\_REG\_OK\_I a proudu IP1U\_HIPO\_WAKE na napětí $V_S$



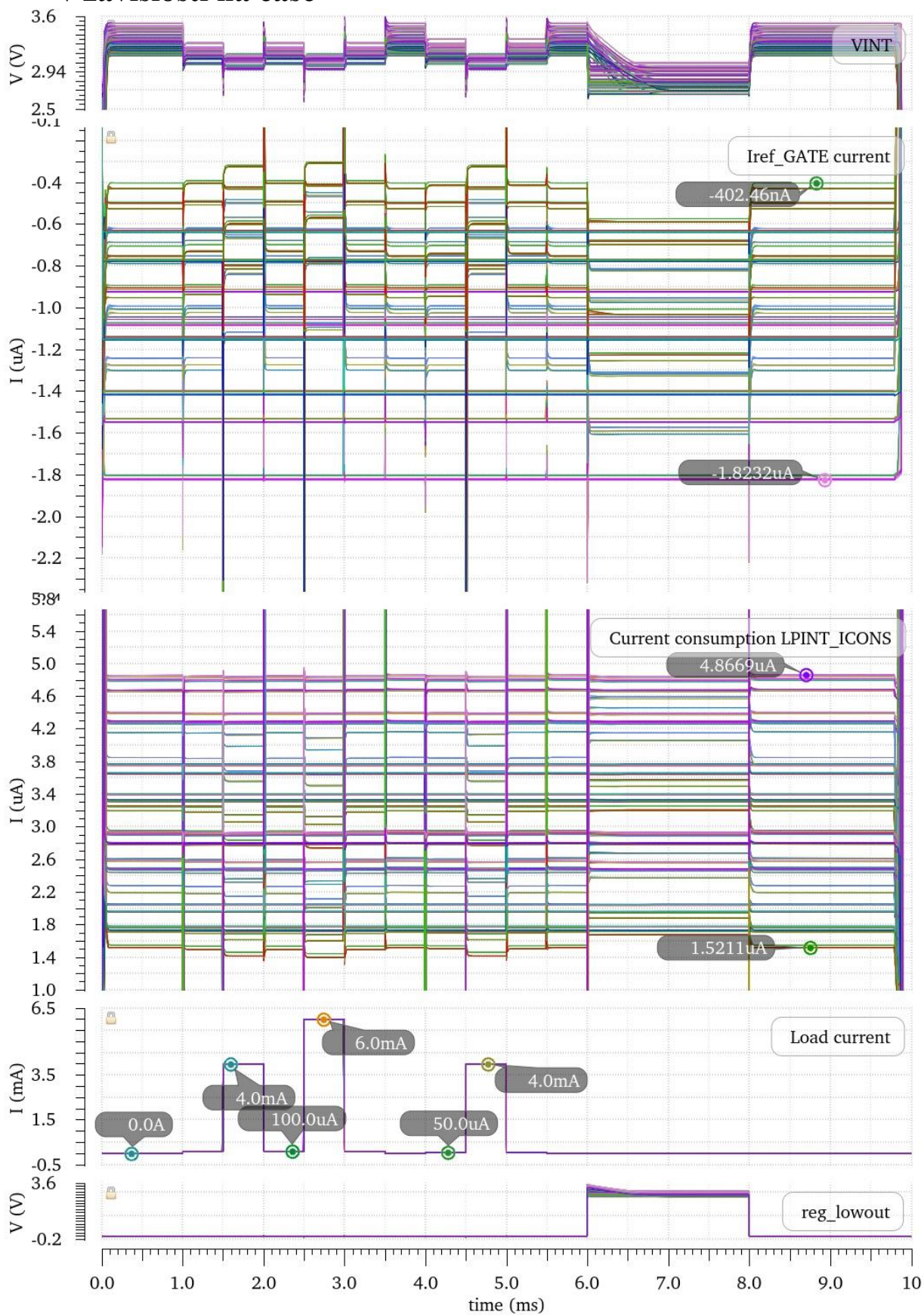
## A.4 Průběh napětí $V_{INT}$ , COMP, FB0V95, reg\_lowout a proudu $I_{load}$ v závislosti na čase



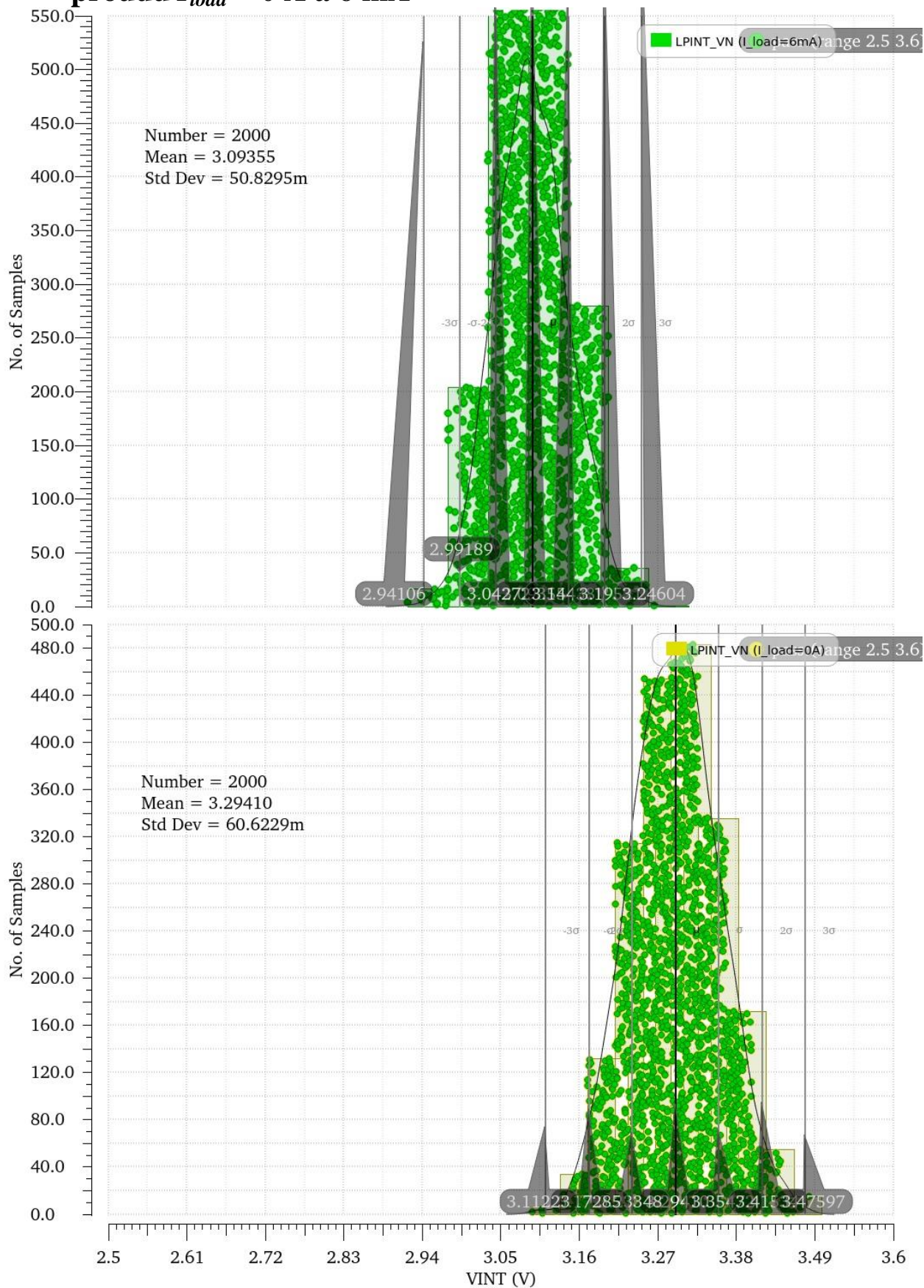
## A.5 Průběh napětí $V_{INT}$ , REF\_OSC, reg\_lowout, proudu IP1U\_HIPO\_WAKE a $I_{load}$ v závislosti na čase



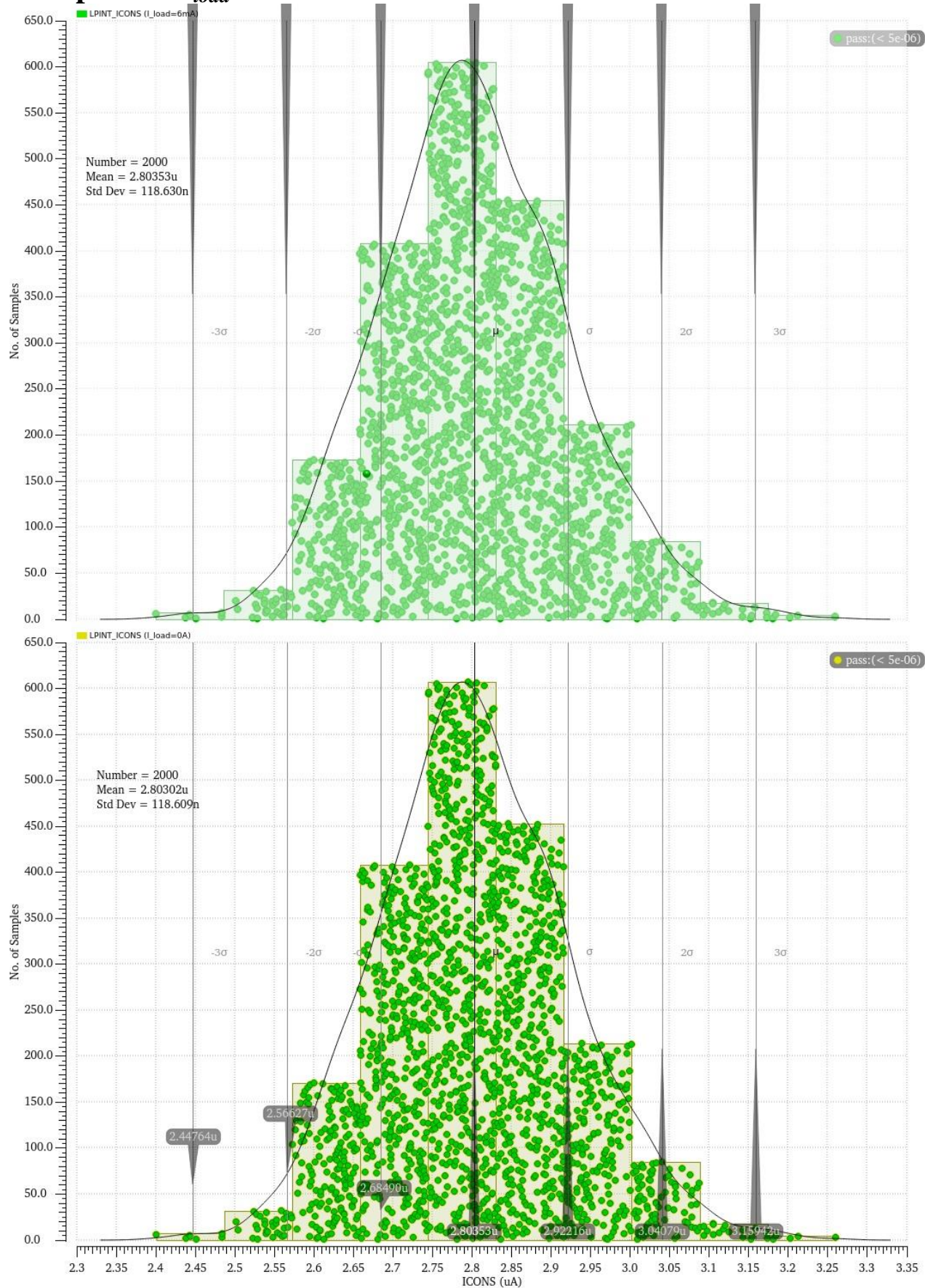
## A.6 Průběh napětí $V_{INT}$ , REF\_OSC, reg\_lowout, proudu tranzistorem MPJFET ( $I_{ref\_GATE}$ ), proudové spotřeby $I_{cons}$ a $I_{load}$ v závislosti na čase



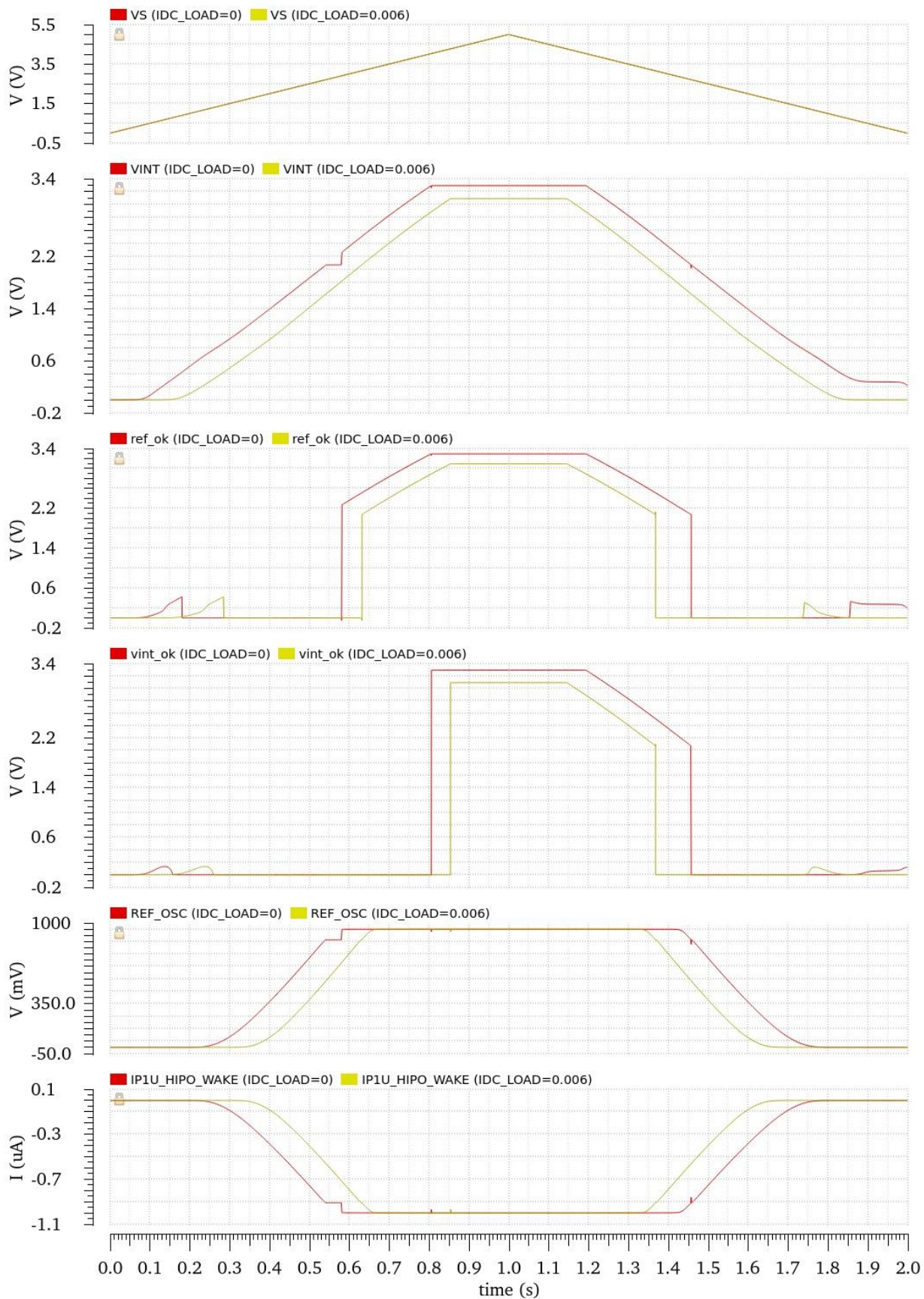
## A.7 Výsledek simulace Monte Carlo ustálené hodnoty napětí $V_{INT}$ při proudu $I_{load} = 0$ A a 6 mA



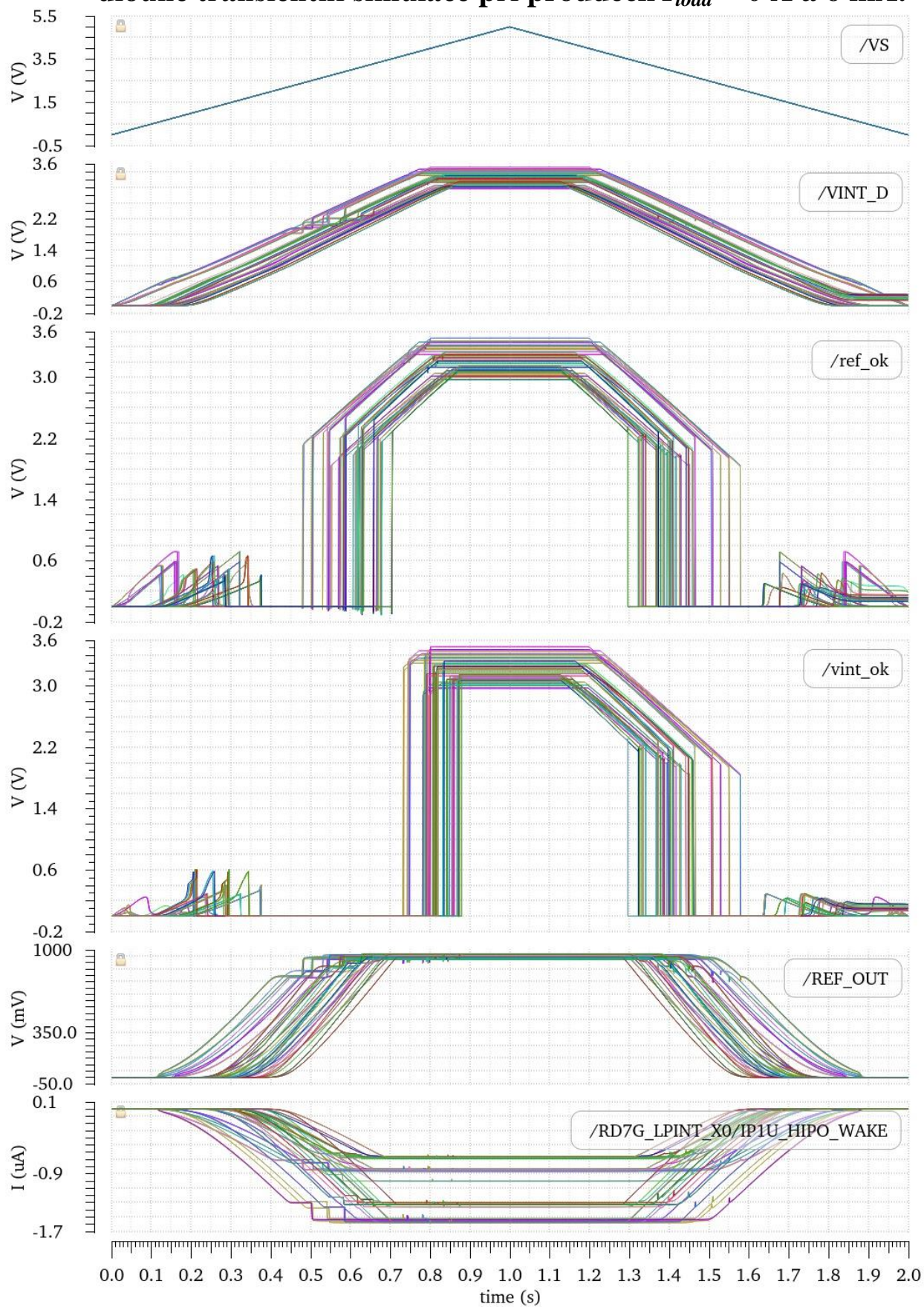
## A.8 Výsledek simulace Monte Carlo vlastní spotřeby $I_{CONS}$ při proudu $I_{load} = 0$ A a 6 mA



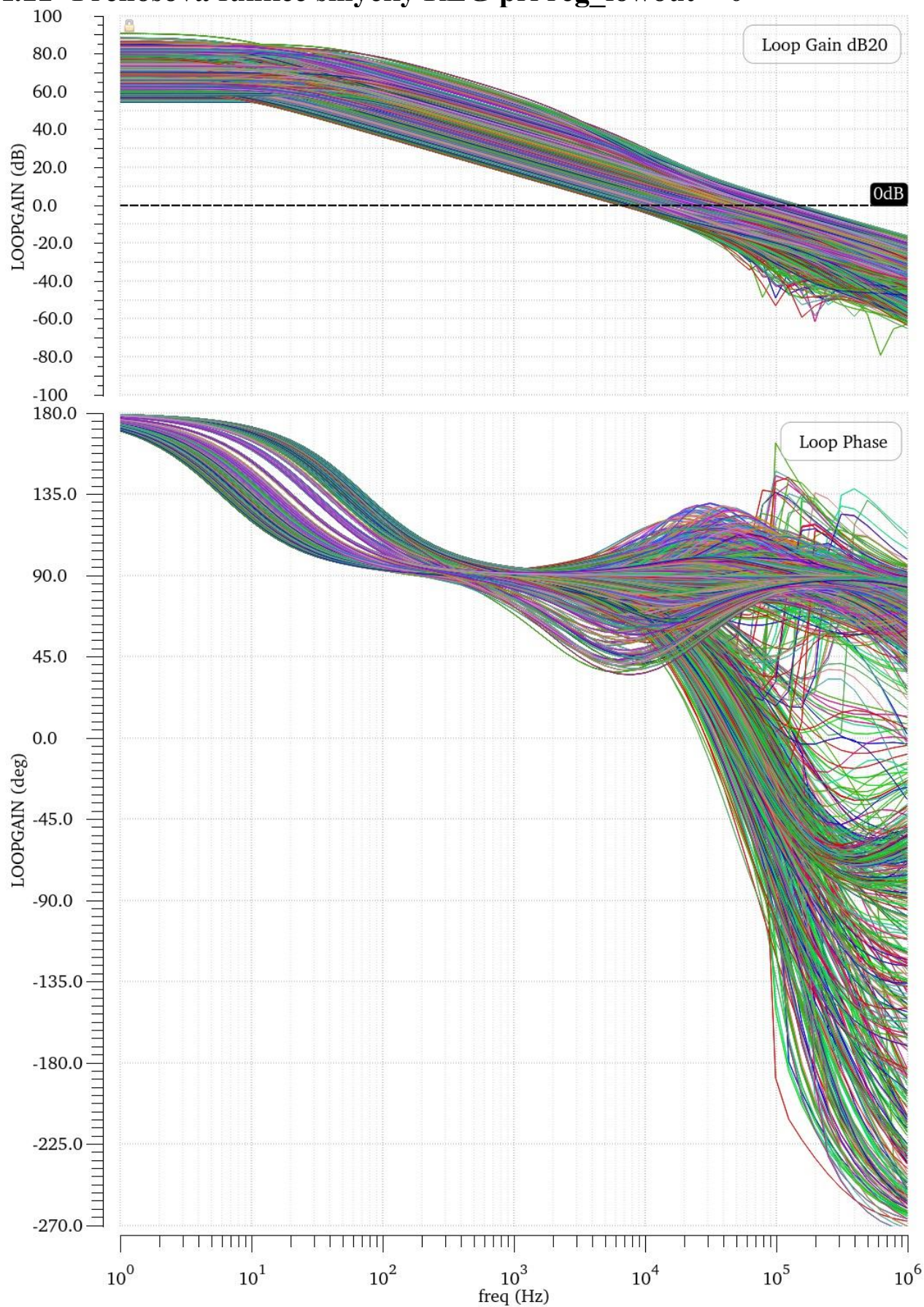
## A.9 Vyšetřování prahových napětí signálu `ref_ok` a `vint_ok` pomocí dlouhé transienční simulace při proudech $I_{load} = 0$ A a 6 mA při nominálních podmínkách



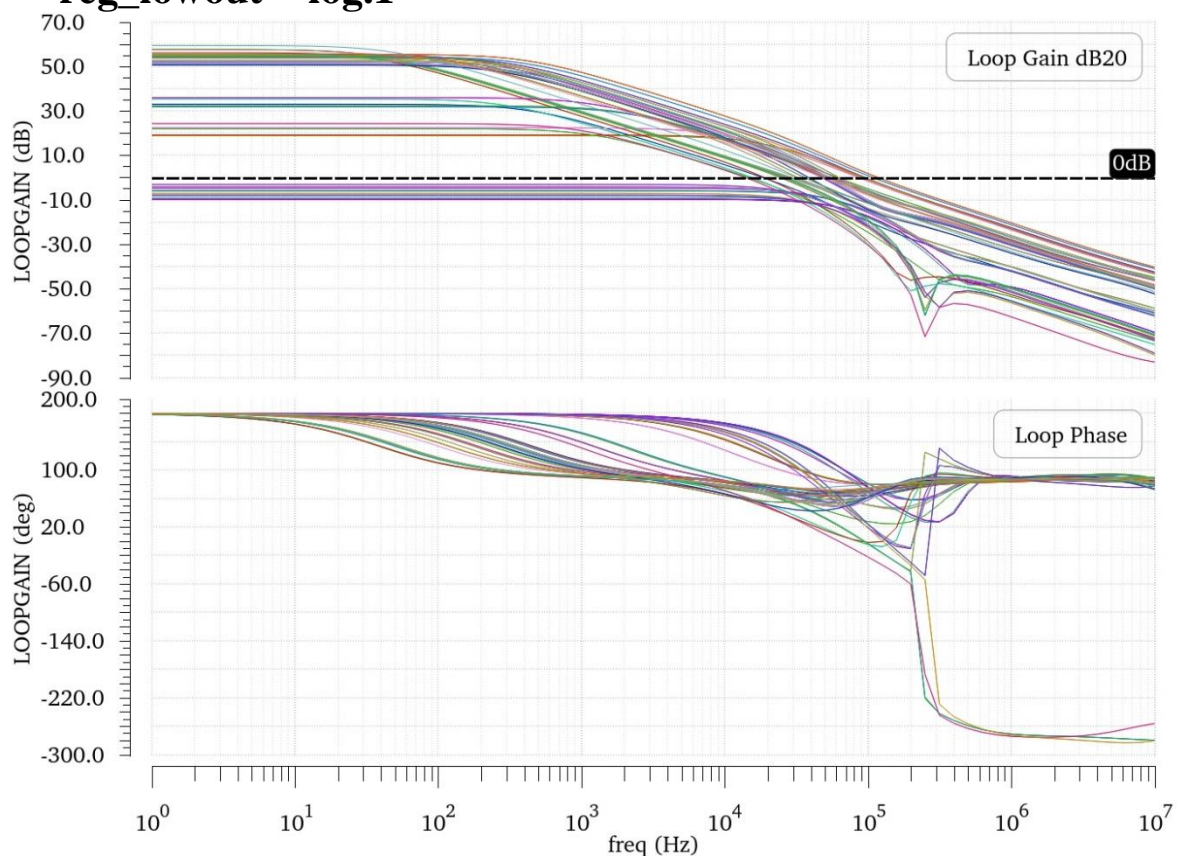
## A.10 Vyšetřování prahových napětí signálu `ref_ok` a `vint_ok` pomocí dlouhé transienční simulace při proudech $I_{load} = 0\text{ A}$ a $6\text{ mA}$ .



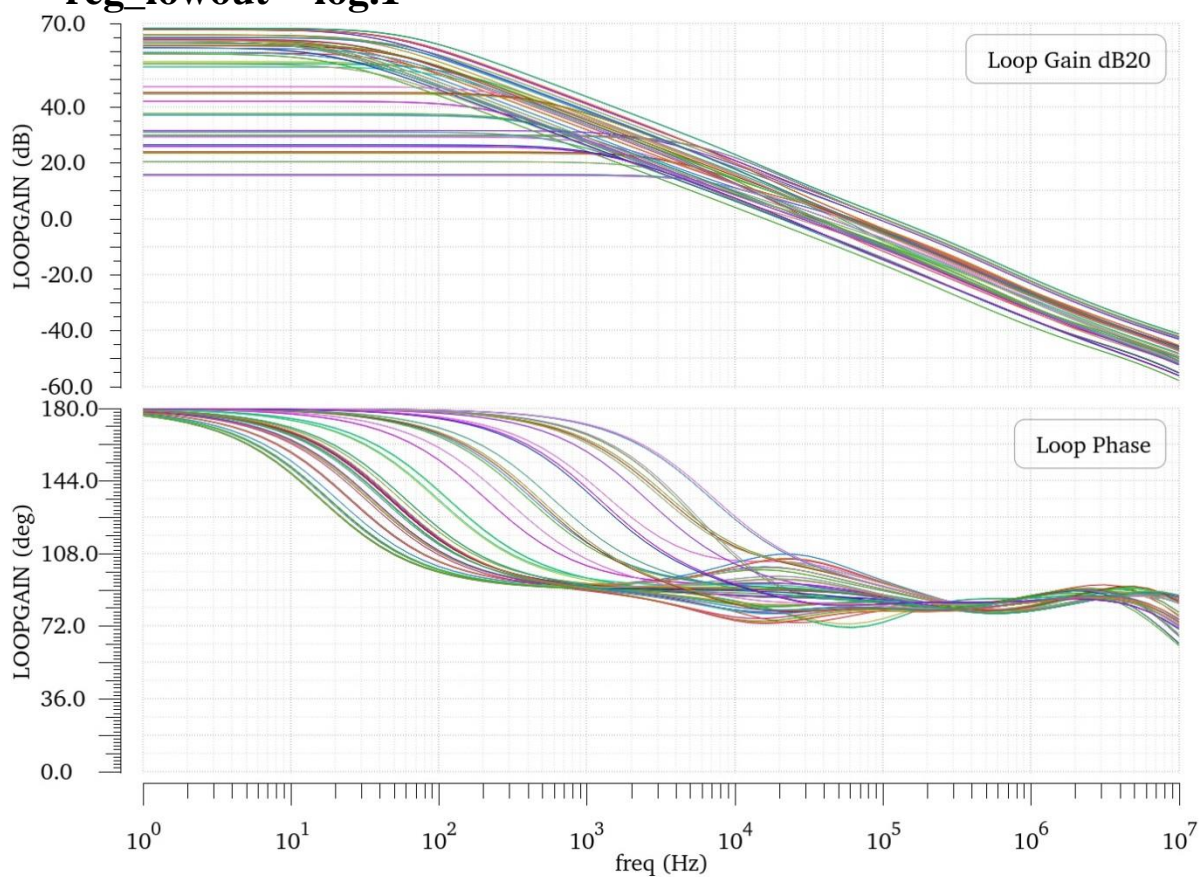
### A.11 Přenosová funkce smyčky REG při reg\_lowout = 0



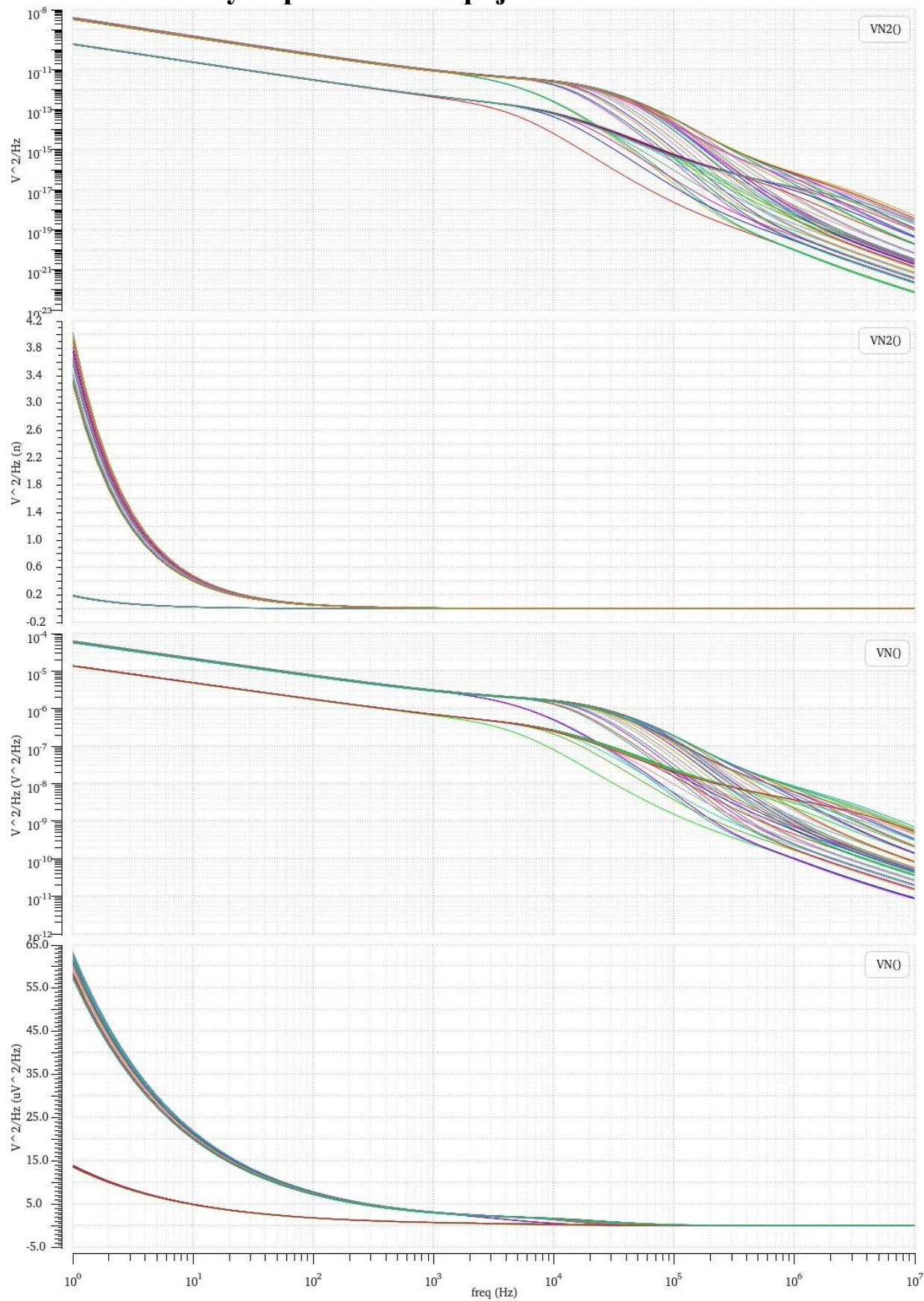
### A.12 Přenosová funkce smyčky REG za teploty -40 °C při reg\_lowout = log.1



### A.13 Přenosová funkce smyčky REG za teploty 175 °C při reg\_lowout = log.1

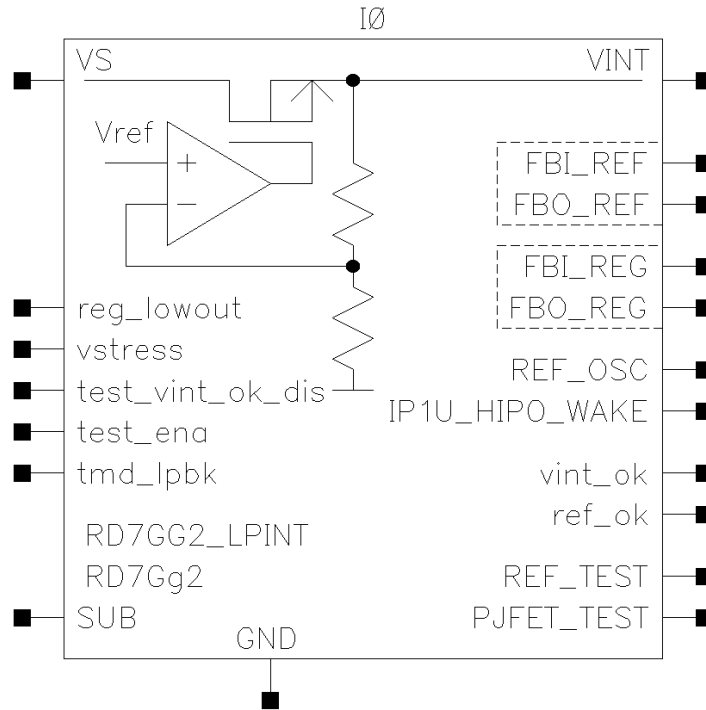


# A.14 Simulace výstupního šum zapojení LPINT

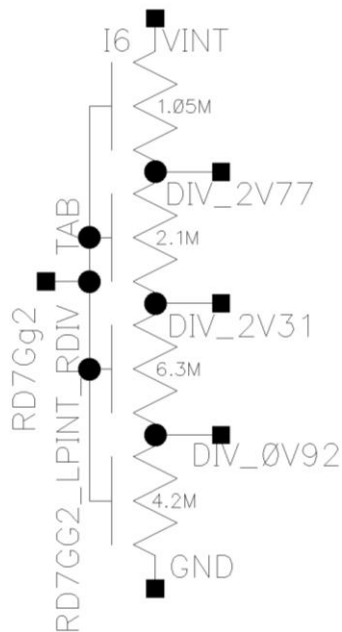


# B SYMBOLY A SCHÉMATA

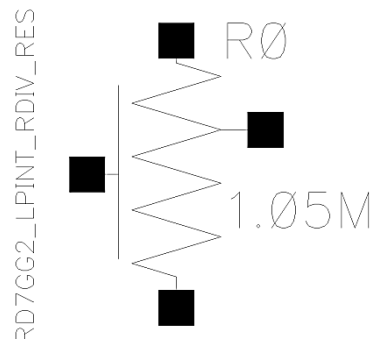
## B.1 RD7Gg2\_LPINT



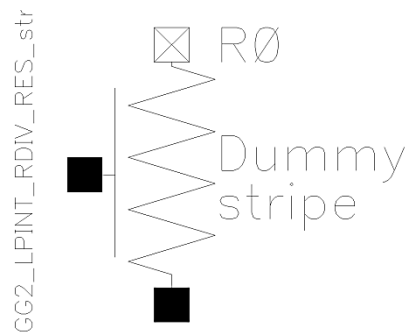
## B.2 RD7Gg2\_LPINT\_RDIV

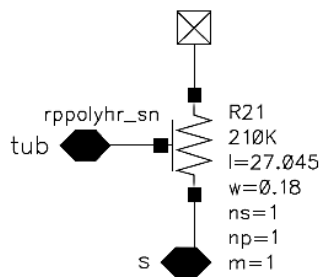


### B.3 RD7Gg2\_LPINT\_RDIV\_RES

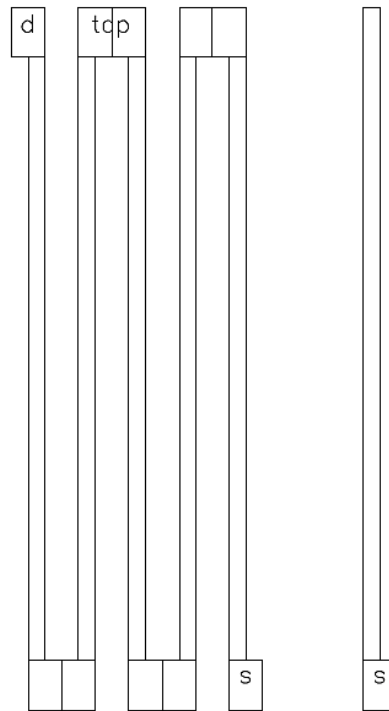


### B.4 RD7Gg2\_LPINT\_RDIV\_RES\_stripe

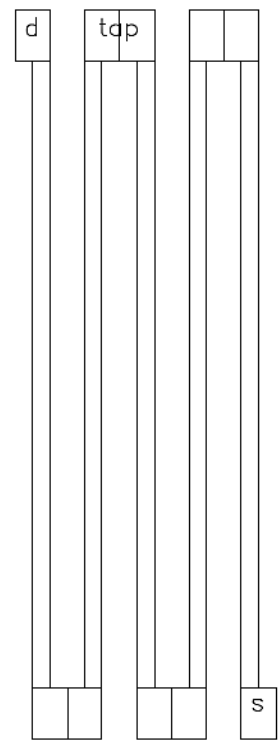
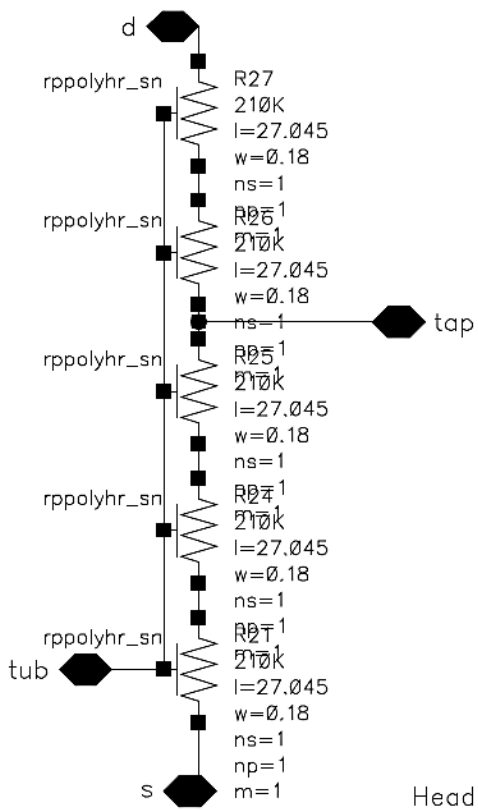




RDIV\_RES cell      RDIV\_RES\_stripe  
Dummy cell

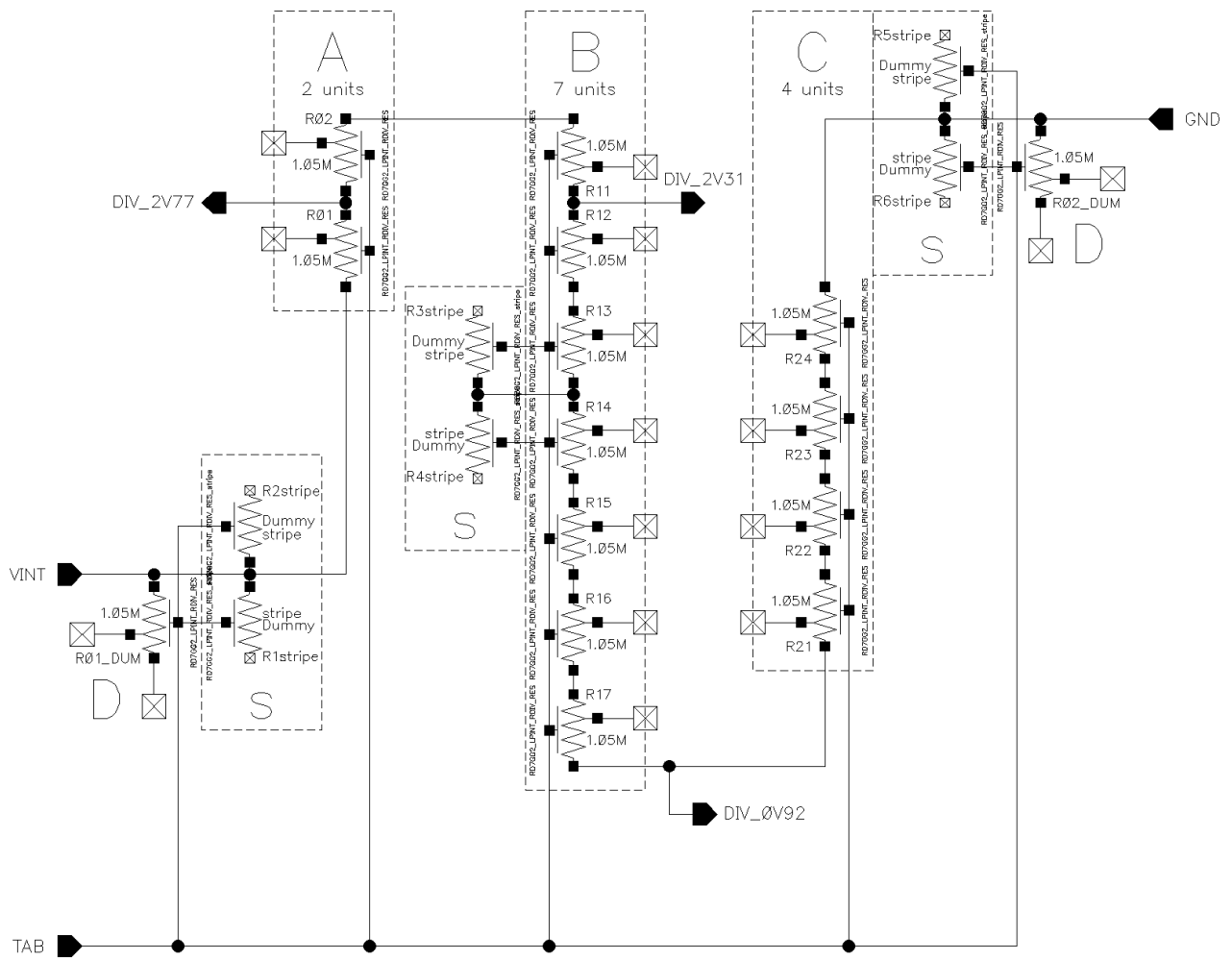


		APG Business Unit Brno Design Center		
PROJECT NAME RD7Gg2		BLOCK NAME RD7GG2_LPINT_RDIV_RES_stri		
LIBRARY RD7Gg2	MASK SET # rd7gg2	PROCESS REVISION onc18gen2_1_3	PART NUMBER N/A	
CREATION DATE Apr 23 2019	DATE LAST CHANGED Apr 23 2019	REV 3	COPYRIGHT ON Semiconductor 2019	DRAWN BY zbggzv



Heads can overlap,  
distance between fingers should be minimal

		APG Business Unit Brno Design Center	
PROJECT NAME RD7Gg2		BLOCK NAME RD7GG2_LPINT_RDIV_RES	
LIBRARY RD7Gg2	MASK SET # rd7gg2	PROCESS REVISION onc18gen2_1_3	PART NUMBER N/A
CREATION DATE Apr 3 2019	DATE LAST CHANGED Apr 10 2019	REV 5	DRAWN BY zbggzv
COPYRIGHT ON Semiconductor 2019			



nominal VINT=3V

DssBBBAAssCCCCBBBBssD

s -> stands for Dummy stripe res

<b>ON SEMICONDUCTOR</b>		APG Business Unit Brno Design Center	
PROJECT NAME RD7Gg2		BLOCK NAME RD7GG2_LPINT_RDIV	
LIBRARY RD7Gg2	MASK SET # rd7gg2	PROCESS REVISION onc18gen2_1_3	PART NUMBER N/A
CREATION DATE Apr 3 2019	DATE LAST CHANGED May 9 2019	REV 12	COPYRIGHT ON Semiconductor DRAWN BY zbggzv

Signal description:

test\_vint\_ok\_dis -> ignore internal VINT\_REG\_OK\_I signal so output vint\_ok = vbg\_ok

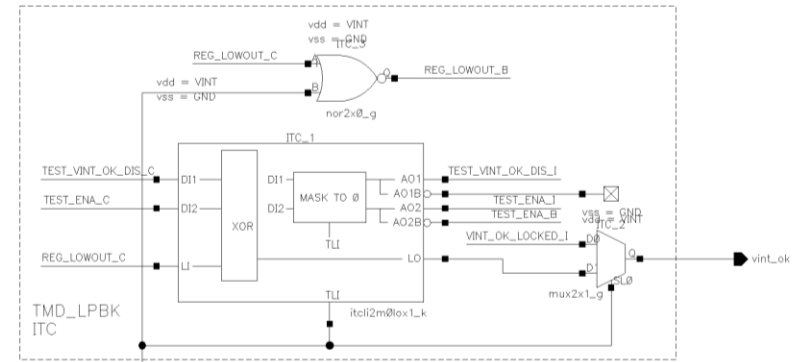
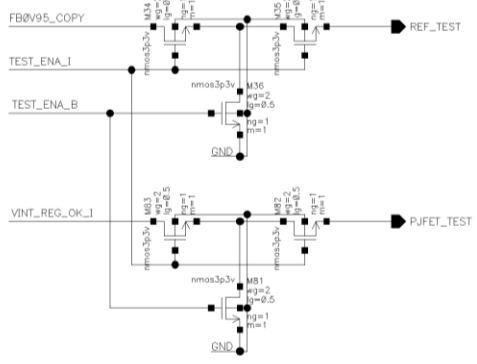
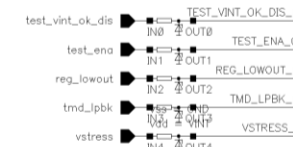
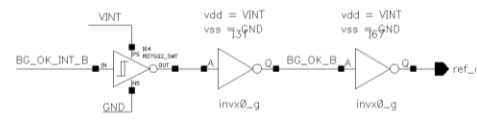
test\_ena -> connect BG\_TEST output with voltage reference 0.95V (0.9488 V)  
connect PJFET\_TEST output with internal node VINT\_REG\_OK\_I  
bias it with 0.5V to measure current of MPJFET

reg\_lowout -> lower the nominal VINT output voltage by 0.45V

tmd\_lpbk -> enables digital testing previously mentioned signals with output at vint\_ok

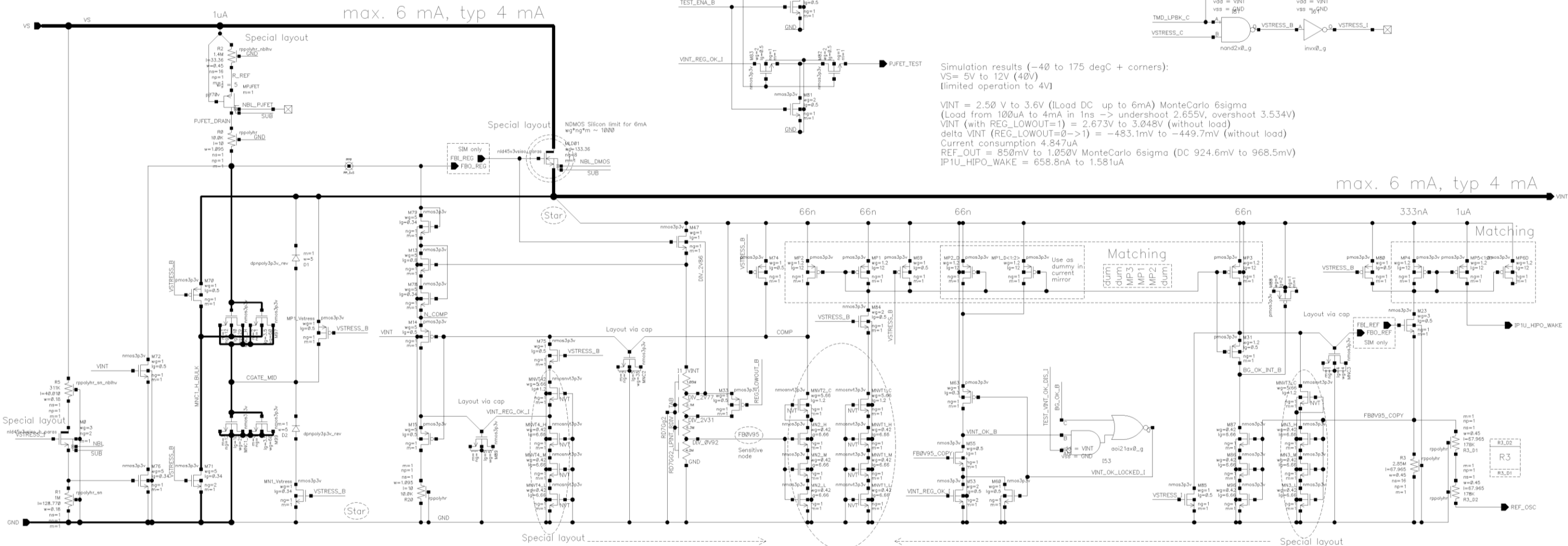
vstress -> connect devices with significantly large area of gate oxide between VINT\_D and GND  
and also powerdowning device so there will not be any power consumption from VINT\_D node

Voltage stress mode can not be activated without active tmpd\_lpbk



Simulation results (-40 to 175 degC + corners):  
VS= 5V to 12V (40V)  
(limited operation to 4V)

VINT = 2.50 V to 3.6V (Iload DC up to 6mA) MonteCarlo 6sigma  
(Load from 100uA to 4mA in 1ns -> undershoot 2.655V, overshoot 3.534V)  
VINT (with REG\_LOWOUT=1) = 2.673V to 3.048V (without load)  
delta VINT (REG\_LOWOUT=0->1) = -483.1mV to -449.7mV (without load)  
Current consumption 4.847uA  
REF\_OUT = 850mV to 1.050V MonteCarlo 6sigma (DC 924.6mV to 968.5mV)  
IP1U\_HIPO\_WAKE = 658.8nA to 1.581uA



max. 6 mA, typ 4 mA

max. 6 mA, typ 4 mA

Layout description:  
MN2\_H, MN2\_M, MN2\_L, MN3\_H, MN3\_M, MN3\_L transistors have to be outside of nrsrcf because of matching with NVTs.  
Matching structure also has to be in PWELL ring  
Structure must not be near DTI.

R2, R5 and M0 should be far from NVTs structure (VS influence).

Path from MNC1\_H to MLD1 should be minimal.

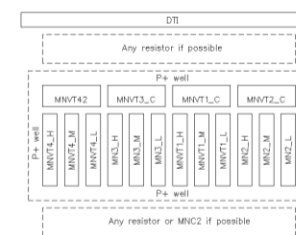
Star connection of control circuit (to VINT\_D and GND)

PJFET in separated pocket. Must be near block edge.  
Better to be surrounded pockets with biased NBLHV.

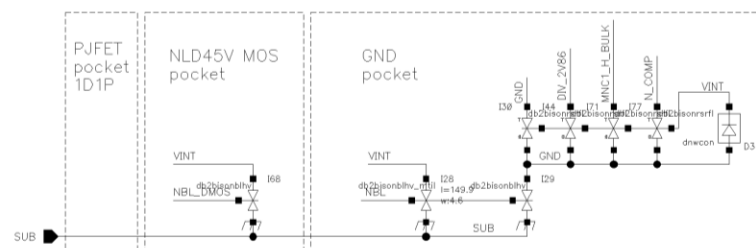
MLD01 in separated pocket + PN ring around

Node FB0V95 is sensitive.

Suggested layout



Distanced from DTI from every direction.



SEMICONDUCTOR		APG Business Unit Brno Design Center	
PROJECT NAME rd7gg2	BLKDY NAME RD7GG2_LPINT	DATE Apr 4 2019	DESIGNED BY zbgqzv
DESIGNER rd7gg2	DATE LAST CHANGED May 28 2019	PROCESS REVISION onc18gen2_1_3	PART NUMBER N/A
CREATION DATE Apr 4 2019	DATE LAST CHANGED May 28 2019	REV 31	DRAWN BY zbgqzv