



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY

A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

NÁVRH VÍCEÚČELOVÉHO GENERÁTORU SIGNÁLŮ NÍZKOFREKVENČNÍCH I VYSOKOFREKVENČNÍCH DÍLČÍCH PÁSEM

DESIGN OF MULTIPURPOSE GENERATOR OF LOW- AND HIGH-FREQUENCY SUB-BANDS

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

Dominik Caban

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Roman Šotner, Ph.D.

BRNO 2023

Bakalářská práce

bakalářský studijní program **Elektronika a komunikační technologie**

Ústav radioelektroniky

Student: Dominik Caban

ID: 230232

Ročník: 3

Akademický rok: 2022/23

NÁZEV TÉMATU:

Návrh víceúčelového generátoru signálů nízkofrekvenčních i vysokofrekvenčních dílčích pásem

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s principem moderních DDS a RF generátorů a navrhnete systém zdroje signálů (tvarové kmity od velmi nízkých kmitočtů nejméně do 1 MHz s amplitudou nejméně 4 V, RF výkon více jak 10 dBm v pásmu 100-800 MHz) napájeného vlastním akumulátorem s výdrží nejméně 4 hodiny. Připravte blokovou strukturu a návrh jednotlivých bloků. Návrh analogových částí podpořte ověřením simulacemi. Vytvořte konstrukční podklady celého zařízení.

Sestrojte funkční prototyp s uživatelsky přívětivým ovládacím rozhraním (zobrazovací displej a ovládání tlačítka). Provedte sérii typických ověřovacích měření a porovnejte výsledky s předpoklady.

DOPORUČENÁ LITERATURA:

[1] HOROWITZ P., HILL, W., The Art of Electronics - third Edition. Cambridge University Press; 3rd edition (30 Mar. 2015). ISBN 978-0-521-80926-9.

[2] ZUMBAHLEN H., Linear Circuit Design Handbook. Published by Newnes/Elsevier, 2008. ISBN 978-0-7506-8703-4.

Termín zadání: 6.2.2023

Termín odevzdání: 29.5.2023

Vedoucí práce: doc. Ing. Roman Šotner, Ph.D.

doc. Ing. Lucie Hudcová, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Bakalárska práca sa zameriava na problematiku generovania harmonických a neharmonických priebehov signálov v nízkofrekvenčnej a vysokofrekvenčnej oblasti. Cieľom práce bolo navrhnuť a zrealizovať prototyp viacúčelového prenosného generátora signálov napájaného vlastným akumulátorom. Návrh je zameraný na implementáciu generátora funkcií, vysokofrekvenčného generátora a generátora impulzov s Gaussovskou charakteristikou v rámci jedného prenosného zariadenia. V práci je popísaný úvod do problematiky signálových generátorov, výber jednotlivých komponentov, postup pri návrhu jednotlivých obvodov a ich následná hardvérová implementácia, či už v rámci vývojového kitu alebo finálneho produktu.

KLÚČOVÉ SLOVÁ

Prenosný generátor signálov, DDS, PLL, XOR, LVDS, LVPECL, RASPBERRY Pi Pico, USB-C PD 3.0, Li-Ion

ABSTRACT

The thesis focuses on the generation of harmonic and non-harmonic waveforms in the low and high-frequency domains. The thesis aims to design and implement a portable multi-purpose signal generator with a user interface powered by its own battery. The design focuses on the implementation of a function generator, a high-frequency generator, and a pulse generator with Gaussian characteristics within a single portable device. The thesis describes an introduction to signal generators, the selection of the individual components, the design procedure for each circuit, and their subsequent hardware implementation either within the development kit or the final product.

KEYWORDS

Portable signal generator, DDS, PLL, XOR, LVDS, LVPECL, RASPBERRY Pi Pico, USB-C PD 3.0, SEPIC, Li-Ion

CABAN, Dominik. *Návrh víceúčelového generátoru signálů nízkofrekvenčních i vysokofrekvenčních dílčích pásem*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2022, 111 s. Bakalárska práca. Vedúci práce: doc. Ing. Roman Šotner, Ph.D.

Vyhlásenie autora o pôvodnosti diela

Meno a priezvisko autora: Dominik Caban
VUT ID autora: 230232
Typ práce: Bakalárska práca
Akademický rok: 2022/23
Téma záverečnej práce: Návrh víceúčelového generátoru signálů nízkofrekvenčních i vysokofrekvenčních dílčích pásem

Vyhlasujem, že svoju záverečnú prácu som vypracoval samostatne pod vedením vedúcej/cého záverečnej práce, s využitím odbornej literatúry a ďalších informačných zdrojov, ktoré sú všetky citované v práci a uvedené v zozname literatúry na konci práce.

Ako autor uvedenej záverečnej práce ďalej vyhlasujem, že v súvislosti s vytvorením tejto záverečnej práce som neporušil autorské práva tretích osôb, najmä som nezasiahol nedovoleným spôsobom do cudzích autorských práv osobnostných a/alebo majetkových a som si plne vedomý následkov porušenia ustanovenia § 11 a nasledujúcich autorského zákona Českej republiky č. 121/2000 Sb., o práve autorskom, o právach súvisiacich s právom autorským a o zmene niektorých zákonov (autorský zákon), v znení neskorších predpisov, vrátane možných trestnoprávných dôsledkov vyplývajúcich z ustanovenia časti druhej, hlavy VI. diel 4 Trestného zákonníka Českej republiky č. 40/2009 Sb.

Brno

.....

podpis autora*

*Autor podpisuje iba v tlačenej verzii.

POĎAKOVANIE

Rád by som sa chcel poďakovať vedúcemu bakalárskej práce pánovi doc. Ing. Romanovi Šotnerovi, Ph.D., za odborné vedenie, konzultácie a podnetné návrhy k práci. Taktiež by som sa chcel poďakovať konzultantovi práce pánovi Ing. Matúšovi Luhovému za umožnenie realizácie tejto práce prostredníctvom spoločnosti Deftech. a.s. a za cenné rady počas formálneho spracovania práce. V neposlednom rade by som sa chcel poďakovať mojej rodine a priateľom za podporu počas vypracovávaní tejto práce.

Obsah

Úvod	12
1 Problematika signálových generátorov	13
1.1 Základné rozdelenie generátorov signálov	13
1.1.1 Fázový záves (PLL)	14
1.1.2 Fázový frekvenčný detektor (PFD)	14
1.1.3 Filter slučky (LPF)	15
1.1.4 Základný princíp PLL	15
1.2 Priama číslicová syntéza (DDS)	17
1.2.1 Základný princíp DDS	17
1.2.2 Fázový akumulátor	17
1.2.3 DA Prevodník	18
1.2.4 Rekonštrukčný filter	19
2 Problematika napájania generátora	20
2.1 DC/DC meniče	20
2.1.1 Lineárne regulátory	20
2.1.2 SEPIC Regulátor	20
2.1.3 USB-C PD	21
3 Teória fungovania prenosného generátora	24
4 Návrh hardvéru	28
4.1 Napájanie generátora	28
4.1.1 USB-C PD	28
4.1.2 Nabíjací obvod	29
4.1.3 SEPIC + LDO	29
4.1.4 Návrh DPS pre sekciu napájania	31
4.2 Vysokofrekvenčný generátor	31
4.2.1 PLL syntetizátor	31
4.2.2 Balun	32
4.2.3 Attenuátor	32
4.2.4 Výstupný filter	33
4.2.5 Generátor hodinového signálu pre DDS	33
4.3 Generátor priebehov	34
4.3.1 Obvod DDS	34
4.3.2 Rekonštrukčný filter	35
4.3.3 Výstupné zosilnenie	37

4.4	Generátor Gaussovských pulzov	38
4.4.1	Výstupný filter	39
4.5	Analógový frontend	41
4.5.1	Trigger	41
4.5.2	LNA	41
4.5.3	VF Prepínače	41
4.6	Riadiaca časť	41
4.6.1	Displej	42
4.6.2	GPIO expandér	42
4.7	Návrh DPS	42
5	Integrácia firmvéru	44
5.1	Napájanie	44
5.2	PLL	45
5.2.1	Attenuátor	46
5.3	DDS	46
5.3.1	DAC	48
5.4	Používateľské rozhranie	48
6	Zhodnotenie dosiahnutých výsledkov	49
6.1	Výsledky meraní	49
6.1.1	Spotreba a maximálny výstupný výkon po USB zbernici	49
6.1.2	Vysokofrekvenčný generátor - PLL	50
6.1.3	Vysokofrekvenčný generátor - Výstupný výkon	50
6.1.4	Generátor pribehov - DDS	50
6.1.5	Generátor Gaussovských pulzov	50
6.2	Zostrojený prototyp	51
6.3	Návrhy na vylepšenie	51
6.3.1	Napájacie obvody	51
6.3.2	Generátor DDS	52
	Záver	53
	Literatúra	54
	Zoznam symbolov a skratiek	58
	Zoznam príloh	61

A	Výsledky jednotlivých meraní	62
A.1	Séria meraní v rámci USB-C PD protokolu	62
A.2	Vysokofrekvenčný generátor - PLL	63
A.2.1	Rozbor výstupného signálu vo frekvenčnej oblasti	63
A.2.2	Regulácia výkonu vysokofrekvenčného generátora	68
A.3	Generátor priebehov - DDS	70
A.3.1	Neharmonické priebehy	70
A.3.2	Harmonické priebehy	72
A.4	Generátor Gaussovských pulzov	75
B	Zostrojený prototyp	77
C	Vysokofrekvenčná časť	80
C.1	Navrhnutá schéma zapojenia	80
C.2	Výrobné podklady - návrh DPS	90
D	Výstupný filter z PLL	96
D.1	Navrhnutá schéma zapojenia	96
D.2	Výrobné podklady - návrh DPS	98
E	Riadenie	100
E.1	Navrhnutá schéma zapojenia	100
E.2	Výrobné podklady - návrh DPS	106
F	Obsah elektronickej prílohy	111

Zoznam obrázkov

1.1	Bloková schéma zapojenia Fázového závesu	14
1.2	Syntetizátor s neceločíselným deliacim pomerom.	16
1.3	Syntetizátor s celočíselným deliacim pomerom.	16
1.4	Zjednodušená interná štruktúra DDS syntetizátora.	17
1.5	Princíp fázového akumulátoru.	18
1.6	Aliasing v rámci spektra DDS syntetizátora	19
2.1	Typická štruktúra regulátora typu SEPIC.	21
2.2	Znázornenie USB-C PD napájania a typické blokové zapojenie PMS..	23
3.1	Blokové zapojenie vývojovej dosky – VF časť.	25
3.2	Blokové zapojenie vývojovej dosky – napájacia a riadiaca časť.	27
4.1	Návrh napájacej časti (vývojová doska) s vyznačením toku energie . .	30
4.2	Interná štruktúra obvodu ADF4351.	32
4.3	Interná štruktúra obvodu AD9102.	35
4.4	Charakteristika navrhnutého rekonštrukčného filtra.	36
4.5	Návrh DPS s implementáciou opozdovacej linky – 2D, 3D pohľad. . .	39
4.6	Idealizované časové priebehy na hradle MC100EP08.	39
4.7	Charakteristika navrhnutého Gaussovského filtra.	40
4.8	Navrhnutá DPS pre riadiacu a VF časť.	43
A.1	Podpora USB-C PD protokolu pre rôzne nabíjacie adaptéry.	62
A.2	Podpora USB-C PD protokolu pre externé spotrebiče.	62
A.3	Spektrum výstupného signálu z PLL pre 100 MHz.	63
A.4	Spektrum výstupného signálu z PLL pre 200 MHz.	64
A.5	Spektrum výstupného signálu z PLL pre 400 MHz.	65
A.6	Spektrum výstupného signálu z PLL pre 800 MHz.	66
A.7	Zmeraný fázový šum na výstupe z PLL, ($f_{out} = 200$ MHz, $f_{clk} =$ 100 MHz).	67
A.8	Výstupný výkon z VF generátora -4,5 dBm.	68
A.9	Výstupný výkon z VF generátora 0 dBm.	68
A.10	Výstupný výkon z VF generátora 3 dBm.	69
A.11	Výstupný výkon z VF generátora 16 dBm.	69
A.12	Signál píly s pozitývnou nábežnou hranou.	70
A.13	Signál píly s 50 % striedou.	70
A.14	Obdĺžnikový signál s 50 % striedou - amplitúda $1 V_{PP}$	71
A.15	Obdĺžnikový signál s 50 % striedou - maximálna amplitúda.	71
A.16	Harmonický signál s frekvenciou 1 Hz.	72
A.17	Harmonický signál s frekvenciou 2 Hz.	72
A.18	Harmonický signál s frekvenciou 500 kHz.	73

A.19	Harmonický signál s frekvenciou 2 MHz.	73
A.20	Zmeraný fázový šum na výstupe z DDS, ($f_{out} = 1$ kHz, $f_{clk} = 16,7$ MHz).	74
A.21	Periódá generovaných pulzov.	75
A.22	Nechcený záchvev výstupného signálu.	75
A.23	Priebeh Gaussovského pulzu na výstupe.	76
B.1	Render zostrojeného prototypu.	77
B.2	Realizácia zostrojeného prototypu.	77
B.3	Osadená doska DPS VF časti - pohľad z hora.	78
B.4	Osadená doska DPS VF časti - pohľad zo spodnej strany.	78
B.5	Osadená doska DPS Riadiacej časti - pohľad z hora.	79
B.6	Osadená doska DPS Riadiacej časti - pohľad zo spodnej strany.	79

Úvod

V súčasnosti existuje v rámci generovania signálov široké spektrum profesionálnych laboratórnych prístrojov schopných dodať používateľovi veľké množstvo typov signálov vrátane rôznych signálových modulácií. Avšak väčšina laboratórnych signálových generátorov, či už sa jedná o harmonické alebo neharmonické generátory, je zameraná len na generovanie špecifických typov signálov v závislosti napríklad od šírky pásma a výstupnej amplitúdy. Príkladom z praxe môže byť situácia, kedy používateľ potrebuje otestovať zariadenie v teréne. Pokiaľ by test vyžadoval osobitne generátor funkcií a vysokofrekvenčný generátor, bolo by potrebné disponovať dvomi pomerne rozmernými prístrojmi a taktiež, za predpokladu, že neobsahujú interný akumulátor, ich externe napájať. V tomto ohľade prichádza potreba na prenosný prístroj schopný v dostatočnej škále nahradiť niekoľko laboratórnych signálových generátorov.

V tejto práci je cieľom navrhnúť prenosné zariadenia umožňujúce generovať signály tromi rôznymi metódami. Prvou metódou je generovanie signálu založené na nepriamej číslicovej syntéze pomocou fázového závesu (Phase Locked Loop - PLL) schopnom dodať presne definovanú frekvenciu v rozmedzí od 100 MHz do 800 MHz, vrátane nastaviteľného výstupného výkonu s krokom 0,5 dB v škále od -4,5 dBm až po 23 dBm. Druhou metódou je využitie priamej číslicovej syntézy (Direct Digital Synthesis - DDS) na generovanie tvarových kmitov či už harmonických alebo neharmonických priebehov s možnosťou externého spúšťania. Výstupná frekvencia DDS sa pohybuje v škále od 1 Hz do 2 MHz. Výstup generátora tvarových kmitov je impedančne prispôsobený na 50 Ω , pričom výstupnú amplitúdu je možné nastaviť od 500 mVpp po 15 Vpp. Tretou metódou je generovanie pulzov Gaussovskej charakteristiky s opakovacou frekvenciou 10 kHz, pričom šírka generovaných pulzov je pod 1.5 ns Full Width at Half Maximum (FWHM) a výstupná amplitúda generátora pulzov dosahuje minimálne 1 Vp. Celé zariadenie je napájané interným akumulátorom s podporou rýchleho nabíjania založeného na protokole USB-C PD 3.0. Súčasťou práce je zostrojiť, otestovať a odladiť prototyp so základným firmvérovým rozhraním na odtestovanie jednotlivých častí prototypu, na základe ktorého sa zrealizuje finálny produkt.

Prvá a druhá kapitola práce sa zameriava na úvod do problematiky signálových generátorov a napájania. V rámci prvej a druhej kapitoly je poukázané na typy a princípy generátorov signálov, je tu rozobratá problematika DDS, PLL, rekonštrukčného filtra a napájania. Tretia kapitola sa zaoberá všeobecným rozborom návrhu generátora. Štvrtá kapitola je venovaná návrhom hardvéru vrátane jednotlivých výpočtov a simulácií. Piata kapitola je zameraná na základnú konfiguráciu jednotlivých obvodov vrátane firmvérovej implantácie. Posledná kapitola je venovaná zhodnoteniu dosiahnutých výsledkov vo forme merania.

1 Problematika signálových generátorov

V rámci tejto kapitoly je v teoretickej rovine poukávané na typy a princípy generátorov signálov so zameraním sa na priamu číslicovú syntézu (DDS) a nepriamu číslicovú syntézu pomocou fázového závesu (PLL). V kapitole je taktiež v rámci úvodu priblížená funkcia rekonštrukčného filtra.

1.1 Základné rozdelenie generátorov signálov

Vo všeobecnosti je signál možné popísať: fázou, frekvenciou a priebehom. V závislosti od priebehu signálu je možné odhadnúť spektrum signálu. Čistota spektra signálu je dôležitým prvkom hlavne pri harmonických signáloch a je priamo závislá od metódy generovania signálu. Vo všeobecnosti je možné generátory rozdeliť podľa dvoch hlavných kritérií – frekvenčného pásma a priebehu signálu.

Delenie podľa frekvenčného pásma:

- Nízkofrekvenčné generátory dosahujú na výstupe frekvenciu rádovo v rozmedzí od desiatok mHz až po stovky kHz. Výstupný tvar signálu môže byť v závislosti od metódy generovania signálu harmonický a neharmonický. Do tejto skupiny je taktiež možné zaradiť generátory využívajúce DA prevod, ktoré sú schopné v závislosti od vzorkovacej frekvencie a rozlíšenia DA prevodníka dosiahnuť širokú škálu výstupných signálov. Jedným z príkladov je generátor založený na priamej číslicovej syntéze (DDS).
- Vysokofrekvenčné generátory disponujú výstupnou frekvenciou v škále od desiatok MHz po stovky GHz. Tieto generátory sú zväčša založené na nepriamej číslicovej syntéze pomocou fázového závesu (PLL). V porovnaní s nízkofrekvenčnými generátormi sa namiesto výstupnej amplitúdy udáva výstupný výkon v logaritmickú škále spriahnutý k referenčnej hodnote.

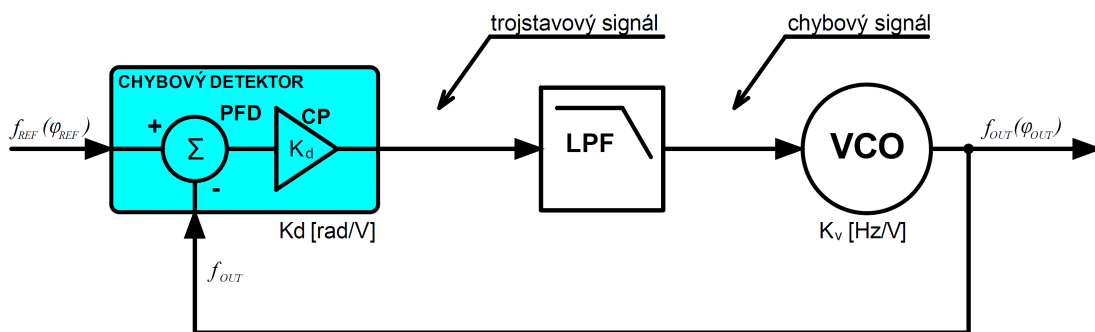
Delenie podľa priebehu signálu:

- Harmonické generátory – či už v nízkofrekvenčnej alebo vysokofrekvenčnej oblasti je ich hlavným parametrom čistota spektra výstupného signálu. Jedným z príkladov pre nízkofrekvenčný generátor môže byť generovanie čistého tónu.
- Neharmonické generátory – do tejto kategórie spadajú predovšetkým generátory sínusového, pílovitého a obdĺžnikového priebehu, teda základných typov signálov ale aj generátory ľubovoľných tvarov (Arbitrary Waveform Generator - AWG). Tak ako generátory harmonických priebehov, tak aj generátory základných funkcií je možné realizovať len s použitím analogových obvodov. To ale neplatí pre generátory ľubovoľných tvarov signálov – v tomto prípade je potrebné použiť DA prevodník a s tým uvážiť všetky potrebné parametre pre jeho návrh.

1.1.1 Fázový záves (PLL)

Jednou zo základných metód generovania vysokofrekvenčného signálu, ktorú v praxi využíva väčšina frekvenčných syntetizátorov je nepriama syntéza pomocou fázového závesu - PLL. Fázový záves je možné označiť ako nelineárny spätnoväzobný systém umožňujúci frekvenčnú a fázovú synchronizáciu signálu napätím riadeného oscilátora v závislosti od referenčnej frekvencie externého oscilátora [4]. Detailný matematický popis tohto systému je pomerne zložitý a bližšie informácie je možné nájsť napríklad v knihe Microwave and wireless synthesizers [4].

Ako je vidieť na obr. 1.1, základom PLL systému je fázový frekvenčný detektor (Phase Frequency Detector - PFD), ktorý meria fázový rozdiel medzi referenčným a spätnoväzbovým signálom. V rámci rozdielu signálov generuje fázový detektor na výstupe chybový signál, ktorý sa následne filtruje filtrom slučky (Low-Pass Filter - LPF) a privádza sa na vstup napätím riadeného oscilátora (Voltage-Controlled Oscillator - VCO). Privedením chybového signálu na vstup VCO sa mení frekvencia VCO. Pokiaľ nastane situácia, v ktorej bude mať referenčný a výstupný signál rovnakú frekvenciu a fázu, dosiahne chybový signál na výstupe filtru slučky konštantný časový priebeh (nastane takzvané zavesenie fázovej slučky). V tomto bode dosiahol generátor na výstupe presne definovanú nastavenú frekvenciu [2].



Obr. 1.1: Bloková schéma zapojenia Fázového závesu [3].

1.1.2 Fázový frekvenčný detektor (PFD)

Princíp PFD sa dá zjednodušene vysvetliť na základe dvojice D-klopných obvodov. Dvojica klopných obvodov je riadená nábežnou hranou vstupných signálov. Výstupné signály z klopných obvodov sú privedené na dvojicu prúdových zdrojov, ktoré sú súčasťou nábojovej pumpy [2]. Nábojová pumpa slúži na generovanie trojstavového signálu, ktorý nadobúda úroveň -1, 0, 1. Ak je výstupná frekvencia VCO nižšia ako referenčná, je trojstavový signál v stave -1. Napätie na ladiacom varikape

umiestneného vo vnútri VCO sa zníži, čo má spôsobiť zvýšenie kapacity varikapu a tým sa sníži výstupná frekvencia VCO [3].

1.1.3 Filter slučky (LPF)

Filter slučky je prakticky dolnopriepustný filter, do ktorého je privádzaný signál z výstupu nábojovej pumpy. Ako bolo poukázané vyššie, tak výstup nábojovej pumpy je vďaka fázovému detektoru priamo závislý od rozdielov frekvencií. Aby sa potlačili vysokofrekvenčné zložky z PFD, je pred VCO zaradený filter slučky. Parametre filtra slučky výrazne ovplyvňujú dynamické vlastnosti PLL, s ktorými je spojená napríklad doba zavesenia po preladení, teda odozva systému na skokové zmeny riadiacej frekvencie, stabilita a fázový šum výstupného signálu. V prípade LPF s veľkou šírkou pásma je systém schopný rýchlo preladiť na novú frekvenciu (systém je citlivý na rýchle zmeny referenčnej frekvencie). Pokiaľ by mal LPF malú šírku pásma, systém by dosahoval malú schopnosť synchronizácie (zavesenia) pri preladení. V závislosti od situácie je v niektorých špecifických prípadoch možné použiť aj aktívny LPF, avšak je dôležité brať do úvahy s tým spojené riziká návrhu (predovšetkým stabilitu a dobu zavesenia VCO) [3]. V praxi je návrh filtra slučky pomerne zložitý a odporúča sa využiť už automatizované nástroje priamo od výrobcov ako napríklad ADIsimPLL™¹ design tool od spoločnosti Analog Devices.

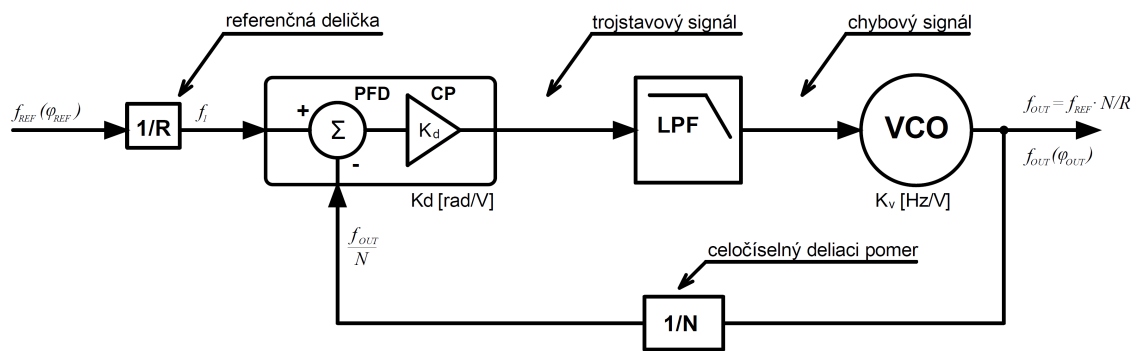
1.1.4 Základný princíp PLL

Ako bolo spomenuté vyššie, fázový záves umožňuje frekvenčnú a fázovú synchronizáciu VCO na referenčnú frekvenciu. Keďže v praxi vyžadujeme výstupnú frekvenciu, ktorá je odlišná od referenčnej frekvencie, generovanej napríklad lokálnym oscilátorom, je potrebné zakomponovať deličku referenčného signálu napríklad do spätnej väzby, poprípade aj na vstup referenčnej frekvencie pred PFD. Pokiaľ by sme uvažovali, že je delička zakomponovaná len v spätnej väzbe, tak zmenou deliaceho pomeru napríklad o jeden sa výstupná frekvencia zmení o krok, ktorý odpovedá výstupu referenčnej frekvencie. Maximálna výstupná frekvencia PLL je limitovaná frekvenciou VCO a referenčnou frekvenciou [3]. V základe je možné poukázať na syntetizátory s celočíselným (Integer-N PLL) a neceločíselným (Fractional-N PLL) deliacim pomerom. Táto problematika je podrobnejšie rozobratá v knihe Microwave and wireless synthesizers [4].

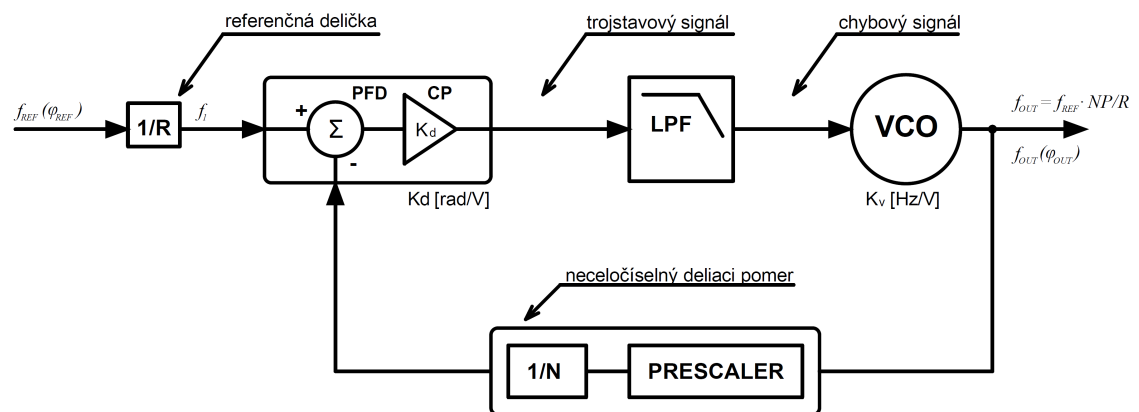
Rozlíšenie výstupnej frekvencie (frekvenčný krok Δf) syntetizátora je závislé od nastavenia deliacich pomerov interných deličiek. V prípade Integer-N PLL je rozlíšenie (jemnosť kroku) závislé od referenčnej deličky R a taktiež aj od spätňoväzobnej

¹<https://www.analog.com/en/design-center/adisimpl1.html>

deličky N . Príkladom môže byť situácia z praxe, keď disponujeme len Integer-N PLL a potrebujeme na výstupe špecificky jemný krok a nízky fázový šum. Riešením by bolo nastaviť veľký deliaci pomer R , avšak úmerne tomu by bolo potrebné zväčšiť aj deliaci pomer N . Zvýšenie deliaceho pomeru R by malo za následok predĺženie doby zavesenia (ustálenia) PLL pri jeho skokovej zmene (preladení), ďalšou nevýhodou by bolo nechcené zvýšenie fázového šumu syntetizátora v dôsledku zvýšenia deliaceho pomeru N . V tejto situácii je lepšie použiť syntetizátor s neceločíselným deliacim pomerom (Fractional-N PLL), ktorého rozlíšenie nie je závislé na nastavení referenčnej deličky R , a zároveň umožňuje veľmi rýchle preladenie s nízkym fázovým šumom. Využíva sa pri tom spätnoväzobná delička, ktorá je schopná svojou internou štruktúrou prepínať medzi deliacim pomerom N a $(N + 1)$ tak, že výsledkom je neceločíselný deliaci pomer [3]. Rozdiel medzi Integer-N a Fractional je znázornený na obr.1.2 a obr.1.3.



Obr. 1.2: Syntetizátor s neceločíselným deliacim pomerom [3].



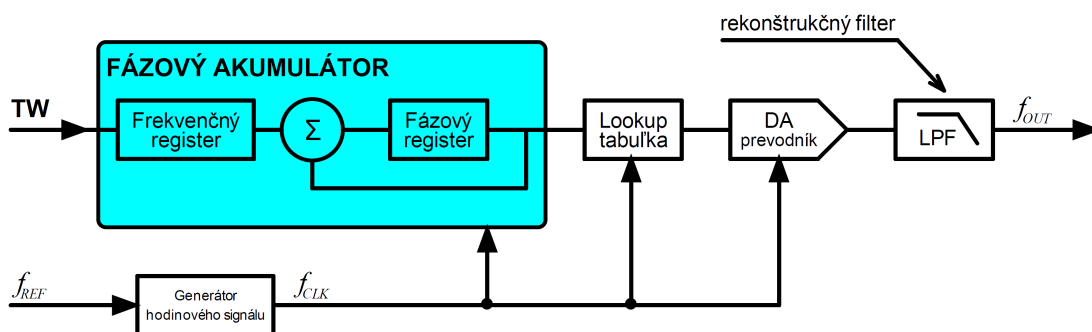
Obr. 1.3: Syntetizátor s celočíselným deliacim pomerom [3].

1.2 Priama číslicová syntéza (DDS)

Okrem nepriamej číslicovej syntézy sa v praxi kvôli možnosti dosiahnutia vysokého rozlíšenia frekvenčného kroku (rádovo stotiny, tisícin Hz) čoraz viac používa priama číslicová syntéza (Direct Digital Synthesis - DDS). V porovnaní s PLL je hlavnou výhodou možnosť širokospektrálneho preladenia so zachovaním vysokého rozlíšenia výstupného signálu, avšak za cenu horšej čistoty spektra, väčšieho príkonu a zároveň nižšieho dynamického rozsahu, prejavujúceho sa hlavne pri AD prevode. Vo všeobecnosti je možné realizovať priamu číslicovú syntézu použitím výkonného integrovaného obvodu, ideálne Field-Programmable Gate Array (FPGA) v kombinácii s dostatočnou pamäťou a v neposlednom rade DA prevodníkom s dostatočnou rýchlosťou (napríklad 500 MSPS) a rozlíšením výstupných úrovní (napríklad 14 bitov). Jednoduchšou alternatívou je použiť integrované obvody, ktoré v rámci internej štruktúry už obsahujú kombináciu pamäte a DA prevodníka [4].

1.2.1 Základný princíp DDS

V prípade generovania časového priebehu napríklad harmonického alebo ľubovoľného tvaru je signál uložený vo forme digitálnych úrovní v takzvanej vyhľadávacej pamäti Read-Only Memory (ROM). V závislosti od počtu vzoriek je možné meniť výstupné rozlíšenie generovaného priebehu. Jednotlivé vzorky časového priebehu z ROM sa načítaním a následným skonvertovaním prostredníctvom DA prevodu dostávajú na výstup ako analógový signál [3]. Zjednodušená štruktúra DDS obvodu je znázornená na obr. 1.4.



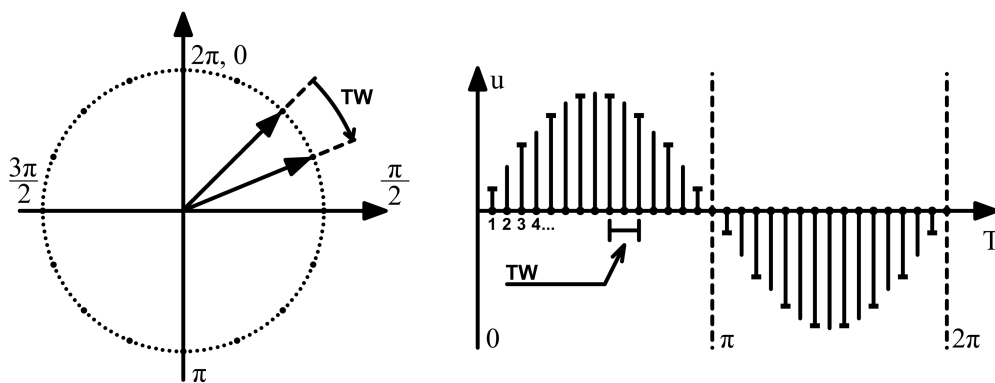
Obr. 1.4: Zjednodušená interná štruktúra DDS syntetizátora [3].

1.2.2 Fázový akumulátor

Jadrom celého DDS systému je fázový akumulátor. Jedná sa o N-bitový čítač, ktorého obsah je aktualizovaný každým taktom referenčného signálu. Fázový akumu-

látor slúži na generovanie adres jednotlivých vzoriek pre lookup tabuľku uloženú v ROM. V prípade generovania funkcie sínus je frekvencia, teda rýchlosť generovania signálu určená veľkosťou riadiaceho slova TW . Pohyb fázy je znázornený na 1.5. Jednotlivé adresy výstupnej funkcie signálu sú znázornené bodmi na kružnici.

V dôsledku princípu fungovania fázového akumulátora môže byť výstupná frekvencia len racionálnym násobkom referenčnej frekvencie. Táto vlastnosť nemusí predstavovať vo všeobecnosti problém, avšak môže byť pre niektoré špecifické aplikácie problémová a je nutné použiť fázové závesy. Ďalšou dôležitou vlastnosťou priamych číslicových syntetizátorov je fázovo spojitý ladenie, ktoré na základe princípu fungovania akumulátora fázy umožňuje pri akejkoľvek zmene TW spojitý prechod na novú frekvenciu [5].



Obr. 1.5: Princíp fázového akumulátora [4].

Pre výstupnú frekvenciu z DDS platí vzťah:

$$f_{out} = TW \cdot \frac{f_{clk}}{2^n} \text{ [Hz]} \quad (1.1)$$

Pričom f_{out} je výstupná frekvencia z DDS, TW je riadiace slovo, f_{clk} je frekvencia referenčnej frekvencie, n je počet bitov čítača.

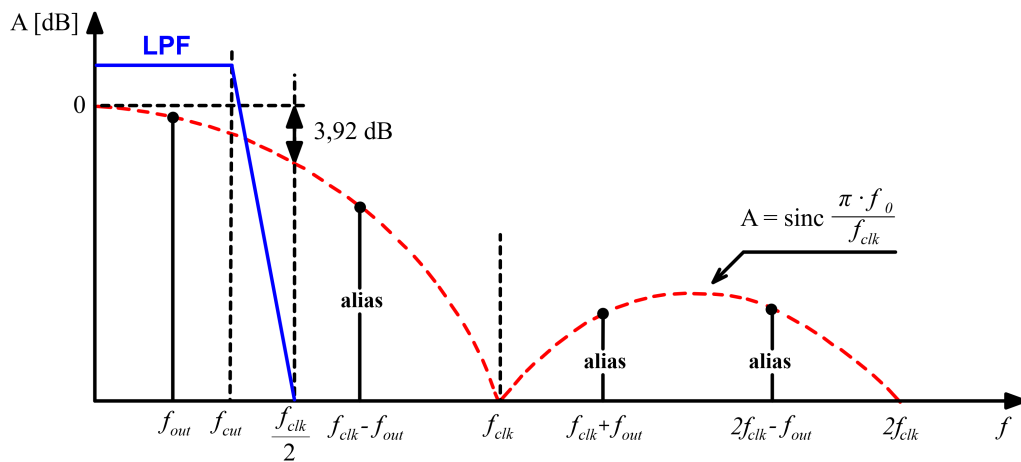
1.2.3 DA Prevodník

Výstupným blokom a zároveň kritickou súčasťou syntetizátora je DA prevodník. Rozlíšenie DA prevodníka je vo všeobecnosti o 2 až 4 bity menšie ako veľkosť lookup tabuľky [3]. Na vstup DA prevodníka je privedená vypočítaná hodnota, ktorá je následne prevádzaná na analógový prúd / napätie s rozlíšením podľa počtu bitov DA prevodníka [5]. Vo všeobecnosti platí, že čím väčším rozlíšením DA prevodník disponuje, tým je menšia úroveň kvantizačného šumu v spektre výstupného signálu a získava sa väčší dynamický rozsah [3]. Keďže sa jedná o číslicovo-analógový prevod,

je potrebné splnenie Nyquistovho kritéria stability – t. j. signál musí byť vzorkovaný minimálne dvojnásobkom maximálnej frekvencie, ktorá je zastúpená v rámci spektra signálu. Pokiaľ by bolo potrebné generovať vysokofrekvenčné signály, bolo by potrebné použiť DA prevodníky s rýchlosťou až jednotiek Giga-Samples Per Second (GSPS) [5].

1.2.4 Rekonštrukčný filter

Keďže sa jedná o číslicový systém, je potrebné uvážiť aliasing a s ním súvisiaci antialiasingový filter (v praxi je často označovaný ako takzvaný rekonštrukčný filter). Antialiasingový filter je prakticky dolnopriepustný filter (LPF), ktorého úlohou je potlačenie zrkadlových frekvencií, ktoré sa na základe vzorkovacieho teorému objavujú symetricky okolo násobkov vzorkovacej frekvencie. V teórii by mala maximálna výstupná frekvencia odpovedať medznej frekvencii výstupného filtra, avšak filter by musel vykazovať nekonečnú strmú. Dosiahnuť nekonečnú strmú filtra je žiaľ v reálnom svete nemožné, a preto sa medzná frekvencia LPF filtra na zaistenie dostatočného odstupu spektrálnych zložiek prvého zrkadla a výstupnej frekvencie nastavuje ako $f_{LPF} = 0,8 \cdot f_{clk}/2$. Rekonštrukčnému filteru sa podrobne venujú zdroje [5] a [3].



Obr. 1.6: Aliasing v rámci spektra DDS syntetizátora [2].

Na obr. 1.6 je znázornené spektrum DDS syntetizátora vrátane zakreslenia oblasti LPF filtra. V spektre signálu je vidieť niekoľko nežiadúcich zložiek, ako napríklad intermodulačné produkty vyšších rádov. Najväčšiu amplitúdu dosahujú zrkadlové frekvencie, ktoré sa na základe vzorkovacieho teorému opakujú s násobkom referenčnej frekvencie privádzanej do syntetizátora vplyvom nelinearity prevodníka. Tieto zrkadlové frekvencie spolu tvoria obálku funkcie znázornenej v grafe na obr. 1.6 [3].

2 Problematika napájania generátora

Vo všeobecnosti je možné tvrdiť, že napájanie je základným obvodom každého zariadenia. Špeciálny dôraz sa kladie na napájacie obvody zariadení citlivých na kvalitu (predovšetkým šum) napájania, do ktorej spadajú aj generátory signálov. Keďže zariadenie zväčša potrebuje viac ako len jednu napäťovú vetvu, je potrebné použiť regulátory napätia. Do tejto kategórie spadajú DC/DC meniče a lineárne regulátory.

2.1 DC/DC meniče

Spínané stabilizátory (DC/DC meniče) spadajú do kategórie neizolovaných topológií spínaných stabilizátorov a môžu byť v základe zapojená ako znižujúce (Buck , Step-Down), zvyšujúce (Boost , Step-Up) alebo invertujúce (Inverting , Buck-Boost). Okrem základných spomínaných topológií existuje niekoľko ďalších topológií, ako napríklad SEPIC, Cuck Converter, Zeta Converter a iné. Napájacím zdrojom sa podrobne venujú publikácie v [2] a [6].

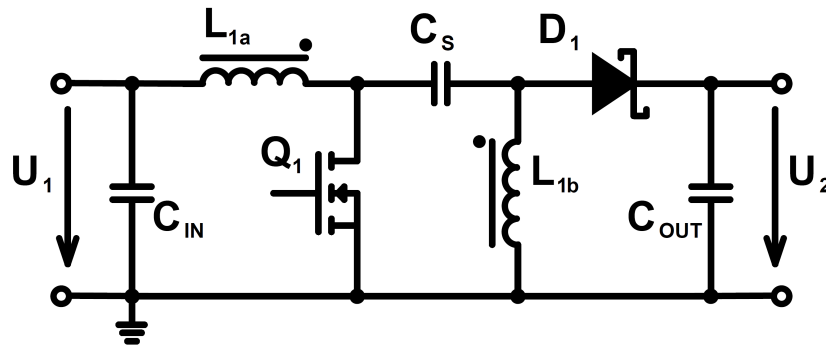
2.1.1 Lineárne regulátory

Lineárne regulátory spadajú do skupiny takzvaných trojsvorkových regulátorov, ktoré disponujú výstupným napätím, ktoré je vždy menšie ako napätie vstupu. Keďže sa jedná o spojitý regulátory (teda presný opak spínaných regulátorov) dosahuje sa vysoké potlačenie zvlnenia (Power Supply Ripple Rejection – PSRR), avšak za cenu zníženia účinnosti. Účinnosť lineárnych regulátorov je závislá od ich vyhotovenia. Lineárne regulátory môžu dosiahnuť úbytok až 2 V, a preto je vyhradená osobitná kategória označovaná ako low-dropout regulator (LDO). V prípade LDO regulátorov vo všeobecnosti platí, že úbytok napätia na regulátore je rádovo pod 1 V. Aby bola docieľená minimálna hodnota vstupného napätia, je potrebné k výstupnému napätiu prirátat úbytok na regulátore [2]. Pokiaľ by sme teda mali k dispozícii 3,3 V regulátor (napríklad LD1117) s úbytkom 1 V, bolo by potrebné pre správnu funkciu priviesť na vstup regulátora napätie minimálne 4,3 V [7].

2.1.2 SEPIC Regulátor

Regulátory topológie SEPIC (Single Ended Primary Inductor Converter) dokážu fungovať ako znižujúce (step-down) alebo zvyšujúce (step-up) regulátory, a tak sa uplatňujú v aplikáciách, pri ktorých je vstupné napätie vyššie alebo nižšie ako požadované výstupné napätie. V základe všetky spínané zdroje sú založené na pulzne-širokovej modulácii (PWM), ktorou je spínaný prúd/napätie v rámci akumuláčného

prvku (cievky, kondenzátora), pričom v závislosti od striedy (pracovného cyklu) je regulované výstupné napätie. Topológia SEPIC využíva upnutý spínací priebeh (clamped switching waveform) a tým dosahuje veľmi nízky prechyt, respektíve zvlnenie (ringing) nábežnej hrany. Táto vlastnosť má za následok umožnenie vysokej spínacej frekvencie (rádovo jednotky MHz), docieľuje vyššiu efektivitu (teda menšie straty pri spínaní) a veľmi nízke zvlnenie (šum) výstupného napätia, ktoré má za následok nízke elektromagnetické rušenie (EMI) [2]. Štruktúra sepic regulátora je znázornená na obr. 2.1.



Obr. 2.1: Typická štruktúra regulátora typu SEPIC [2].

2.1.3 USB-C PD

S rozmachom prenosných zariadení napájaných vlastným akumulátorom sa v súčasnosti čoraz viac dostáva do popredia špecifikácia USB Type-C[®] PD a stáva sa tak univerzálnym štandardom na nabíjanie a napájanie zariadení. Základná špecifikácia USB-C podporuje dodávanie napájania do 3 A s 5 V (15 W), avšak s podporou USB Power Delivery (USB-PD) je možné dosiahnuť napájanie zariadení až do 5 A s 20 V, teda až do výkonu 100 W. V súlade s týmto faktom sa vyžaduje viac funkcií od systému správy napájania (Power Management System - PMS). Pokiaľ by sa vyžadovalo v rámci predošlého štandardu (USB 2.0) len napájanie zariadenia bez dátového prenosu, stačilo by na nastavenie výstupného výkonu napájacieho zdroja použiť vhodný odporový delič zapojený na dátové vodiče (D+, D-) poprípade použiť obvody na to určené. Nebolo by teda nutné použiť PMS [8].

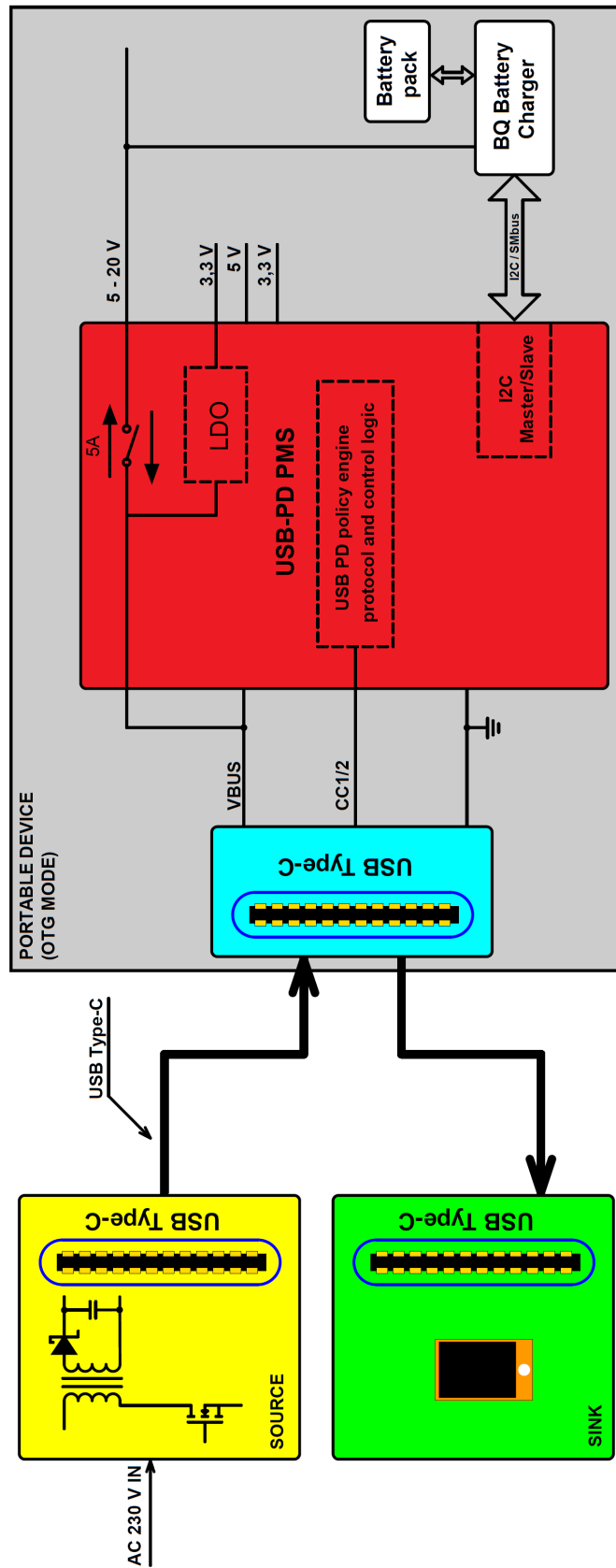
S využitím USB-PD je teda vyslovene nutné implementovať PMS. Tento obvod komunikuje s externým zariadením pripojeným cez USB-C prostredníctvom CC1 a CC2 vodičov (Channel Configuration – CC). Na základe internej logiky v PMS dochádza k detekcii pripojenia a orientácie káblu – jeden z CC vodičov je v stave log. 1 alebo log. 0. PMS zároveň deteguje, či je pripojené zariadenie konfigurované ako spotrebič (sink) - oba CC1 a CC2 vodiče sú v stave log. 0 alebo zdroj (source) – CC1

a CC2 vodiče sú v stave log. 1. V porovnaní s predchádzajúcimi USB štandardmi, kde bolo 5 V k dispozícii vždy a nastavoval sa výhradne výstupný prúd, je CC detekcia novinkou [8].

Na základe úrovni napätia na CC vodičoch a dohode oboch koncových zariadení je v prípade zdroja dodávané požadované napätie a prúd po VBUS vodiči. Z tohto plynie dôležitá vlastnosť označovaná ako cold-plugging (studené pripojenie) – napätie na VBUS zbernici je dodané až po úspešnej end-to-end detekcii. Detekcia CC vodičov je v štandarde USB-C povinná. Túto vlastnosť by bolo možné v praxi sledovať, ak by bolo merané napätie VBUS vodiča v rámci USB-C bez pripojenia spotrebiča. Keďže by nebol použitý PMS obvod na strane spotrebiča, nebolo namerané žiadne napätie [9]. V prípade, ak by pre spotrebič (sink) bolo dostatočné 5 V napájanie, nebolo by nutné použiť PMS obvod. Vystačilo by pripojiť 5,1 k Ω rezistory medzi jednotlivé CC piny a zem. Dôležité je spomenúť, že tolerancia týchto rezistorov by mala byť maximálne do ± 10 % [32].

Väčšina PMS obvodov je už vopred prispôsobená na implementáciu v prenosnom zariadení (portable device) napájaného vlastným akumulátorom, a preto je v nich implementovaná riadiaca logika nabíjacieho obvodu (Battery Charger). Nabíjací obvod teda môže komunikovať s PMS napríklad využitím I²C alebo SMBus (System Management Bus) zbernic [8]. Pokiaľ je prenosné zariadenie typu spotrebič (sink) a PMS v prenosnom zariadení podporuje On-The-Go (OTG) mód, tak vie fungovať aj ako zdroj napätia. Príklad funkcie OTG módu je znázornený na obr.2.2.

Priebeh komunikácie v prípade USB-C PD medzi sink a source je nasledovný. CC vodiče sa používajú na zistenie orientácie (Attach event), keď už majú orientáciu a vedú kto je sink a source, tak sa použije jeden z CC vodičov na Vconn (separátny zdroj napájania na internú logiku) a druhý na komunikáciu. Následne sa cez CC vodič využité na komunikáciu posielajú správy na oznámenie schopnosti (výstupného výkonu zdroja) a až potom pošle sink požiadavku, aké napätie a prúd vyžaduje. Následne môže source „povedať“, že akceptuje a pošle správu o nastavenom profile výstupného napájania sink zariadeniu [8]. Problematike USB-C PD je venovaná literatúra [8] a [32].



Obr. 2.2: Znáznorenie USB-C PD napájania a typické blokové zapojenie PMS.

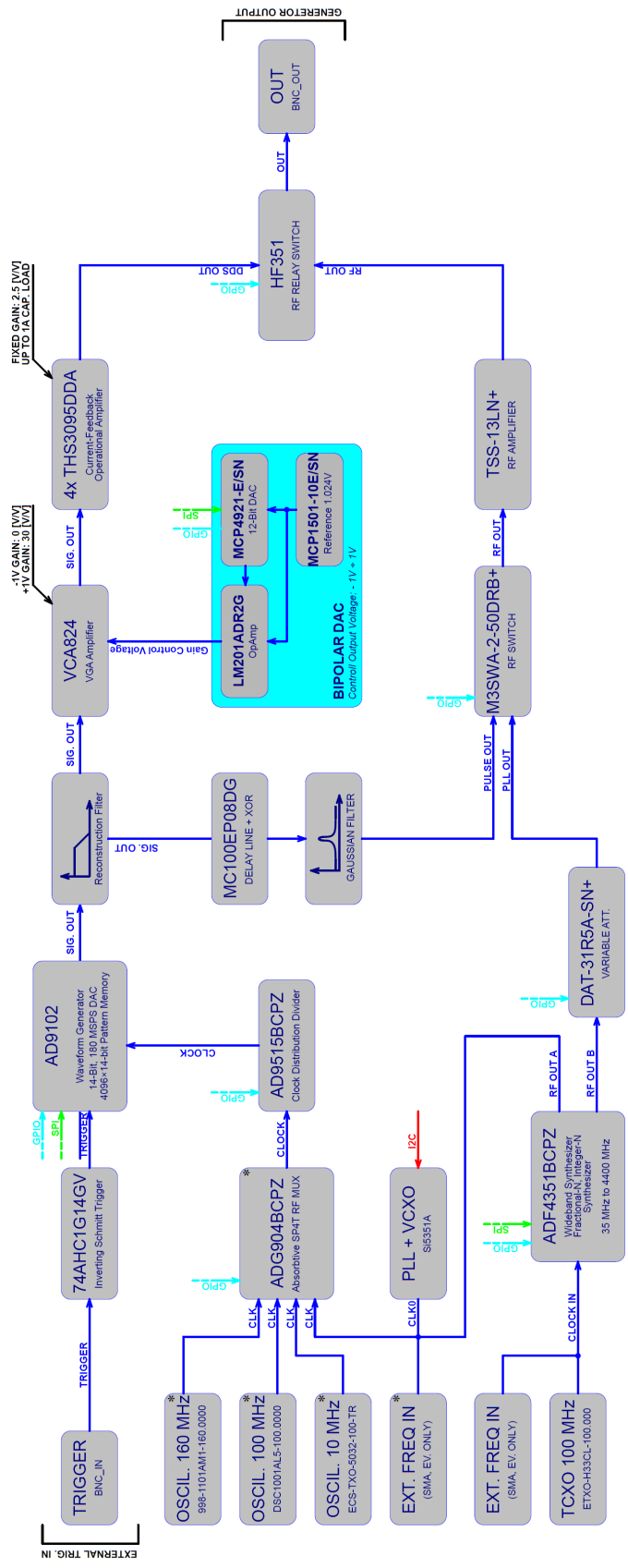
3 Teória fungovania prenosného generátora

Ako už bolo spomenuté v teoretickom úvode, zariadenie je postavené na troch metódach generovania signálov. Keďže má táto práca slúžiť ako podklad k vytvoreniu hotového produktu, je v rámci návrhu potrebné zostrojiť vývojovú dosku (Evaluation Board). Počas návrhu vývojovej dosky bolo potrebné uvážiť čo najviac scenárov, ktoré môžu počas vývoja nastať. Z tohto dôvodu vývojová doska obsahuje niekoľko testovacích bodov spolu s vysokofrekvenčnými meracími konektormi vrátane vyvedenia čo najviac vstupno/výstupných pinov (General-purpose input/output – GPIO). Návrh dosky plošných spojov (DPS) pre vývoj generátora je zameraný hlavne na rýchlu implementáciu do finálneho produktu – t.j. jednotlivé obvody sú navrhované ako bloky, ktoré stačí s menšími úpravami len skopírovať.

Na obr. 3.1 a obr. 3.2 je možné vidieť blokové zapojenie vývojovej dosky. Hlavným jadrom celého zariadenia sú obvody DDS a PLL. Obvod DDS je založený na integrovanom obvode AD9102. Tento obvod umožňuje aj generovanie vlastných (arbitrary) priebehov, avšak jeho výstupná frekvencia je pre generovanie arbitrary priebehov závislá na taktovacej frekvencii. Z tohto dôvodu je na vývojovej doske umiestnených niekoľko lokálnych oscilátorov, ktoré je možné v rámci vývoja prepínať prostredníctvom RF prepínača (RF MUX) a dosiahnuť tak široké spektrum pásiem, v ktorých je generovaný výstupný signál. Keďže zariadenie obsahuje aj obvod vysokofrekvenčného generátora založeného na PLL, je možné použiť tento obvod okrem generovania VF signálu aj na generovanie referenčnej (taktovacej) frekvencie pre DDS. Výstup z DDS je následne zosilnený pomocou napätím riadeného zosilňovača, ktorý slúži prakticky ako predzosilňovač pre výkonový koncový zosilňovač s konštantným zosilnením.

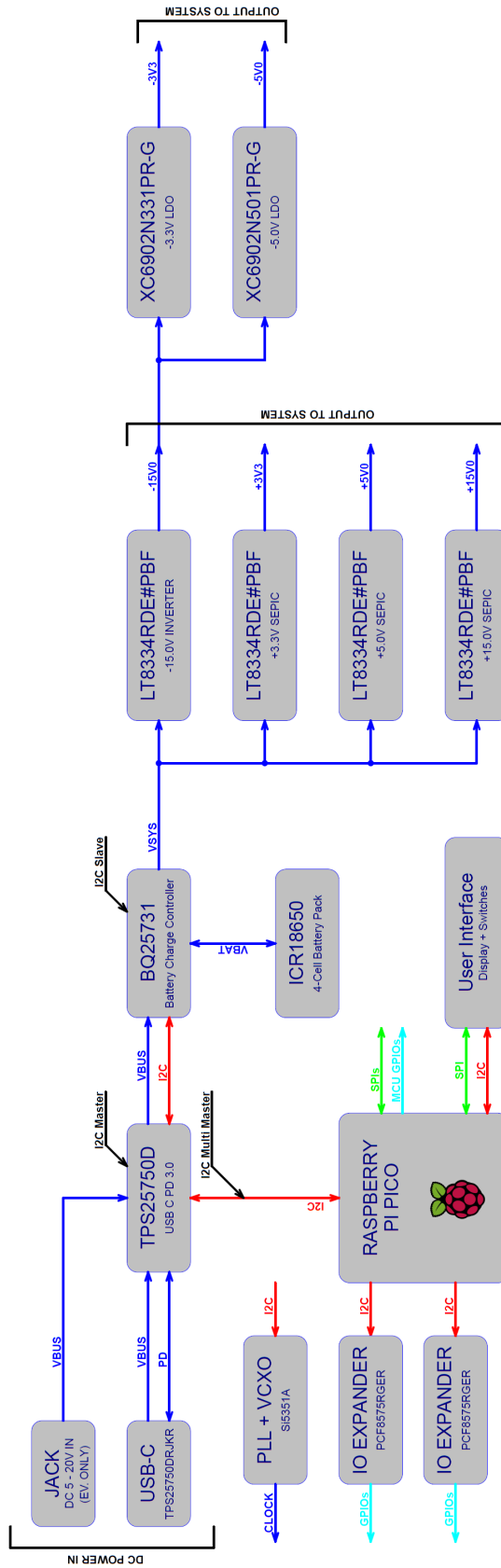
Súčasťou vývojovej dosky je spustenie generovania signálu privedením externého spúšťacieho pulzu (trigger). Externý signál je v rámci vstupného Invertujúceho Schmittovho klopného obvodu privedený na vstup DDS. V prípade, že bude používateľ vyžadovať generovanie pulzov s Gausovskou charakteristikou, tak toho bude docieľené s použitím Emitter-Coupled Logic (ECL) XOR hradla s opozďovacou linkou, na ktorého vstup je privedený výstup z DDS. Výstup z generátora pulzov je po filtrácii privedený na VF prepínač a následne zosilnený nízkošumovým zosilňovačom (Low-Noise Amplifier – LNA).

Pokiaľ sa bude zariadenie používať na generovanie VF signálu, tak je za jeden z výstupov PLL zaradený nastaviteľný atenuátor s krokom 0,5 dB a je možné dosiahnuť výstupný výkon v škále od -4,5 dBm až po 23 dBm. Výstup z nastaviteľného atenuátora je privedený na VF prepínač a následne na vstup LNA, za ktorým je pripojené výstupné VF relé, ktoré prepína DDS a VF výstup.



Obr. 3.1: Blokové zapojenie vývojovej dosky – VF časť.

Keďže zariadenie v dôsledku dosiahnutia požadovaných parametrov vyžaduje 3 symetrické napäťové vetvy ($\pm 3,3$ V, ± 5 V a ± 15 V), bolo nutné zvoliť pomerne rozumnú architektúru napájania. Architektúra napájania je postavená prevažne na SEPIC regulátoroch hlavne z dôvodu širokej škály vstupného napätia (od 5 V až po 20 V). V rámci vývojovej dosky je vstupné napätie dodávané len prostredníctvom USB-C PD štandardu v rámci PMS obvodu TPS2570D, ktorý komunikuje prostredníctvom I²C zbernice s nabíjacím obvodom BQ25731. Vývojová doska je ovládaná prostredníctvom Raspberry Pi Pico modulu implementovaného v riadiacej časti, avšak v prípade vývojového kytu je riadiaca časť pripájaná na VF časť externe. Bloková schéma zapojenia je znázornená na obr. 3.2



Obr. 3.2: Blokové zapojenie vývojevej dosky – napájacia a riadiaca časť.

4 Návrh hardvéru

Ako už bolo spomenuté v kapitole 3, je pred zhotovením finálneho produktu nutné vytvoriť vývojovú dosku, v rámci ktorej bude otestovaná a overená praktická časť návrhu. Táto kapitola je zameraná na výber jednotlivých komponentov, ich hardvérovú implementáciu a bližšiu teoretickú rozvahu návrhu.

4.1 Napájanie generátora

Nasledujúce podsekcie sú zamerané na popis jednotlivých obvodov pre sekciu napájania prenosného generátora signálov. Je tu priblížené porovnanie a výber komponentov.

4.1.1 USB-C PD

Keďže sa v súčasnosti stáva štandard USB-C jedným z najrozšírenejších v oblasti prenosných zariadení, tak bol implementovaný aj v rámci tohto prenosného generátora. Keďže sa jedná o malé prenosné zariadenie s možnosťou nabíjania cez USB type-c konektor, splňuje tak aj novozavedenú legislatívu v rámci EÚ.

Pôvodným cieľom bolo na nabíjanie a komunikáciu s externým zdrojom použiť takzvaný autonómny nabíjací obvod, ktorý by mal v sebe implementovanú riadiacu logiku USB-C PD. Príkladom tohto riešenia je obvod MAX77751, ktorého hlavnou výhodou voči finálne zakomponovanému riešeniu je nenáročnosť externých komponentov a pomerná jednoduchosť návrhu schémy. Avšak nevýhodou bol jeho maximálny výstupný výkon. Vo všeobecnosti je hlavnou nevýhodou takýchto obvodov fakt, že výrobcovia nepredpokladajú ich implementáciu v zariadeniach, ktoré potrebujú dodávať z batérie veľký výkon a rádovo sú výkonovo obmedzené – v prípade MAX77751 je maximálny výstupný výkon len približne 7,7 W a z tohto dôvodu nie je vhodný na túto aplikáciu.

Nebolo teda možné postaviť nabíjací obvod s podporou rýchleho nabíjania prostredníctvom USB-C PD na jednom obvode a musela byť zvolená kombinácia PMS obvodu (USB-C PD) a nabíjacieho obvodu. Aby sa dosiahla čo najväčšia efektívnosť, tak musia byť tieto zariadenia na základe internej komunikácie navzájom kompatibilné, a preto boli oba obvody zvolené od rovnakého výrobcu – Texas Instruments. Toto rozhodnutie bolo hlavne z dôvodu, aby sa predišlo zbytočným komplikáciam počas návrhu softvéru. Ako USB-C PD PMS je využívaný obvod TPS25750 a ako obvod nabíjania BQ25731.

Interná komunikácia medzi hlavným riadiacim obvodom (Microcontroller unit – MCU), nabíjacím obvodom a obvodom USB-C PD využíva I²C zbernicu. V tomto

prípade môže fungovať I²C zbernica v takzvanom Multi-Master móde. MCU a obvod USB-C PD pracujú ako riadiace (Master) zariadenia a komunikujú s podriadeným (Slave) obvodom nabíjania.

4.1.2 Nabíjací obvod

Keďže hlavnou požiadavkou prenosného zariadenia je minimálne 4 hodinová výdrž interného akumulátora na jedno nabitie, bolo nutné zvoliť nabíjací obvod s podporou dostatočného množstva batériových článkov. V rámci interného akumulátora bola zvolená sériová kombinácia Li-ion (lithium-ion) batériových článkov s označením 18650, ktorých menovitá kapacita sa pohybuje v rozmedzí od 2,3 Ah do 3,6 Ah. V prípade, ak by prenosné zariadenie vykazovalo konštantný nominálny príkon 14 W, tak v rámci dosiahnutia výdrže 4 hodín by museli byť použité minimálne 4 batériové články s kapacitou 3,6 Ah.

S požiadavkou sériovej kombinácie batériových článkov podliehala aj voľba nabíjacieho obvodu. Veľmi elegantným riešením by bolo použiť obvod BQ25790, ktorý v rámci internej štruktúry obsahuje celú výkonovú časť a stačí mu pripojiť externú cievku vrátane niekoľkých pasívnych komponentov. Tento obvod v súčasnosti ale nie je dostupný, a tak bol zvolený obvod BQ25731, ktorý na rozdiel od BQ25790 síce potrebuje v rámci externých komponentov aj aktívne prvky (výkonové tranzistory), ale podporuje sériovú kombináciu až 5 Li-ion batériových článkov.

Na základe schémy napájacej časti (USB Charger) uvedenej v prílohe dokáže BQ25731 fungovať aj ako reverzný zdroj – t.j. spolu s PMS dokáže fungovať v OTG móde (rozobraté v sekcii 2.1.3) . Prenosný generátor vie slúžiť aj ako takzvaná powerbanka s podporou USB-C PD 3.0. Tento fakt síce nebol v rámci finálneho produktu plánovaný, ale keď to kombinácia TPS25750 a BQ25731 podporuje, tak je to škoda nevyužiť. Návrh schémy bol založený na základe výrobných dokumentácie [9] a [10]. V rámci prílohy C.1 je taktiež vidieť EEPROM obvod, ktorý slúži na načítanie potrebnej prvotnej konfigurácie.

4.1.3 SEPIC + LDO

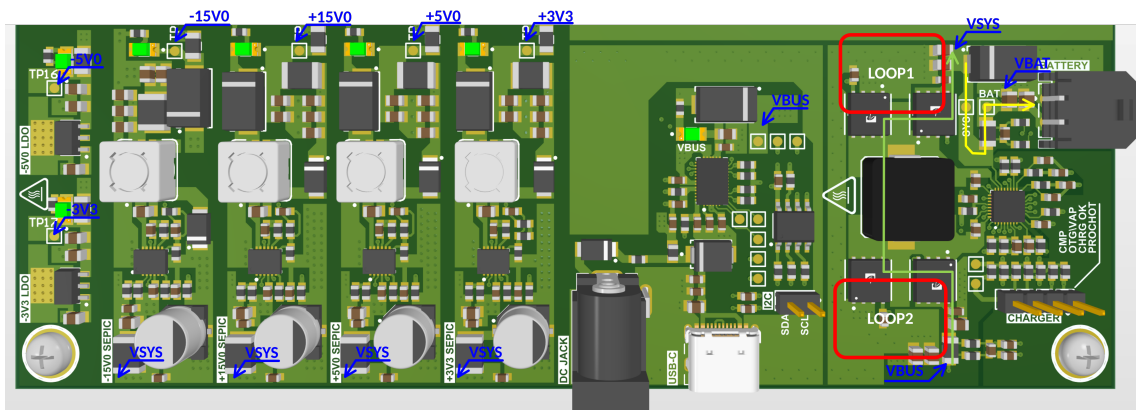
V rámci zväženia externého a batériového napájania bolo nutné zvoliť vhodnú topológiu DC/DC meniča. Vzhľadom na skutočnosť, že interné napäťové vetvy musia v dôsledku požiadaviek návrhu disponovať symetrickým 3 V, 5 V a 15 V napätím s dostatočným prúdom, bola zvolená topológia SEPIC (rozobraté v sekcii 2.1.1). Je síce pravdou, že výrazne jednoduchším riešením by bolo použiť DC/DC meniče implementované v napájacích moduloch. Žiaľ vo väčšine ich výstupný výkon nevyhovoval požiadavkám návrhu a v prípadoch, keď vyhovelo, bola ich cenová relácia neakceptovateľná. Počas návrhu zdrojov interných napäťových vetiev bolo tiež

uvažované nad použitím troch osobitných topológií DC/DC meničov (Buck, Boost, Buck-Boost). Každá topológia by ale vyžadovala osobitné zapojenie a návrh by sa tak skomplikoval.

Hlavnou požiadavkou pri výbere DC/DC meniča bola okrem SEPIC topológie aj možnosť dosiahnutia záporného výstupného napätia využitím Inverting módu. V rámci týchto požiadaviek bol zvolený obvod LT8334. Obvod LT8334 disponuje aj frekvenčnou moduláciou s rozprestretým spektrom (Spread Spectrum Frequency Modulation - SSFM) a dosahuje sa tak nízke elektromagnetické rušenie. Výber tohto obvodu sa pri návrhu schémy a DPS označil ako veľmi elegantný, pretože jednotlivé DC/DC meniče vyžadovali len minimálne zmeny v zapojení. Ako je možné vidieť na obr. 4.1, tak sa tento fakt odzrkadlil pri návrhu DPS. Postupy výpočtov komponentov vychádza na základe výrobnjej dokumentácie [11] a sú súčasťou schémy uvedenej v prílohe C.1.

Súčasťou napájacieho obvodu sú v neposlednom rade LDO regulátory. Pri ich výbere bolo cieľom zvoliť rovnaké puzdro (footprint) vzhľadom na jednotnosť návrhu. Na základe skladovej dostupnosti a cenovej relácie bol zvolený LDO regulátor XC6902 [12]. Je síce pravdou, že obvod disponuje PSRR len na úrovni 45 dB, avšak pre obvody, ktoré sú ním napájané, je to akceptovateľné.

Funkčnosť jednotlivých zapojení obvodu LT8334 bola overená využitím simulátora LTspice XVII¹. Keďže sú obvody generovania signálu citlivé na kvalitu napätových vetiev, bolo potrebné zvoliť konfiguráciu prevádzky obvodu LT8334 ako SSFM. Z dôvodu potlačenia šumových zložiek bolo potrebné implementovať na vstup aj výstup meničov filter vo forme takzvaného ferrite bead v kombinácii s kondenzátorovou bankou.



Obr. 4.1: Návrh napájacej časti (vývojová doska) s vyznačením toku energie.

¹<https://www.analog.com/en/design-center/design-tools-and-calculators/ltspice-simulator.html>

4.1.4 Návrh DPS pre sekciu napájania

Tak ako aj počas návrhu schémy bolo potrebné uvažovať s možnými problémami signálovej integrity napájania, bolo vyslovene nutné zvoliť správne rozvrhnutie (layout) DPS, aby sa zabránilo potencionálnym problémom v rámci EMI alebo teploty. Na obr. 4.1 je možné vidieť znázornenie jednotlivých napätových vetiev vrátane toku energie.

4.2 Vysokofrekvenčný generátor

V rámci nasledujúcich podkapitol a sekcií je bližšie priblížený návrh vysokofrekvenčnej časti generátora signálov vrátane distribúcie hodinového signálu do obvodu DDS.

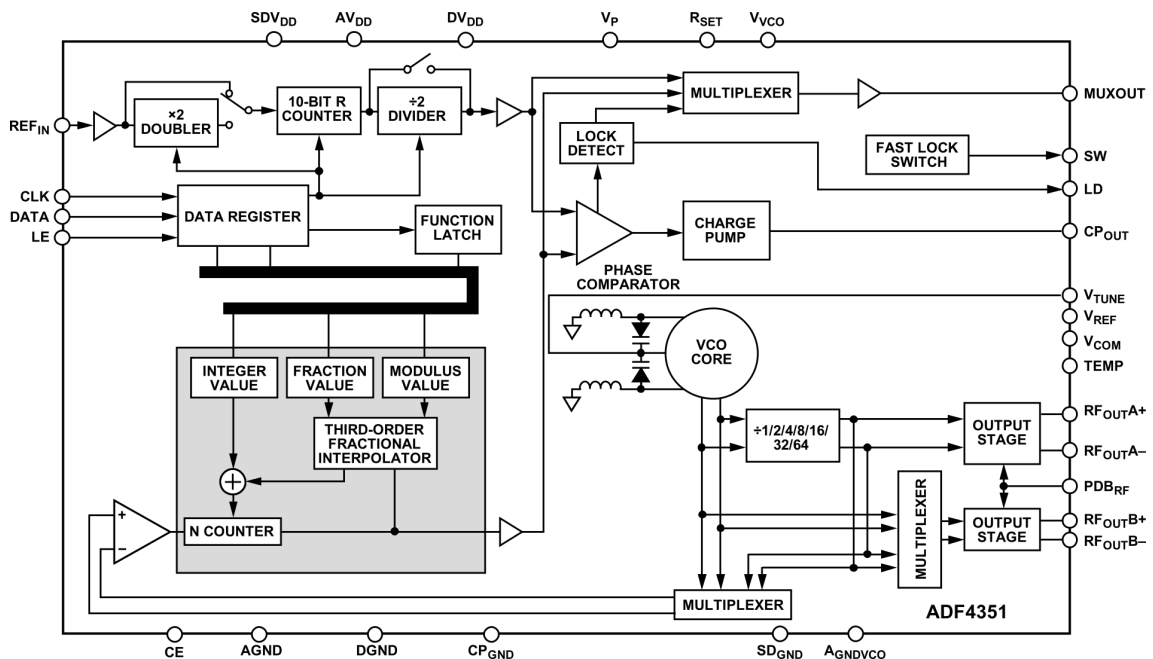
4.2.1 PLL syntetizátor

Jednou z požiadaviek na zariadenie je generovanie vysokofrekvenčného signálu presne definovaných frekvencií – 100 MHz, 200 MHz, 400 MHz a 800 MHz s nastaviteľným výstupným výkonom. Pri výbere PLL obvodu bolo zamerané na výrobcu Analog Devices, predovšetkým z dôvodu vývojových nástrojov (ako napríklad ADIsimPLL™) a pozitívnych predchádzajúcich skúseností autora pri návrhu PLL obvodu. V rámci Analog Devices existuje široké množstvo PLL obvodov, avšak nakoniec bol zvolený obvod ADF4351. Hlavným dôvodom výberu ADF4351 bola podpora Integer-N a Fractional-N PLL syntézy a skladová dostupnosť.

Obvod ADF4351 dokáže prostredníctvom dvoch výstupov dodať výstupné frekvencie v škále od 35 MHz po 4,4 GHz. Pre aplikáciu v prenosnom generátore signálov je tým pádom viac než dostačujúci. Keďže obvod disponuje dvomi vysokofrekvenčnými výstupmi a zároveň disponuje funkciou ich osobitného vypínania (mute), sa tak stáva vhodným aj ako generátor referenčnej frekvencie pre obvod DDS. Na komunikáciu s riadiacim kontrolérom využíva obvod SPI zbernicu. Jednou z nevýhod ADF4351 v rámci tejto aplikácie je nastaviteľný výstupný výkon v krokoch 4 dBm, 1 dBm, +2 dBm, a +5 dBm. Vzhľadom na túto vlastnosť, ktorá je pre väčšinu PLL syntetizátorov bežná, bol na výstup implementovaný nastaviteľný útlmový člen (Atenuátor).

Na základe výrobnej dokumentácie [13] k obvodu ADF4351 bola navrhnutá schéma zapojenia uvedená v prílohe C.1. Ako referenčný oscilátor bol zvolený teplotne kompenzovaný oscilátor (Temperature compensated crystal oscillator – TCXO) na frekvencii 100 MHz.

Na návrh filtra sluchy bol využitý softvér ADIsimPLL. Šírka pásma filtra sluchy bola zvolená na 500 kHz. Hodnoty jednotlivých komponentov filtra sluchy sú uvedené v rámci schémy v prílohe C.1. Interná štruktúra obvodu je znázornená na obr. 4.2.



Obr. 4.2: Interná štruktúra obvodu ADF4351 [13].

4.2.2 Balun

Keďže na výstupe obvodu ADF4351 dostávame symetrický signál a následné obvody prenosného generátora vyžadujú nesymetrický signál (Single-ended), je vhodné použiť transformátor označovaný ako BALUN (BALanced-UNbalanced). Ako už plyní z názvu, tak obvod umožňuje transformáciu symetrického na nesymetrický signál a naopak. V rámci výberu BALUNu bol zvolený obvod TC1-1-13M+ [14] od spoločnosti Minicircuits. Hlavným dôvodom bola okrem jeho impedančného prispôsobenia a nízkych strát predovšetkým skladová dostupnosť.

4.2.3 Attenuátor

Keďže obvod ADF4351 dodáva na výstup len presne definovaný vysokofrekvenčný výkon, bolo nutné zvoliť vhodný nastaviteľný attenuátor, na základe ktorého by sa dosiahla užívateľsky prívetivá výstupná škála výkonov. Počas výberu attenuátora sa okrem rozlíšenia útlmového kroku prihliadalo aj na pomer stojatých vln (Voltage Standing Wave Ratio – VSWR) a bod zahradenia (Third-order Intercept Point - IP3). Na základe týchto požiadaviek bol zvolený attenuátor DAT-31R5A-SN+ od spoločnosti Minicircuits.

Attenuátor DAT-31R5A-SN+ využíva 6 bitové sériové komunikačné rozhranie a umožňuje tak dosiahnuť nastaviteľný útlm v škále od 0 dB po 31.5dB s krokom 0,5 dB. Tento obvod zároveň dosahuje vysokú hodnotu bodu IP3 a to až 52 dBm obvod je taktiež širokopásmový a dokáže pracovať až do frekvencie 4 GHz [15]. Jednou z nevýhod tohto obvodu je, že vyžaduje aj záporné napájanie.

4.2.4 Výstupný filter

V rámci finálnej aplikácie zariadenia nie je vyžadované extrémne čisté spektrum výstupného signálu. Avšak z dôvodu demonštrácie potlačenia vyšších harmonických zložiek v spektre výstupného signálu z obvodu PLL bola navrhnutá skupina výstupných filtrov. Návrh výstupných filtrov je 4. rádu s charakteristikou Chebyshev 1. typu. Jednotlivé charakteristiky filtrov spolu s výrobnými dátami sú uvedené v elektronickej prílohe F a tiež v prílohe D.1. V tomto prípade je potrebné spomenúť, že pokiaľ by bolo vyžadované výraznejšie potlačenie harmonických zložiek, tak by bolo vhodné použiť komerčné filtre napríklad od výrobcu Mini-Circuits ².

4.2.5 Generátor hodinového signálu pre DDS

Keďže zvolený obvod DDS neumožňuje širokú zmenu frekvencie prehrávania ľubovoľných (arbitrary) tvarov signálov uložených v pamäti SRAM, bolo nutné vyriešiť tento problém využitím zmeny privádzanej referenčnej frekvencie (taktovacej frekvencie) do obvodu DDS. Ako je možné vidieť v prílohe v rámci schémy zapojenia C.1, je na vývojovej doske implementovaných niekoľko oscilátorov a VF prepínač s deličkou frekvencie.

V rámci riadiacej dosky je implementovaný generátor hodinového signálu SI5351 od spoločnosti Skyworks Solutions. Tento obvod je programovateľný prostredníctvom I²C zbernice a dosahuje výstupnú frekvenciu v rozmedzí od 2,5 kHz až po 200 MHz. Jadro obvodu tvorí PLL/VCXO a frekvenčná delička (MultiSynth fractional divider) s vysokým rozlíšením, pričom chyba výstupného signálu sa v ideálnom prípade rovná 0 ppm [37]. Dôležité je ale spomenúť, že chyba 0 ppm je závislá na chybovosti externého referenčného oscilátora – t.j. pokiaľ máme oscilátor, ktorý má chybu ± 25 ppm, dostaneme na výstupe z obvodu SI5351 chybovosť ± 25 ppm.

Pri výbere vysokofrekvenčného prepínača bol zvolený obvod ADG904 [16]. Vzhľadom na fakt, že sa jedná o absorbný prepínač (RF MUX), sú nevyužité vstupy uzemnené cez 50 Ω rezistory a nevznikajú tak odrazy. Frekvenčné pásmo VF prepínača taktiež vyhovovalo požiadavkám návrhu. Prepínanie jednotlivých vstupov VF

²: <https://www.minicircuits.com/WebStore/RF-Filters.html>

prepínača ADG904 je v rámci vývojovej dosky realizované prepínačmi typu (Dual in-line package – DIP).

Aby bolo možné dosiahnuť generovanie signálov ľubovoľných tvarov signálov využitím DDS aj v pásme nízkych frekvencií, bola pred DDS obvod zaradená delička taktovacieho signálu AD9515 [17]. Tento obvod deličky umožňuje na základe napäťových úrovní na riadiacich vstupoch dosiahnuť celočíselné delenie v škále od 1 až 32. Blokové zapojenie obvodov generovania referenčnej frekvencie pre obvod DDS je uvedené na obr. 3.1 a v prílohe C.1.

4.3 Generátor priebehov

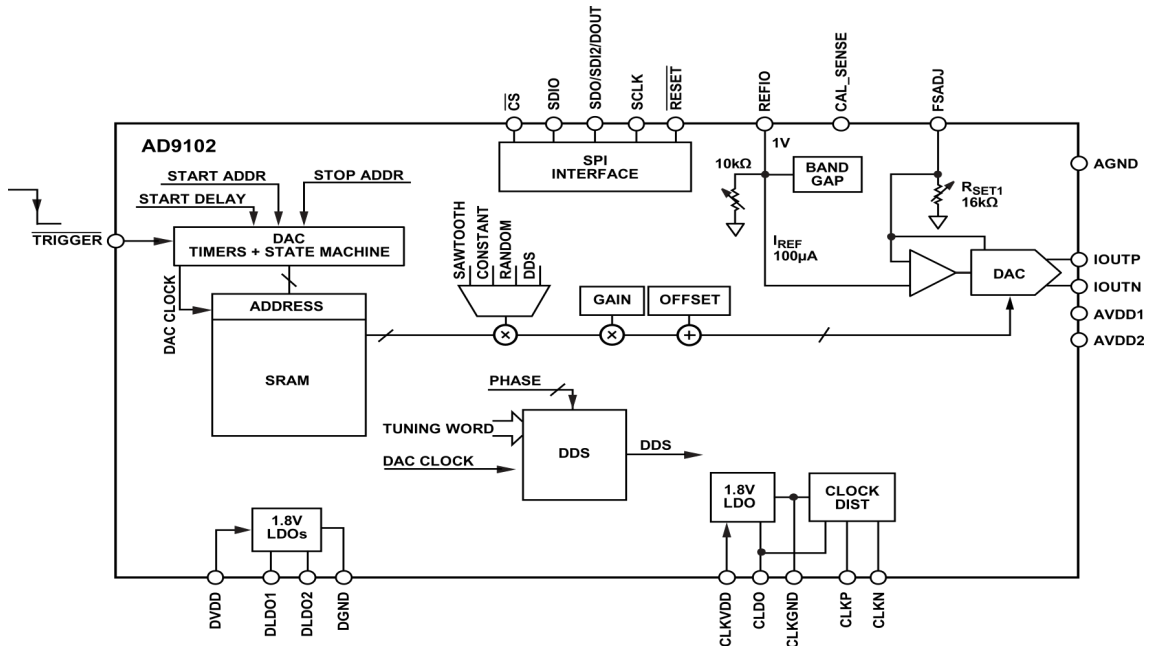
Jadrom celej časti generovania harmonických a neharmonických priebehov je obvod DDS. Vzhľadom na nedostatočnú trhovú dostupnosť a požiadavku generovania vlastných (ľubovoľných) priebehov bolo uvažované aj nad možnosťou použiť obvod FPGA v kombinácii s vysokorýchlostným DA prevodníkom, ako náhradu za obvod DDS. Súčasná cenová hladina obvodov FPGA sa pohybuje mimo akceptovateľnej hranice a zároveň by programovanie FPGA obvodu vyžadovalo hlavne časovú náročnosť. Na základe týchto skutočností bol nakoniec použitý obvod DDS. Pri výbere obvodu DDS bol zvolený obvod AD9102 od výrobcu Analog Devices.

4.3.1 Obvod DDS

Obvod AD9102 sa vyznačuje možnosťou použiť preddefinované výstupné tvary signálov a taktiež pamäťou typu SRAM na generovanie vlastných priebehov. AD9102 zároveň obsahuje výstupný DA prevodník s rýchlosťou 180 MSPS a rozlíšením 14 bitov. V rámci využitia pamäte SRAM je taktiež možné dosiahnuť amplitúdovú moduláciu výstupného signálu. Na základe internej štruktúry (obr. 4.3.) je tiež vidieť možnosť podpory externého spúšťacieho signálu s presným nastavením opozdenia na základe interných registrov. Na komunikáciu s riadiacim obvodom je použitá SPI zbernica [18].

Vyššie spomenuté vlastnosti boli hlavným dôvodom výberu tohto obvodu. Teoretickou náhradou za obvod AD9102 by bol obvod AD9106. AD9106 obsahuje v porovnaní s AD9102 4 výstupy, avšak menšiu internú pamäť SRAM. Oba tieto obvody sú žiaľ určené prevažne na generovanie modulovaného signálu, či už frekvenčnej alebo amplitúdovej modulácie. Zmena výstupnej frekvencie na základe registrov je možná len použitím pamäte SRAM ako riadiacich slov (TW) pre DDS na generovanie frekvenčne modulovaného signálu. Aby bolo možné generovať vlastné priebehy v rôznych frekvenčných pásmach, bolo potrebné docieľiť zmenu referenčnej frekvencie

privádzanej do DDS obvodu. Výslednú schému zapojenia obvodu AD9102 je možné vidieť v prílohe C.1. Počas návrhu bola využitá dokumentácia od výrobcu [18].



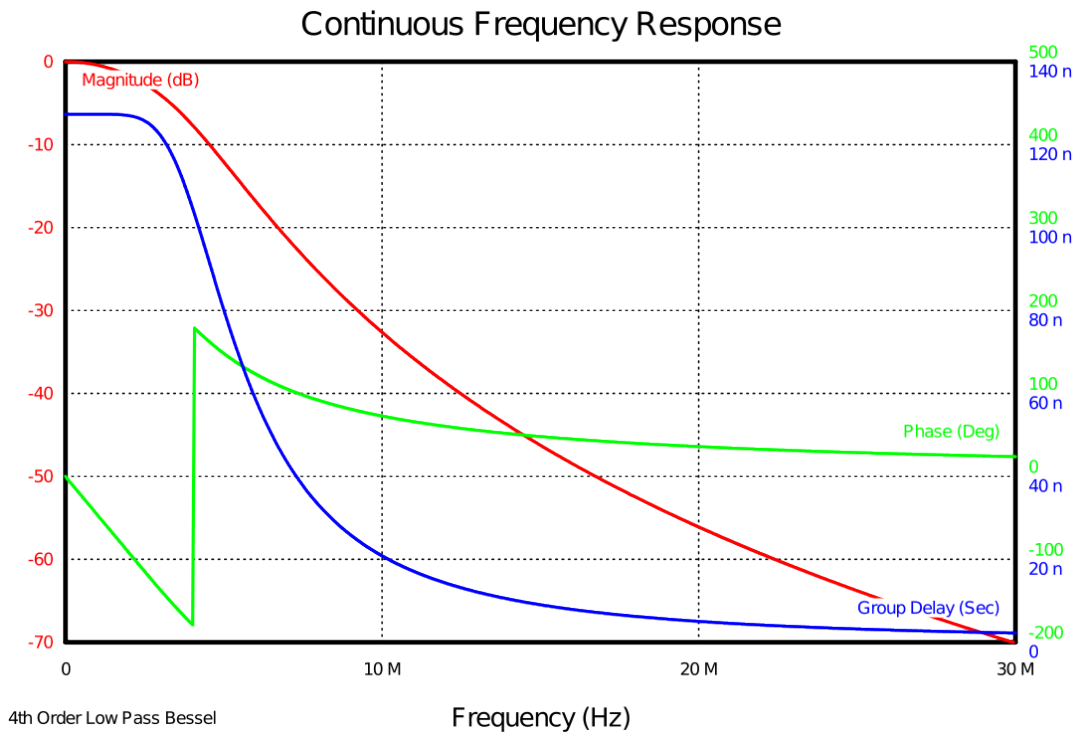
Obr. 4.3: Interná štruktúra obvodu AD9102 [18].

4.3.2 Rekonštrukčný filter

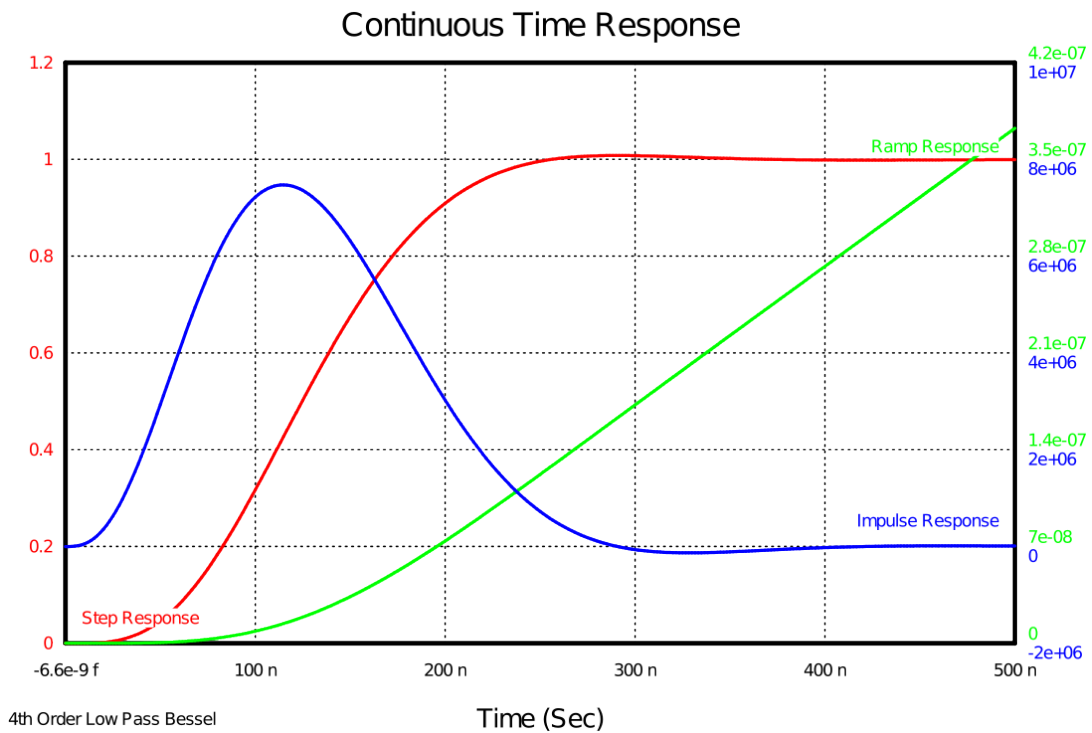
Vzhľadom na fakt, že výstupný signál z obvodu DDS je kvantovaný interným DA prevodníkom, bolo potrebné na výstup DA prevodníka zakomponovať rekonštrukčný filter. Pokiaľ by na výstupe nebol použitý rekonštrukčný filter, neboli by dostatočne potlačené zrkadlové frekvencie a výstupný signál by bol viditeľne skreslený (výstupný signál by nebol vyhladený). Funkcia rekonštrukčného filtra je podrobne rozobratá v sekcii 1.2.4.

Počas návrhu rekonštrukčného filtra sa vychádzalo z predpokladu, že maximálna výstupná frekvencia z obvodu DDS bude 1 Mhz, avšak v prípade vývojovej dosky bola snaha dosiahnuť čo najväčšiu výstupnú frekvenciu (idálne nad 1 MHz). Ako rekonštrukčný filter bola zvolená dolná priepust 4. rádu Besselovej aproximácie. Výstupný filter bol navrhnutý využitím programu Ansys Nuhertz FilterSolutions³. Frekvenčná charakteristika navrhnutého filtra je na obr. 4.4. Hodnoty súčiastok rekonštrukčného filtra sú súčasťou schémy uvedenej v prílohe C.1.

³<https://www.ansys.com/products/electronics/ansys-nuhertz-filtersolutions>



(a) Vo frekvenčnej doméne.



(b) V časovej doméne.

Obr. 4.4: Charakteristika navrhnutého rekonštrukčného filtra.

4.3.3 Výstupné zosilnenie

Výstupný zosilňovací obvod v rámci generátora tvarových kmitov je na základe požiadaviek návrhu prispôsobený na budenie kapacitnej záťaže. Maximálny výstupný prúd do záťaže je 1 A, pričom výstup koncového stupňa generátora tvarov je impedančne prispôsobený na 50 Ω.

Keďže výstupný DA prevodník DDS obvodu disponuje prúdovými výstupmi, ktorých výstupný prúd je možné nastaviť len po krokoch 2 mA, 4 mA a 8 mA, bol zvolený napätím riadený zosilňovač, ktorý slúži ako predzosilňovač koncovému stupňu. Na dosiahnutie napätového signálu sú na výstup DA prevodníka zaradené 30 Ω rezistory (viď. príloha C.1). Voľbou tejto hodnoty rezistorov je dosiahnutá výstupná amplitúda v škále od 500 mVpp po 15 Vpp.

Na výstup rekonštrukčného filtra je pripojený napätím riadený zosilňovač (Voltage-Controlled Amplifier – VCA). Vzhľadom na dostačujúcu šírku pásma a vysokú linearitu v lineárnej oblasti zisku bol zvolený obvod VCA824. Zisk tohto VCA je riadený na základe riadiaceho napätia v škále od -1 V až po +1 V. Výpočty jednotlivých komponentov vychádzali na základe vzťahov uvedených vo výrobných dokumentáciách k VCA824 [24] a sú taktiež súčasťou schémy uvedenej v prílohe C.1. Pre výpočet hodnoty rezistorov obvodu VCA824 sa využívalo vzťahu 4.1 a 4.2. Vzťah 4.1 udáva minimálnu hodnotu rezistora R_G , aby sa dosiahla potrebná stabilita zosilnenia a vzťah 4.2 následne určuje výpočet zisku VCA.

$$R_{GMIN} \geq \frac{U_{IN(PP)}}{I_{RG(PP)}} = \frac{8 \cdot 10^{-3} \cdot 30}{5,2 \cdot 10^{-3}} = \frac{8 \cdot 10^{-3} \cdot 30}{5,2 \cdot 10^{-3}} = 46,2 \Omega \Rightarrow 150 \Omega \quad (4.1)$$

$$G = 2 \cdot \frac{R_F}{R_G} = 2 \cdot \frac{1300}{150} = 17,3 [-] \quad (4.2)$$

Koncový stupeň zosilňovača je založený na obvode THS3095 [25]. Keďže maximálny výstupný prúd obvodu THS3095 je ± 250 mA, bolo potrebné použiť paralelnú kombináciu 4 obvodov THS3095, aby bol dosiahnutý potrebný výstupný prúd (1 A) do záťaže. Keďže jednou z požiadaviek bolo impedančné prispôsobenie výstupu, bola na jednotlivé výstupy obvodov THS3095 zaradená kombinácia rezistorov. Zosilnenie koncového stupňa je fixne nastavené na 2,5 násobok, a v kombinácii so 17 násobným zosilnením VCA sa dosahuje až 42 násobný zisk. Možno by sa javilo ako ideálnejšie riešenie použiť jeden obvod (napríklad ADA4870), nevýhodou by ale bola nízka šírka pásma a s tou súvisiace vlastnosti obvodu.

Keďže VCA824 vyžaduje záporné riadiace napätie, bol využitý bipolárny DA prevodník. Vyhovujúce bipolárne DA prevodníky sú momentálne nedostupné a pomerne

drahé. Z tohto dôvodu bol bipolárny DA prevodník vyskladaný využitím unipolárneho DA prevodníka v kombinácii s napätovou referenciou a operačným zosilňovačom. Vychádzaním z technickej literatúry od Maxim Integrated [26] je v prípade rovnosti rezistorov R_{FB} a R_{INV} možné dopracovať sa k nasledujúcemu vzťahu.

$$U_{OUT} = U_{REF} \cdot \frac{code}{2^n - 1} \cdot 2 - U_{REF} [V] \quad (4.3)$$

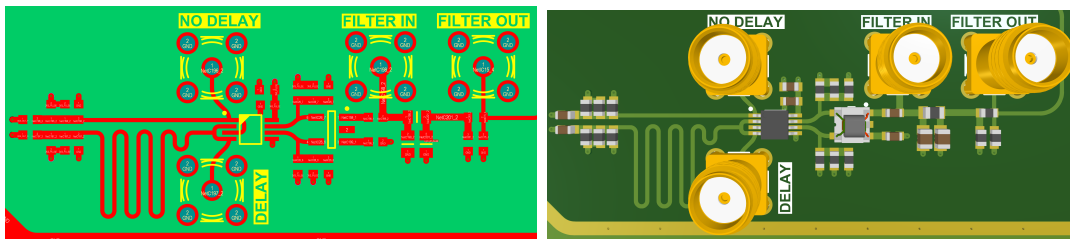
Vychádzaním zo vzťahu 4.3 je vidieť, že výstupné napätie U_{OUT} vyskladaného DA prevodníka je závislé od napätovej referencie U_{REF} , kódu a počtu bitov unipolárneho DA prevodníka n .

Napätová referencia MCP1501 [22] s výstupom 1,024 V tvorí v kombinácii s 12 b SPI unipolárnym DA prevodníkom MCP4921 [21] a operačným zosilňovačom LM201A [23] celé zapojenie bipolárneho DA prevodníka. Obvody spomenuté vyššie boli volené predovšetkým s ohľadom na skladovú dostupnosť a cenovú reláciu.

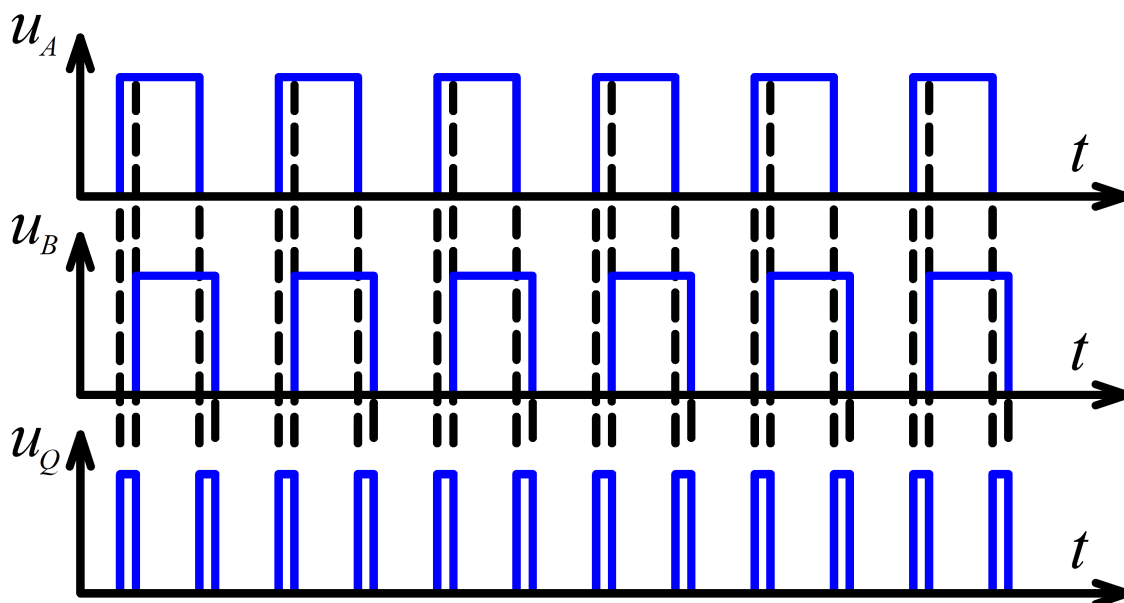
4.4 Generátor Gaussovských pulzov

Tretím z typov výstupných signálov je generovanie vysokofrekvenčných pulzov s Gaussovskou charakteristikou. Keďže požiadavka na charakteristiku výstupných pulzov je $FWHM \leq 2$ ns, bola zvolená metóda generovania pulzov založená na využití hradla XOR PECL (Positive Emitter Coupled Logic). Okrem ECL kategórie logických obvodov existuje niekoľko ďalších, ako napríklad CMOS, TTL atď., avšak ECL kategória je z týchto rodín najrýchlejšia. V rámci výberu XOR hradla bol zvolený obvod MC100EP08 [19]. Keďže ECL logika funguje na základe diferenciálneho spínania prúdu emitormi interných výstupných tranzistorov, bolo potrebné využiť Théveninový equivalent paralelnej terminácie zakončenia [19]. Na základe vzťahov 20 až 23 uvedených v literatúre [20] boli zvolené hodnoty terminačných rezistorov uvedených v rámci schémy zapojenia v prílohe C.1.

Princíp generovania pulzov spočíva na vygenerovaní obdĺžnikového pulzu uloženého v DDS SRAM. Výstupný signál z DDS je následne rozdvojený, pričom pred jeden zo vstupov XOR hradla je zaradená opozďovacia linka (viď obr. 4.5). Opozďovacia linka určuje šírku výstupného pulzu (viď obr. 4.6). V rámci návrhového programu Altium Designer bola vypočítaná opozďovacia linka na čas 1,5 ns. Ako plyní z blokovej schémy zapojenia na obr 3.1, je výstup z filtra privedený do analógového frontendu (AFE).



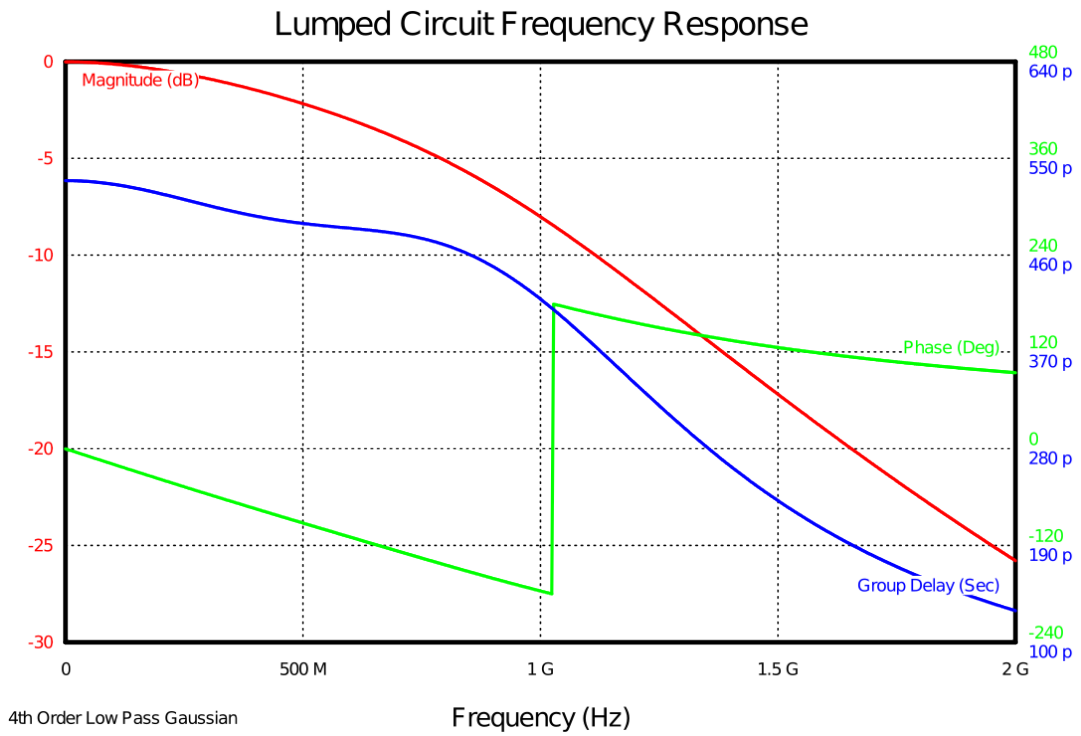
Obr. 4.5: Návrh DPS s implementáciou opozdovacej linky – 2D, 3D pohľad.



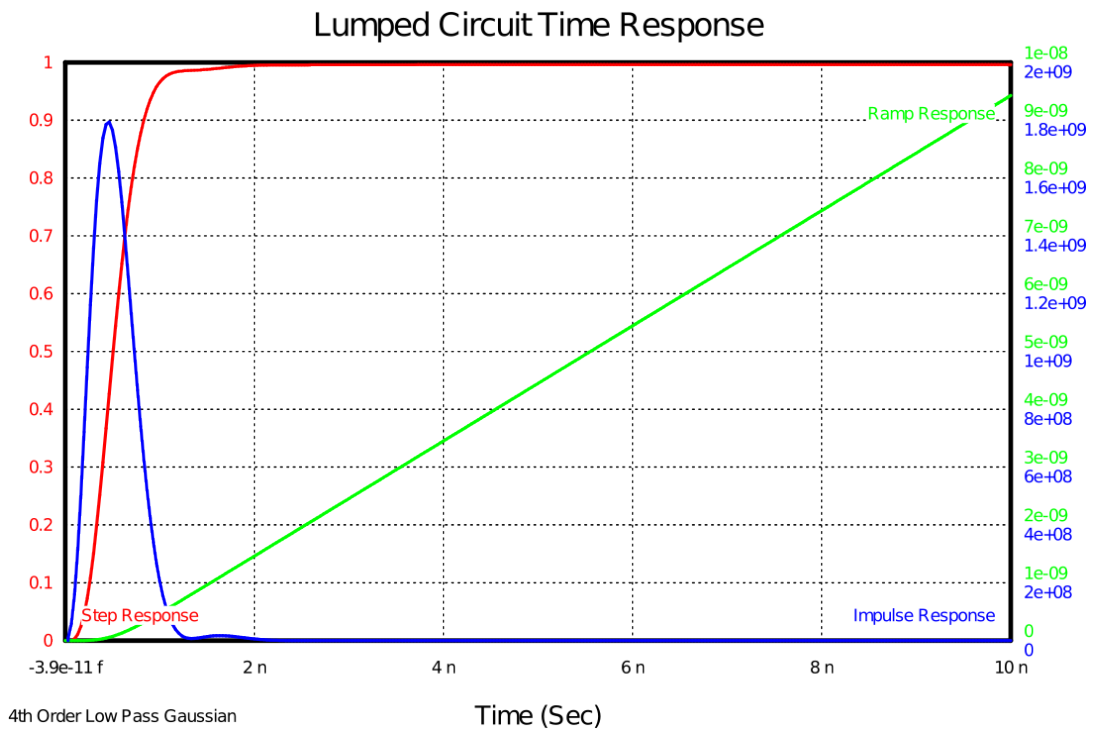
Obr. 4.6: Idealizované časové priebehy na hradle MC100EP08.

4.4.1 Výstupný filter

Keďže je hlavou požiadavkou, aby sa charakter výstupných pulzov približoval Gaussovskej krivke, bolo potrebné navrhnuť výstupný filter signálu zo XOR hradla. V rámci návrhu filtra bol zvolený filter 4. rádu Gaussovského typu s prvým elementom typu open a výstupným elementom typu short. Charakteristika navrhnutého filtra je zobrazená na obr. 4.7.



(a) Vo frekvenčnej doméne.



(b) V časovej doméne.

Obr. 4.7: Charakteristika navrhnutého Gaussovského filtra.

4.5 Analógový frontend

Výstupné signály z jednotlivých obvodov generovania signálov (PLL, DDS, XOR) sú privedené do sekcie analógového frontendu (viď. príloha C.1). Ako súčasť analógového frontendu je možné uvažovať aj obvod detekcie externého signálu spúšťania (triggeru).

4.5.1 Trigger

Keďže jednou z požiadaviek je možnosť spustenia generovania tvarov signálov na základe externého pulzu bol využití obvod 74HC1G14 [27]. Jedná sa o invertujúci Schmitt-trigger klopný obvod, ktorý je vybratý z dôvodu, že obsahuje ochranu vstupu pomocou takzvanej CLAMP diódy. V neposlednom rade bola jednou z dôvodov voľby skladová dostupnosť.

4.5.2 LNA

Vysokofrekvenčný signál privádzaný z PLL obvodu a XOR hradla je zosilňovaný LNA obvodom a následne cez výstupné relé privádzaný na BNC výstup. Výber LNA bol zameraný na dostatočné požadované zosilnenie (nad 22 dB) a na nízke šumové číslo. Na základe týchto požiadaviek bol ako LNA zvolený obvod TSS-13LN+. Tento LNA dosahuje výstupné zosilnenie až 22,8 dB a bod zahradenia až 39,2 dBm [29]. Na základe kombinácie LNA a nastaviteľného attenuátora je výstupný výkon z PLL syntetizátora v škále od -4,5 dBm až po 23 dBm. V rámci nastavenia pracovného bodu je LNA napájaný prostredníctvom takzvaného Bias-Tee obvodu TCBT-2R5G+ [30]. Tento obvod bol zvolený z dôvodu širokopásmovosti (20 Mhz až 2500 Mhz), jednoduchej implementácie a už predchádzajúcich skúseností autora.

4.5.3 VF Prepínače

Na prepínanie VF signálov na vstupe LNA je použitý VF prepínač M3SWA-2-50DRB+. Jedná sa o absorpčný VF prepínač s nízkou prenosovou stratou a vysokým bodom IP3 [28]. Na prepínanie signálov do výstupného konektora je použité HF3 vysokofrekvenčné relé [31]. Hlavným dôvodom výberu vyššie spomenutých komponentov boli ich spomenuté vlastnosti a skladová dostupnosť.

4.6 Riadiaca časť

Ako hlavný mikrokontrolér bol zvolený modul Raspberry Pi Pico. Tento modul je založený na obvode RP2040, ktorý implementuje dvojjadrový procesor ARM Cortex-

M0+ s taktom až do 133 MHz. Tento obvod zároveň poskytuje 2 MB vstavanej pamäte Flash, 264 KB pamäte SRAM a podporu rozraní SPI, I²C a UART [33], ktoré sú využívané v rámci tejto práce, čiže tento mikrokontrolér je možné označiť za viac než dostatočný.

4.6.1 Displej

V rámci užívateľského rozhrania bol zvolený 3,5" IPS TFT LCD modul s rozlíšením 320x480 pixelov. Tento typ displeja používa radič ILI9488, ktorý podporuje 262 tisíc farieb a komunikáciu cez rozhranie SPI [34]. Okrem rozlíšenia a rozmerov LCD zohrávala pri jeho výbere aj podpora existujúcich knižníc na rýchlu implementáciu ako napríklad `Adafruit_ILI9341` alebo `TFT_eSPI`. Podsvietenie LCD je ovládané prostredníctvom obvodu BCR421U od Infineon Technologies, kde sa výstupný prúd do LED podsvietenia nastavuje pripojením externého rezistoru. Regulácia jasu podsvietenia je závislá od striedy a to až do 10kHz [35].

4.6.2 GPIO expandér

Z dôvodu zjednodušenia dizajnu a rozšírenia fyzických GPIO portov na MCU bol do návrhu implementovaný 16-bitový I/O expandér PCF8575 založený na I²C protokole od spoločnosti Texas Instruments. Dôvodom voľby obvodu PCF8575 bola nízka spotreba, podpora externého adresovania pomocou hardvérových pinov, podpora prerušenia (Interrupt Output) a podpora takzvaných Latched Outputs [36].

4.7 Návrh DPS

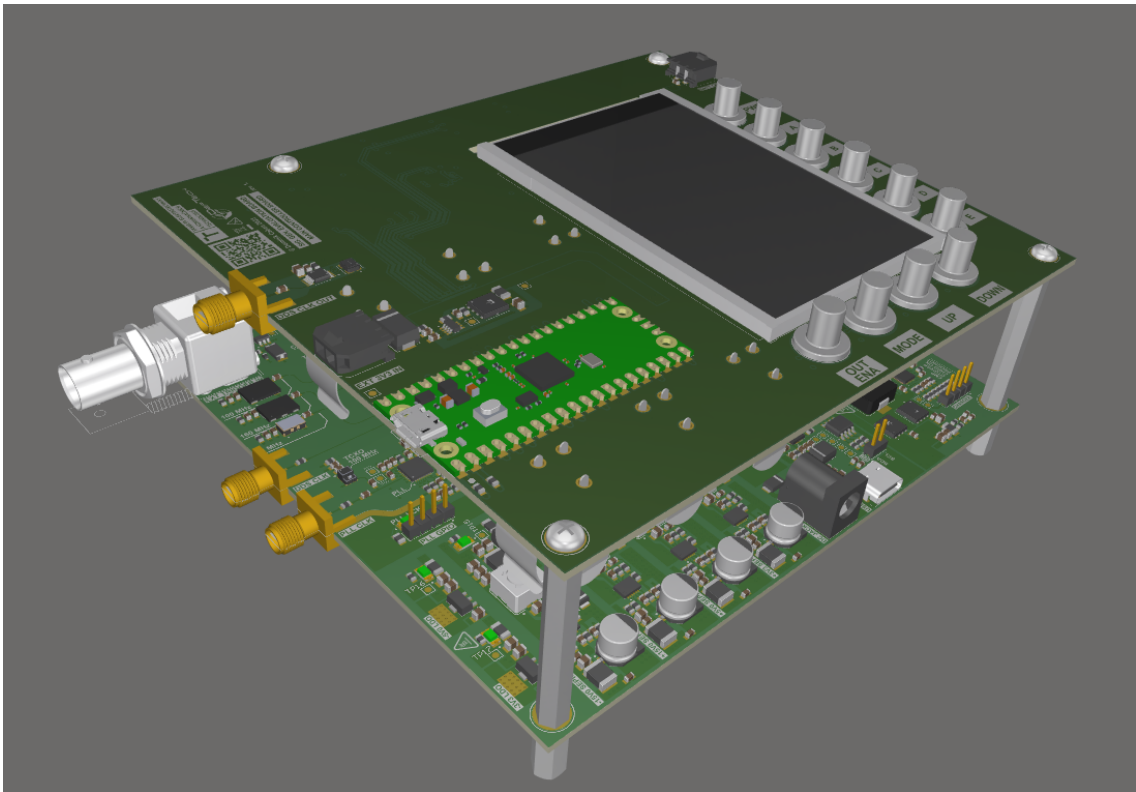
Keďže sa nejedná o úplne najjednoduchší dizajn DPS, museli byť dodržané pravidlá (High-Density Interconnect – HDI) návrhu. HDI návrhy DPS sa voči klasickým návrhom vyznačujú väčšou zložitosťou, špecifickým typom prekovov, šírkou vodivých ciest a ich izolačnou medzerou. So zložitosťou návrhu je priamo spätá stavba (stackup) DPS, teda počet vrstiev.

Pre správny návrh DPS je potrebné drdžať niekoľko návrhových zásad, ako napríklad zvolenie správneho počtu vrstiev DPS, ich referencie voči zemniacej alebo napájacej ploche (polygónu), kalkulácia impedancie signálnych ciest. Pri návrhu DPS je tiež potrebné zohľadniť integritu signálu a elektromagnetickú kompatibilitu (EMC).

Dôležitým faktorom, ktorý je závislý od stavby DPS, je impedancia jednotlivých signálnych ciest. Impedancia je predovšetkým závislá na šírke signálnej cesty, vzdialenosti medzi signálnymi cestami a použitom materiáli DPS. Ako materiál DPS

sa používa tenký sklolaminátový epoxid nazývaný Prepeg. V rámci tohto dizajnu bola zvolená povrchová úprava Ni-Au (Nickel-Gold) z dôvodu zníženia prechodových odporov.

Výsledná schéma zapojenia pre riadiacu a VF časť bola navrhnutá prostredníctvom softvéru Altium Designer⁴. Pre tento konkrétny návrh má vysokofrekvenčná doska 6 vrstiev a doska riadenia 4 vrstvy. V rámci príloh C.2, D.2 a E.2 je možné vidieť zvolený stackup jednotlivých dosiek spolu s vypočítanými šírkami ciest. Komponenty na dosku riadenia a vysokofrekvenčnú dosku boli osadzované manuálne (ručne).



Obr. 4.8: Navrhnutá DPS pre riadiacu a VF časť.

⁴<https://www.altium.com/>

5 Integrácia firmvéru

Nasledujúce podkapitoly a sekcie sú venované základnej konfigurácii jednotlivých obvodov a firmvéru potrebnému na ich oživenie v rámci vykonania základných meraní.

5.1 Napájanie

Ako už bolo spomenuté v sekcii 4.1.1, kombinácia TPS25750 a BQ25731 dokáže po načítaní prvotnej konfigurácie prostredníctvom I²C zbernice fungovať prakticky autonómne a nie je teda potrebné využívať MCU. Obvod TPS25750 je zapojený v takzvanom Always enable sink režime, v rámci ktorého sa pri štarte načíta potrebná konfigurácia z EEPROM, následkom ktorej obvod dokáže fungovať aj v OTG režime (rozobraté v sekcii 2.1.3) s podporou USB-PD. V prípade, ak by nebola pripojená pamäť EEPROM, alebo by bol v nej poškodený firmvér, TPS25750 by fungoval len v režime spotrebiča (Sink) a podporoval maximálne vstupné napätie do 5 V. Ako je vidieť v prílohe C.1, z obvodu sú vyvedené GPIO piny, na ktoré je možné v rámci budúceho vývoja namapovať jednotlivé stavy napájacích obvodov. Časti firmvéru vývojovej dosky sú uvedenej v elektronickej prílohe F.

Konfiguračný firmvér do EEPROM pre obvody PMS je na základe odporúčania výrobcu vygenerovaný programom TPS25750 Application Customization Tool ver. 7.0.4¹. Zvolená konfigurácia je nasledovná:

- predvolená rola: Spotrebič (Power sink)
- vstupné napätie: 5 V, 9 V, 15 V, 20 V (do výkonu 100W)
- výstupné napätie v OTG režime: 5 V a 9 V (do výkonu 27W)
- nabíjacie napätie batérií: 12,6 V
- nabíjací prúd batérií: 1,152 A

Na nahranie vygenerovaného konfiguračného súboru do EEPROM bol vytvorený program v jazyku C využitím knižníc `Wire` a `AT24C256`. Knižnica `Wire` je zabudovaná knižnica v platforme Arduino pre I²C komunikáciu. Knižnica `AT24C256` obsahuje zadané funkcie pre komunikáciu s EEPROM obvodom AT24C256 prostredníctvom I²C. V rámci sekcie meraní A.1 je možné vidieť odtestovanú funkčnosť obvodov napájania.

¹https://dev.ti.com/gallery/view/USBPD/TPS25750_Application_Customization_Tool/ver/7.0.4/

5.2 PLL

Keďže od obvodu PLL sa v tomto návrhu požaduje len konkrétne generovanie výstupných frekvencií (100 MHz, 200 MHz, 400 MHz a 800 MHz), je obvod ADF4351 konfigurovaný s celočíselným (Integer-N PLL) deliacim pomerom.

Na prvotné nastavenie registrov obvodu PLL je využitý program ADF435X Software tool² od spoločnosti Analog devices. Tento program na základe potrieb používateľa vygeneruje nastavenie jednotlivých registrov pre obvod PLL. Zo zvolenej konfigurácie boli vygenerovaná nastavenia registrov R0 až R5 na hodnoty uvedené vo výpise 5.1.

Výpis 5.1: Predvolené nastavenie registrov v obvode ADF4351.

```
R0 : 0x400000 ,
R1 : 0x8008011 ,
R2 : 0x1008F42 ,
R3 : 0x4B3 ,
R4 : 0xDC803C (100 MHz) ,
R4 : 0xCC803C (200 MHz) ,
R4 : 0xBC803C (400 MHz) ,
R4 : 0xAC803C (800 MHz) ,
R5 : 0x580005 ,
```

V tejto konkrétnej konfigurácii obvodu PLL je výstupná frekvencia závislá od zmeny hodnoty bitov [DB22 až DB20], ktoré nastavujú veľkosť deličky výstupného VF signálu v registri R4. Dochádza tak k zmene len v registri R4 a zvyšné hodnoty registrov ostávajú nezmenené. Kombináciu bitov [DB22 až DB20] odpovedajúcu decimálnemu číslu RF_{DIV} udáva výrobca v katalógovom liste [13]. Príklad výpočtu decimálneho čísla RF_{DIV} je pre výstupnú frekvenciu $f_{out} = 200$ MHz uvedený v rovniciach 5.1 a 5.2.

$$f_{PFD} = f_{ref} \cdot \frac{1 + D}{R \cdot (1 + T)} = 100 \cdot 10^6 \cdot \frac{1 + 0}{2 \cdot (1 + 1)} = 25 \text{ MHz} \quad (5.1)$$

$$RF_{DIV} = \frac{INT \cdot f_{PFD}}{f_{out}} = \frac{128 \cdot 25 \cdot 10^6}{200 \cdot 10^6} = 16 \quad (5.2)$$

Pričom f_{PFD} je frekvencia fázového frekvenčného detektora, f_{ref} je frekvencia referenčného oscilátora, D je násobič referenčnej frekvencie, T je delič referenčnej frekvencie, R je prednastavený deliaci pomer binárneho 10-bitového programovateľného referenčného čítača, INT je prednastavený deliaci pomer binárneho 16-bitového čítača a RF_{DIV} je výstupný delič, ktorý delí frekvenciu VCO.

²https://www.analog.com/media/en/evaluation-boards-kits/evaluation-software/ADF435x_v4_5_0.zip

5.2.1 Attenuátor

Veľkosť nastaveného útlmu attenuátora DAT-31R5A-SN+ spočíva v nastavení 6 – bitového posuvného registra, pričom každý bit registra má určitú váhu nastavenej úrovne útlmu od 0,5 dB do 31,5 dB. Nastavenie attenuátora obsluhuje funkcia `configureAttenuator()`.

Na začiatku funkcie je nastavený `ATT_LE` pin na log. nulu (LOW), čím sa attenuátor inicializuje na príjem údajov. Potom deklaruje pole 6 bitov, ktoré sa pošlú do attenuátora na nastavenie úrovne útlmu. Následne funkcia nastaví pin `ATT_CLK` a pin `ATT_LE` na hodnotu LOW, čo znamená začiatok prenosu údajov, vstúpi do slučky (LOOP), v ktorej prechádza každý bit 6-bitového dátového pola. Pre každý bit nastaví pin `ATT_DAT` na hodnotu bitu (buď HIGH, alebo LOW), potom prepne pin `ATT_CLK`, aby signalizoval, že bit údajov je pripravený na čítanie attenuátorom.

5.3 DDS

Ako už bolo spomenuté v predchádzajúcej sekcii 4.3 na generovanie harmonických a neharmonických signálov je využitý obvod AD9102. V rámci prvotnej inicializácie obvodu sú vyresetované všetky registre a zavolaná funkcia `calibrate()`, pomocou ktorej je využitím internej referencie automaticky skalibrovaný výstupný prúd z DA prevodníka.

Typ generovaného priebehu je nastavovaný v registri `WAV_CONFIG`. Nastavením `WAV_CONFIG` je možné zvoliť výstup z DDS bloku, prípadne preddefinovaných priebehov, alebo čítania vzoriek priebehov uložených v SRAM. V rámci preddefinovaných priebehov je možné generovať signál tvaru píly, (aj s 50 % stredou) avšak definovaním registra `PATTERN_PERIOD` sa mení len oblasť prehrávania preddefinovaného signálu v SRAM. Z tohto dôvodu boli na generovanie neharmonických priebehov vytvorené funkcie, pomocou ktorých sa v závislosti od zadanej frekvencie vygenerujú jednotlivé vzorky do SRAM. Časť firmvéru venovaná výpočtu jednotlivých vzoriek je uvedená vo výpise 5.2.

Napriek tomu, že v dokumentácii od výrobcu [18] sa uvádza, že rýchlosť prehrávania, respektíve nastavenie (takt) čítača pre SRAM je závislá od `DDS_MSB` registra, je možné `DDS_MSB` použiť na taktovanie SRAM čítača len vtedy, ak sa výstup z SRAM používa na ladenie DDS. Nie je teda možné meniť rýchlosť prehrávania vzoriek uložených v SRAM v závislosti od `DDS_MSB` registra.

Rýchlosť prehrávania SRAM je závislá aj od referenčného hodinového signálu. Frekvencia hodinového signálu je žiaľ v obvode AD9102 interne pevne delená hodnotou 16 a generovanie neharmonických priebehov je teda značne obmedzené. Z

tohto dôvodu bol do prototypu zakomponovaný obvod distribúcie hodinového signálu 4.2.4.

V rámci generovania harmonických signálov je využitý interný DDS blok, pričom pre výstupnú frekvenciu platí vzťah 1.1. Na nastavenie DDS bloku slúžia registre DDS_TW32 a DDS_TW1. Tieto registre dosahujú celkovú šírku 24 bitov, čomu odpovedá maximálna veľkosť riadiaceho slova TW . Keďže je výstupná frekvencia len racionálnym násobkom referenčnej frekvencie, je nutné v závislosti od potrebnej výstupnej frekvencie zvoliť vyhovujúcu hodnotu referenčnej frekvencie hodinového signálu. Pre dosiahnutie frekvenčného kroku výstupného signálu 1,003 Hz je využitý 10 MHz oscilátor v kombinácii s preddeličkou [17]. V tomto prípade je preddelička nastavená pevne na hodnotu 6, čo umožňuje dosiahnuť na výstupe signál s rozlíšením 1,003 Hz.

Zmena hodnoty zosilnenia (čiže úrovně výstupného prúdu z DA prevodníka) je dosiahnutá využitím 10-bitového registra REG_DAC_DGAIN. Pre maximálny zisk musí byť nastavený na hodnotu 1024, čiže (0x400), pre polovičné zosilnenie by bolo potrebné nastaviť hodnotu 512, čiže (0x200).

Výpis 5.2: Časť kódu slúžiaca na generovanie neharmonických priebehov z DDS.

```
void fill_square(uint32_t length)
{
    uint32_t cnt = length / 2;
    for (int i = 0; i < cnt; i++) {
        dds.spi_write(0x6000 + i, 0x7FFF);
    }
    for (int i = 0; i < cnt; i++) {
        dds.spi_write(0x6000 + cnt + i, 0);
    }
}
void fill_triangle_pattern(size_t length)
{
    size_t mid = length / 2;
    for (size_t i = 0; i < length; i++) {
        if (i <= mid) {
            dds.spi_write(0x6000 + i, (uint16_t)((32767.0 / mid) * i));
        } else {
            dds.spi_write(0x6000 + i, (uint16_t)(32767 - (32767.0 / mid) * (i - mid)));
        }
    }
}
void fill_ramp_up_pattern(size_t length)
{
    for (size_t i = 0; i < length; i++) {
        dds.spi_write(0x6000 + i, (uint16_t)((32767.0 / (length - 1)) * i));
    }
}
void fill_ramp_down_pattern(size_t length)
```

5.3.1 DAC

Na nastavenie zosilnenia výstupnej amplitúdy z DDS sa využíva DA prevodník MCP4921, ktorý je rozobratý v sekcii 4.3.2. Prevodník je nastavovaný pomocou funkcií `init_DAC_SPI` a `calculateDACOutput`. Funkcia `init_DAC_SPI` inicializuje DAC a pomocou funkcie `calculateDACOutput` vypočítava digitálnu hodnotu zodpovedajúcu požadovanému výstupnému napätiu U_{OUT} . Ako parameter je do funkcie `calculateDAC Output` brané požadované výstupné napätie, ktoré je prepočítané na bitovú hodnotu pomocou vzorca 5.3.

$$BITS = U_{OUT} \cdot \frac{4096}{U_{REF}} \quad (5.3)$$

5.4 Používateľské rozhranie

Aby bolo možné v rámci finálneho produktu ovládať výstupný signál z prenosného generátora inak ako využívaním sériovej linky, sú jednotlivé tlačidlá privedené do GPIO expandéru PCF8574. Zostrojený prototyp využíva na otestovanie návrhu knižnicu PCF8574, na základe ktorej vypisuje po sériovej zbernici aktuálnu hodnotu tlačítok. V rámci grafického menu na LCD displej sú využité pomocné funkcie `draw_right_menu()` a `draw_bottom_mode()`. Pričom funkcia `draw_right_menu()` vykreslí tlačítka na pravej strane LCD a funkcia `draw_bottom_mode()` vypíše zvolený mód obrazovky - napríklad DDS, PLL a iné.

6 Zhodnotenie dosiahnutých výsledkov

6.1 Výsledky meraní

6.1.1 Spotreba a maximálny výstupný výkon po USB zbernici

Jednou z požiadaviek na zariadenie je minimálne 4 hodinová výdrž interného akumulátora na jedno nabitie. Ako interný akumulátor bola zvolená sériová kombinácia 18650 Li-ion článkov s kapacitou 3,6 Ah (rozobraté v sekcii 4.1.1). Na základe tab. 6.1 je vidieť, že predpoklad pre výdrž zariadenia je splnený pre všetky požadované scenáre typov výsledných signálov.

Avšak je potrebné spomenúť, že sa jedná o idealizované vypočítané hodnoty výdrže batérií. V závislosti od ohrevu interných polovodičov v prenosnom generátore signálov sa výdrž interného akumulátora zníži.

Konfigurácia zariadenia	Spotreba [W]	Výdrž batérie [hod.]
Nabíjanie batérií z USB C konektora	15,8	-
Vypnuté zariadenie (standby mód)	0,1	453,5
Zapnuté zariadenie	4,2	10
Generovanie pulzov	7,1	6,3
Maximálny výstupný výkon z PLL	8,6	5,3
Maximálny výstupný výkon z DDS	9,2	4,9

Tab. 6.1: Meraná spotreba zostrojeného prototypu.

Nabíjací obvod BQ5731 v kombinácii s PMS obvodom okrem PD podporuje aj OTG mód. Zariadenie tak vie slúžiť aj ako externý zdroj energie (Power bank). Na snímkach uvedených v prílohe A.1 je zdokumentované meranie maximálneho vstupného a výstupného napätia v rámci USB-C konektora. Na základe konfigurácie PMS obvodu 5 boli zmerané nasledovné hodnoty uvedené v tab. 6.2.

Parameter	Hodnota
Vstupné napätie	5,03 V, 9,4 V, 15,0 V, 20,0 V
Výstupné napätie v OTG režime	5,02 V a 8,99 V
Nabíjacie napätie batérií	12,6 V
Nabíjací prúd batérií	1,15 A

Tab. 6.2: Zmerané hodnoty pre obvod správy napájania

6.1.2 Vysokofrekvenčný generátor - PLL

Výstupná frekvencia VF generátora založeného na obvode PLL odpovedá presne stanoveným predpokladom. V rámci základných meraní výstupného signálu z obvodu PLL bol zmeraný výstupný fázový šum (viď. príloha. A.7) a spektrum výstupného signálu (viď. príloha. A.2.1). Zmeraný fázový šum dosahuje pomerne nízke hodnoty a je ho tak možné vyhodnotiť ako uspokojivý. Na snímkach uvedených v prílohe A.2.1 je vidieť porovnanie výstupného spektra jednotlivých frekvencií pre filtrovaný a nefiltrovaný výstupný signál (výstupný signál bol filtrovaný pomocou navrhnutých výstupných filtrov – viď. sekcia 4.2.3).

6.1.3 Vysokofrekvenčný generátor - Výstupný výkon

Ako už bolo rozobraté v sekcii 4.2.2 je použitím attenuátora možné dosiahnuť výstupný výkon z VF generátora v škále od -4,5 dB po 31,5 dB s krokom 0,5 dB. V prílohe A.2.2 na obr A.8 až A.11 je viditeľná zmena výstupného výkonu v závislosti od nastavenia interného attenuátora pre frekvenciu 200 MHz.

6.1.4 Generátor priebehov - DDS

Využitím interného DDS jadra v obvode AD9102 je možné dosiahnuť harmonické priebehy výstupného signálu v škále od 1 Hz po 2 MHz, pričom pre generovanie neharmonických signálov z SRAM je škála výstupných frekvencií od 2,5 kHz po 1 MHz (pri 160 MHz referenčnej frekvencii). Výstupnú amplitúdu je možné regulovať v škále od 500 mV_{PP} do 15 V_{PP}. Zmeraný fázový šum obvodu DDS dosahuje síce vyššie hodnoty v porovnaní s obvodom PLL, avšak pre aplikáciu prenosného generátora signálov je to akceptovateľné. Jednotlivé priebehy výstupných signálov obvodu DDS v časovej oblasti sú uvedené v prílohe A.3. Zmeraný fázový šum je uvedený v prílohe A.20.

6.1.5 Generátor Gaussovských pulzov

Na budenie generátora pulzov sa používa signál vygenerovaný z DDS. V tomto prípade je z DDS generovaný obdĺžnikový signál o frekvencii 5 kHz s 50 % striedou, následkom čoho dostávame na výstupe XOR hradla pulzy vzdialené 100 μ s (10 kHz), ktoré sú viditeľné na obr. A.21.

V rámci prvotného oživenia bola potrebná zmena oddelovacích kondenzátorov na BALUN transformátore pripojenom na výstup XOR hradla. Pôvodná hodnota zvolených kondenzátorov bola 1 nF, avšak vplyvom vysokých frekvencií (výstupné pulzy sú síce vzdialené 100 μ s, ale ich FWHM je 1,5 ns) sa oddelovacie kondenzátory

dostávali do rezonancie. Tento jav spôsobil parazitné záchvevy (ringing), ktorých amplitúda bola väčšia ako amplitúda požadovaného pulzu (viď obr. A.22). Tento jav bol vyriešený úpravou hodnoty oddeľovacích kondenzátorov na 47 pF. Aby bola dosiahnutá menšia šírka pulzu Gaussovského tvaru, bolo potrebné mechanicky skrátiť opozďovaciu linku (viď. obr. B.3). Výsledný pulz po zosilnení LNA obvodom implementovaným v návrhu je možné vidieť na obr. A.23.

6.2 Zostrojený prototyp

Zostrojený prototyp sa skladá z dvoch častí – z riadiacej a vysokofrekvenčnej časti - ich fotografie je možné vidieť v prílohe B. Na mechanickú konštrukciu boli využité distančné stĺpiky, vďaka ktorým je vytvorený prototyp možné označiť ako prenosný a kompaktný.

6.3 Návrhy na vylepšenie

6.3.1 Napájacie obvody

Obvod BQ25731 nedisponuje tranzistorom na odpojenie batériového packu od interných zdrojov napájania. Z tohto hľadiska je vhodné v rámci finálneho produktu použiť obvod BQ25730 od rovnakého výrobcu ako BQ25731, alebo zakomponovať spínací tranzistor budený GPIO výstupom z obvodu TPS25750 (t.j. na GPIO pin sa v softvéri *TPS25750 Application Customization Tool ver. 7.0.4* namapuje príslušný event – napríklad nízka hodnota napätia batériového packu). Taktiež je nutné použiť BMS obvod z dôvody lepšej ochrany Li-Ion článkov. V rámci prototypu je na zapínanie prenosného generátora využitý obvod LTC2950 [38]. Tento obvod by mal byť vo finálnom produkte nahradený takzvanou „Standby“ napäťovou vetvou a zapínanie celého zariadenia bude vedieť obsluhovať MCU.

V rámci zistení počas oživovania tejto práce sa rozhodne neodporúča používať lineárne regulátory XC6902 od spoločnosti Torex Semiconductor Ltd. Tieto regulátory sú síce lacné, avšak extrémne nespoľahlivé. Príkladom je skutočnosť, keď výrobca v technickej dokumentácii uvádza [12], že rozsah vstupného napätia je až do -16 V. Realita je ale taká, že v prípade regulátora XC6902N331PR nastáva už pri vstupnom napätí -10 V priraz LDO. Z tohto dôvodu bola schéma zapojenia signálovej dosky upravená pripojením regulátora 79L05 pred obvod XC6902N331PR. Keďže výstupný attenuátor obvodu VF generátora (PLL) potrebuje záporné napätie -3,3 V (a odber má len 100 μ A) bolo by obvod XC6902N331PR možné nahradiť aj jednoduchým napäťovým deličom.

6.3.2 Generátor DDS

Na generovanie harmonických signálov presne definovanej frekvencie je obvod AD9102 ideálny, ale v prípade generovania neharmonických priebehov sa javí rozumnejšie použiť rýchly DA prevodník v kombinácii napríklad s FPGA s dostatočne veľkou pamäťou SRAM. Spomenutú kombináciu by bolo vhodné využiť aj na generovanie harmonických priebehov. V závere projektu bol na dosku riadenia implementovaný generátor hodinového signálu Si5351A ([37]), ktorý v rámci budúceho vývoja umožní obídienie kombinácie oscilátorov a deličky.

Pri obvode AD9102 je veľká škoda, že interný návrh obvodu neumožňuje inkrementáciu SRAM na základe výstupu z DDS jadra. V tomto prípade by bol tento obvod dokonalý na implementáciu v prenosných generátoroch signálu, žiaľ tento obvod nie je prioritne určený na generovanie neharmonických priebehov.

Záver

Hlavným cieľom tejto bakalárskej práce bolo vyhotoviť prototyp viacúčelového prenosného generátora signálov napájaným vlastným akumulátorom. V navrhnutom zariadení mal byť implementovaný generátor funkcií, vysokofrekvenčný generátor a generátor impulzov s Gaussovskou charakteristikou. Na základe vytvoreného prototypu sa zrealizuje finálny produkt.

V teoretickej časti bola v úvode rozobratá problematika moderných DDS a VF generátorov a napájacích zdrojov kompatibilných s aplikáciou v prenosných zariadeniach. Zároveň boli čitatelia oboznámení so zvolenou teóriou fungovania prenosného generátora, na základe ktorej sa vytvorila architektúra vývojovej dosky. V rámci architektúry vývojovej dosky boli zvolené jednotlivé komponenty a navrhnutá schéma zapojenia, z ktorej boli vytvorené výrobné podklady pre zhotovenie prototypu. Počas návrhu jednotlivých blokov bola vedená konzultácia so zainteresovanými stranami v rámci projektu. Na základe pripomienok boli odladené niektoré nedostatky prvotného návrhu.

V rámci praktickej časti boli na overenie funkčnosti a vykonanie základných meraní vytvorené osobitné programy pre jednotlivé logické bloky prenosného generátora. Pomocou vytvorených programov bolo možné nezávisle otestovať základné súčasti ako napríklad obvod PLL, DDS, DAC, displej a iné. Počas vykonaných testov boli odhalené drobné nedostatky a problémy súvisiace s nedostatočnou a niekedy až chybnou dokumentáciou vybraných obvodov. Keďže bolo potrebné spomenuté nedostatky odstrániť, bolo spôsobené zdržanie vývoja zariadenia, čo ovplyvnilo komplexnosť implementovaného používateľského rozhrania. Následne boli vyhotovené ďalšie iterácie prototypu, ktoré opravili kritické nedostatky.

Na záver bola vykonaná séria základných meraní, ktoré podložili správnosť návrhu. Zariadenie je schopné generovať vysokofrekvenčné a nízkofrekvenčné harmonické a neharmonické signály, vrátane generovania pulzov s Gaussovskou charakteristikou. V skonštruovanom prototypu bola taktiež dosiahnutá požadovaná výdrž batérie 4 hodiny s podporou rýchleho nabíjania.

Počas práce na prototypu signálneho generátora bolo narazené na niekoľko podstatných prekážok, napriek ktorým sa vyhotovil funkčný produkt, ktorý po vykonaní sérií iterácií splňa stanovené ciele definované v zadaní práce a je ho možné použiť v rámci vývoja finálneho produktu.

Literatúra

- [1] HOROWITZ, Paul a Winfield HILL. *The art of electronics.*, New York: Cambridge University Press, 2015. ISBN 978-0-521-80926-9.
- [2] Hank ZUMBAHLEN. *Linear circuit design handbook.*, Amsterdam: Elsevier, 2008. Analog devices. ISBN 978-0-7506-8703-4.
- [3] Vágner, P. *Vysokofrekvenční technika. Elektronické skriptum.*, Brno: FEKT VUT v Brne, október 2013., [cit. 1. 12. 2022].
- [4] Ulrich L. Rohde, Enrico Rubiola, Jerry C. Whitaker. *Microwave and Wireless Synthesizers: Theory and Design, 2nd Edition*, New York: John Wiley & Sons, April 2021. ISBN: 978-1-119-66600-4.
- [5] Valuch D. *Projekt DDS generátora* [online]. posledná aktualizácia 2006., [cit. 4. 12. 2022]. Dostupné z URL: <<https://dvaluch.web.cern.ch/DDS/>>.
- [6] Texas Instruments. *How to design boost, SEPIC and flyback regulators with wide VIN boost power management ICs.* [online]. [cit. 5. 12. 2022] Dostupné z URL: <https://www.ti.com/lit/wp/slyy062/slyy062.pdf?ts=1672087837424&ref_url>.
- [7] STMicroelectronics N.V. *LD1117 datasheet.* [online]. [cit. 5. 12. 2022] Dostupné z URL: <<https://www.st.com/resource/en/datasheet/ld1117.pdf>>.
- [8] Maxim Integrated. *USB-C and USB Power delivery solutions.* [online]. [cit. 5. 12. 2022] Dostupné z URL: <<https://www.maximintegrated.com/content/dam/maxim/techdocs/productguides/usb-c-and-usb-power-delivery-solutions-design-guide.pdf>>.
- [9] Texas Instruments. *TPS25750 datasheet.* [online]. [cit. 5. 12. 2022] Dostupné z URL: <https://www.ti.com/lit/ds/symlink/tps25750.pdf?ts=1672184809296&ref_url>.
- [10] Texas Instruments. *BQ25731 datasheet.* [online]. [cit. 5. 12. 2022] Dostupné z URL: <<https://www.ti.com/lit/ds/symlink/bq25731.pdf?ts=1672133447661>>.
- [11] Analog Devices Inc. *LT8334 datasheet.* [online]. [cit. 9. 12. 2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/data-sheets/lt8334.pdf>>.

- [12] Torex Semiconductor Ltd. *XC6902 datasheet*. [online]. [cit. 9.12.2022] Dostupné z URL: <<https://www.torexsemi.com/file/xc6902/XC6902.pdf>>.
- [13] Analog Devices Inc. *ADF4351 datasheet*. [online]. [cit. 9.12.2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/data-sheets/ADF4351.pdf>>.
- [14] Mini-Circuits. *TC1-1-13M+ datasheet*. [online]. [cit. 15.12.2022] Dostupné z URL: <<https://www.minicircuits.com/pdfs/TC1-1-13M+.pdf>>.
- [15] Mini-Circuits. *DAT-31A+ Series datasheet*. [online]. [cit. 15.12.2022] Dostupné z URL: <https://eu.mouser.com/datasheet/2/1030/DAT_31A_SP_2b-2936678.pdf>.
- [16] Analog Devices Inc. *ADG904 datasheet*. [online]. [cit. 15.12.2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/data-sheets/adg904.pdf>>.
- [17] Analog Devices Inc. *AD9515 datasheet*. [online]. [cit. 15.12.2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/data-sheets/ad9515.pdf>>.
- [18] Analog Devices Inc. *AD9102 datasheet*. [online]. [cit. 22.12.2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/data-sheets/AD9102.pdf>>.
- [19] Onsemi. *AMC100EP08 datasheet* [online]. [cit. 22.12.2022] Dostupné z URL: <<https://www.onsemi.com/pdf/datasheet/mc10ep08-d.pdf>>.
- [20] Onsemi. *Termination of ECL Devices with EF (Emitter Follower) OUTPUT Structure*. [online]. [cit. 22.12.2022] Dostupné z URL: <<https://www.onsemi.com/pub/Collateral/AND8020-D.PDF>>.
- [21] Microchip Technology Inc. *MCP4921/4922 datasheet*. [online]. [cit. 22.12.2022] Dostupné z URL: <<http://ww1.microchip.com/downloads/en/devicedoc/21897b.pdf>>.
- [22] Microchip Technology Inc. *MCP1501 datasheet*. [online]. [cit. 23.12.2022] Dostupné z URL: <<https://ww1.microchip.com/downloads/en/DeviceDoc/20005474E.pdf>>.
- [23] Onsemi. *LM201A datasheet*. [online]. [cit. 23.12.2022] Dostupné z URL: <<https://www.onsemi.com/pdf/datasheet/lm301a-d.pdf>>.

- [24] Onsemi. *VCA824 datasheet*. [online]. [cit. 23.12.2022] Dostupné z URL: <<https://www.ti.com/lit/ds/symlink/vca824.pdf?ts=1672392828718>>.
- [25] Texas Instruments. *THS309x datasheet*. [online]. [cit. 23.12.2022] Dostupné z URL: <<https://www.ti.com/lit/ds/symlink/th3091.pdf?ts=1672392902128>>.
- [26] Maxim Integrated. *Application note 5581*. [online]. [cit. 23.12.2022] Dostupné z URL: <<https://pdfserv.maximintegrated.com/en/an/AN5581.pdf>>.
- [27] Nexperia. *74HC1G14 datasheet*. [online]. [cit. 25.12.2022] Dostupné z URL: <https://assets.nexperia.com/documents/data-sheet/74HC_HCT1G14.pdf>.
- [28] Mini-Circuits. *M3SWA-2-50DRB+ datasheet*. [online]. [cit. 25.12.2022] Dostupné z URL: <<https://www.minicircuits.com/pdfs/M3SWA-2-50DRB+.pdf>>.
- [29] Mini-Circuits. *TSS-13LN+ datasheet*. [online]. [cit. 25.12.2022] Dostupné z URL: <<https://www.minicircuits.com/pdfs/TSS-13LN+.pdf>>.
- [30] Mini-Circuits. *TCBT-2R5G+ datasheet*. [online]. [cit. 26.12.2022] Dostupné z URL: <<https://www.minicircuits.com/pdfs/TCBT-2R5G+.pdf>>.
- [31] TE Connectivity *HF3 Relay datasheet*. [online]. [cit. 26.12.2022] Dostupné z URL: <https://www.te.com/commerce/DocumentDelivery/DDEController?Action=showdoc&DocId=Specification+Or+Standard%7F108-98000%7FS%7Fpdf%7FEnglish%7FENG_SS_108-98000_S.pdf%7FN-A>.
- [32] STMicroelectronics N.V. *Application note TA0357* [online]. [cit. 27.12.2022] Dostupné z URL: <https://www.st.com/resource/en/technical_article/dm00496853-overview-of-usb-type-c-and-power-delivery-technologies-stmicroelectronics.pdf>.
- [33] Raspberry Pi Foundation. *RP2040 datasheet* [online]. [cit. 05.03.2023] Dostupné z URL: <<https://datasheets.raspberrypi.com/rp2040/rp2040-datasheet.pdf>>.
- [34] Buydisplay.com. *ER-TFT035-6 datasheet* [online]. [cit. 05.03.2023] Dostupné z URL: <https://www.buydisplay.com/download/manual/ER-TFT035-6_Datasheet.pdf>.

- [35] Infineon Technologies. *BCR420U datasheet* [online]. [cit. 05.03.2023] Dostupné z URL: <https://www.infineon.com/dgdl/Infineon-BCR420U-BCR421U-Datasheet-v02_02-EN.pdf?fileId=5546d4626102d35a01617524f09e061d>.
- [36] Texas Instruments. *PCF8575 datasheet* [online]. [cit. 31.03.2023] Dostupné z URL: <https://www.ti.com/lit/ds/symlink/pcf8575.pdf?ts=1685105853016&ref_url>.
- [37] Skyworks Solutions. *Si5351A datasheet* [online]. [cit. 20.04.2022] Dostupné z URL: <<https://www.skyworksinc.com/-/media/Skyworks/SL/documents/public/data-sheets/Si5351-B.pdf>>.
- [38] Analog Devices Inc. *LTC2950 datasheet* [online]. [cit. 15.05.2022] Dostupné z URL: <<https://www.analog.com/media/en/technical-documentation/datasheets/295012fd.pdf>>.

Zoznam symbolov a skratiek

ADC	analogovo-digitálny prevodník – Analog Digital Converter
CC	nastavenie kanálu – Channel Configuration
DDS	priama číslicová syntéza – Direct Digital Synthesis
DPS	doska plošných spojov
ECL	emitorovo viazaná logika – Emitter-Coupled Logic
EMI	elektromagnetická interferencia – Electromagnetic interference
f_{clk}	frekvencia hodinového signálu
Standby	režim pohotovosti zariadenia – Standby
f_{LPF}	medzná frekvencia dolnopriepustného filtra
f_{out}	výstupná frekvencia
FPGA	programovateľné hradlové pole – Field-Programmable Gate Array
f_{ref}	referenčná frekvencia
FWHM	plná šírka pri polovici maxima – Full Width at Half Maximum
G	zisk
GPIO	všeobecný vstup/výstup – General-purpose input/output
GSPS	miliarda vzoriek za sekundu – Giga-Samples Per Second
HDI	návrh s vysokou hustotou – High-Density Interconnect
IP3	bod zahradenia tretieho rádu – Third-order Intercept Point
IPS	technológia používaná v LCD displejoch – In-Plane Switching
I_{RG}	prúd rezistorom R_G
LCD	displej využívajúci vlastnosti kvapalných kryštálov – Liquid Crystal Display
LDO	regulátor s nízkym úbytkom – Low-Dropout regulator
LNA	nízkošumový zosilňovač – Low-Noise Amplifier

LPF	dolnopriepustný filter – Low-Pass Filter
MCU	riadiaci obvod mikrokontroléra – Microcontroller Unit
MSPS	milión vzoriek za sekundu – Mega-Samples Per Second
PD	dodávanie napájania – Power Delivery
PFD	fázový frekvenčný detektor – Phase Frequency Detector
PLL	fázový záves – Phase Locked Loop
PMS	riadiaci obvod napájania – Power Management System
PSRR	potlačenie zvlnenia zdroja – Power Supply Ripple Rejection
PWM	pulzne šírková modulácia – Pulse-Width Modulation
RAM	pamäť s priamym prístupom – Random Access Memory
R_F	spätnoväzobný rezistor s označením R_F
R_{FB}	spätnoväzobný rezistor s označením R_{FB}
R_G	rezistor s označením R_G
R_{INV}	vstupný rezistor s označením R_{INV}
$R_{G\ MIN}$	zemniaci rezistor s označením $R_{G\ MIN}$
ROM	pamäť iba na čítanie – Read-Only Memory
SEPIC	konvertor s primárnym induktorom – Single Ended Primary Inductor Converter
SRAM	statická pamäť s priamym prístupom – Static Random Access Memory
SSFM	frekvenčná modulácia s rozprestretým spektrom – Spread Spectrum Frequency Modulation
TFT	typ LCD displeja – Thin-Film-Transistor
TW	riadiace slovo – Tuning Word
UART	komunikačný protokol – Universal Asynchronous Receiver/Transmitter
U_{IN}	vstupné napätie

U_{OUT}	výstupné napätie
U_{REF}	referenčné napätie
USB	univerzálna sériová zbernica – Universal Serial Bus
VCA	napätím riadený zosilňovač – Voltage-Controlled Amplifier
VCO	napätím riadený oscilátor – Voltage-Controlled Oscillator

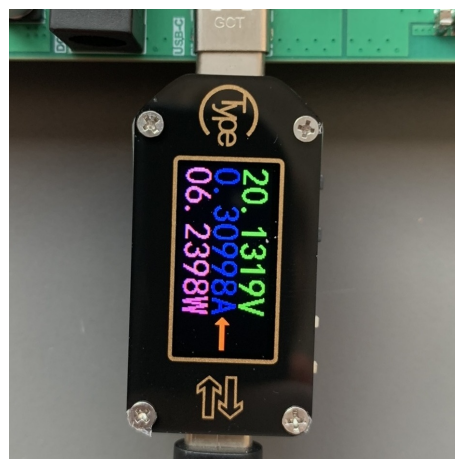
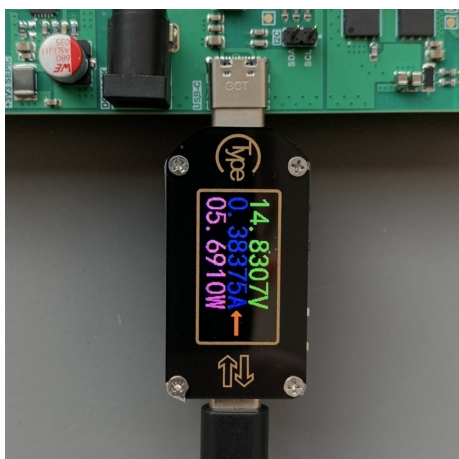
Zoznam príloh

A	Výsledky jednotlivých meraní	62
A.1	Séria meraní v rámci USB-C PD protokolu	62
A.2	Vysokofrekvenčný generátor - PLL	63
A.2.1	Rozbor výstupného signálu vo frekvenčnej oblasti	63
A.2.2	Regulácia výkonu vysokofrekvenčného generátora	68
A.3	Generátor priebehov - DDS	70
A.3.1	Neharmonické priebehy	70
A.3.2	Harmonické priebehy	72
A.4	Generátor Gaussovských pulzov	75
B	Zostrojený prototyp	77
C	Vysokofrekvenčná časť	80
C.1	Navrhnutá schéma zapojenia	80
C.2	Výrobné podklady - návrh DPS	90
D	Výstupný filter z PLL	96
D.1	Navrhnutá schéma zapojenia	96
D.2	Výrobné podklady - návrh DPS	98
E	Riadenie	100
E.1	Navrhnutá schéma zapojenia	100
E.2	Výrobné podklady - návrh DPS	106
F	Obsah elektronickej prílohy	111

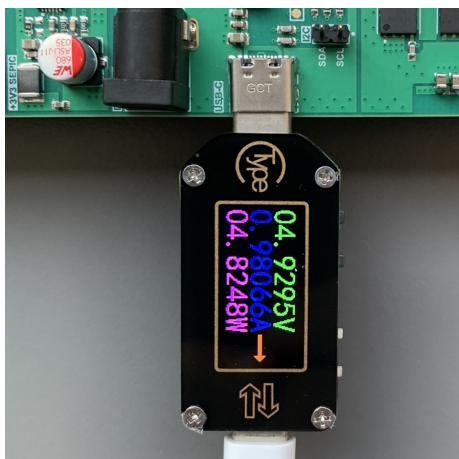
A Výsledky jednotlivých meraní

Nasledujúce sekcie sú venované doloženiu výsledkov jednotlivých meraní vykonaných na zhotovenom prototypu (vývojovej doske).

A.1 Séria meraní v rámci USB-C PD protokolu



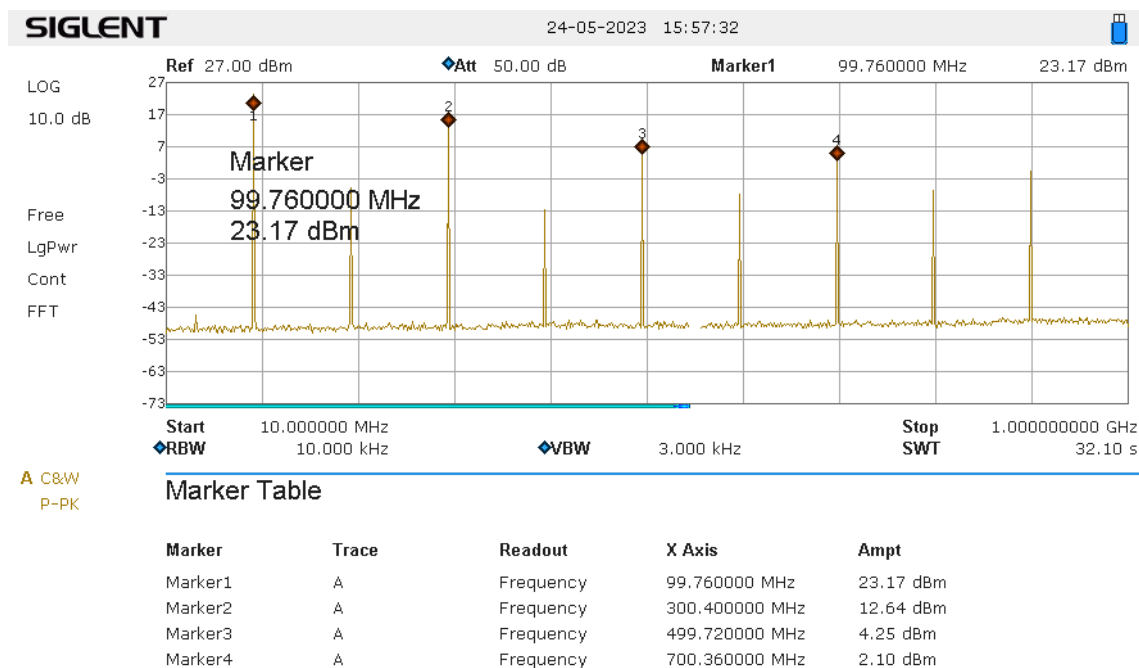
Obr. A.1: Podpora USB-C PD protokolu pre rôzne nabíjacie adaptéry.



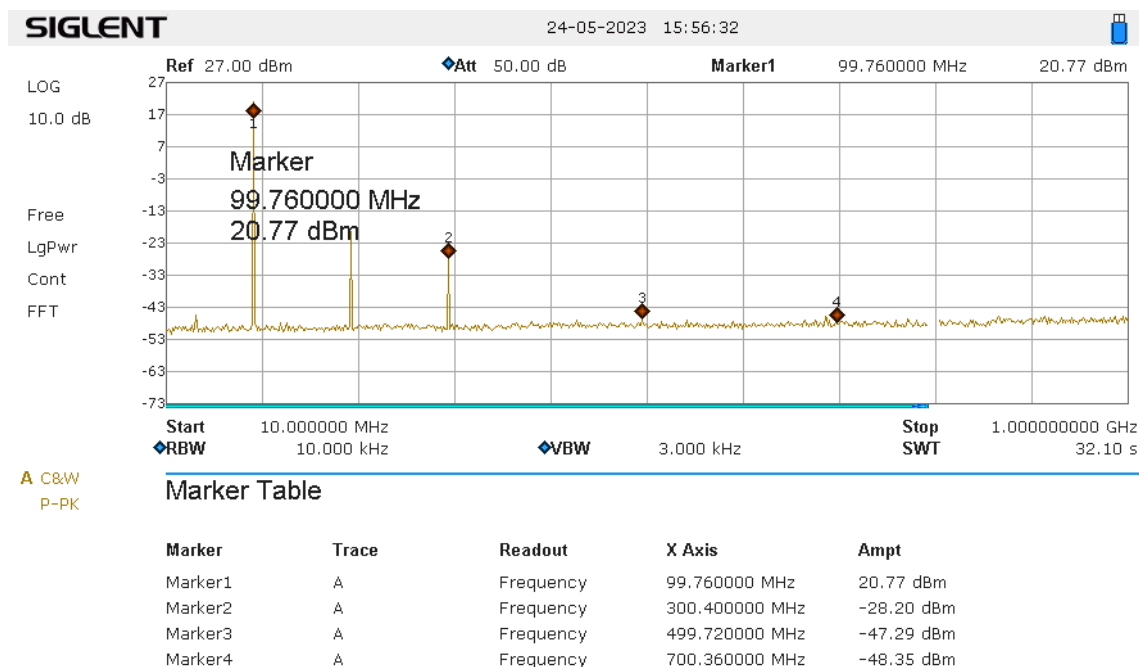
Obr. A.2: Podpora USB-C PD protokolu pre externé spotrebiče.

A.2 Vysokofrekvenčný generátor - PLL

A.2.1 Rozbor výstupného signálu vo frekvenčnej oblasti

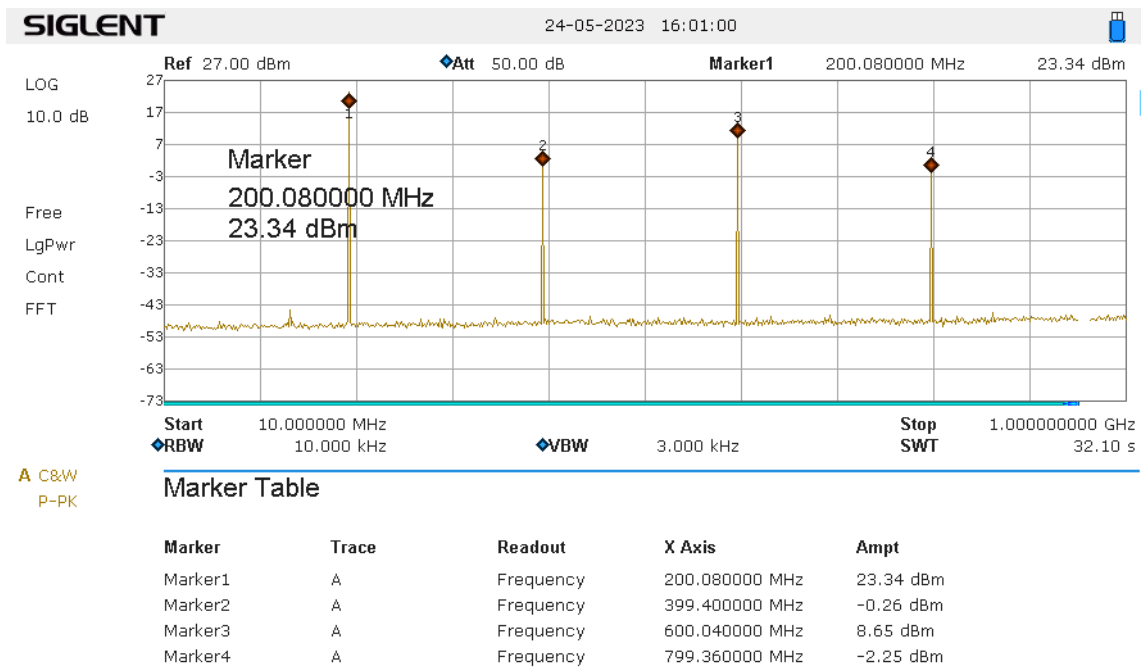


(a) Nefiltrovaný výstup.

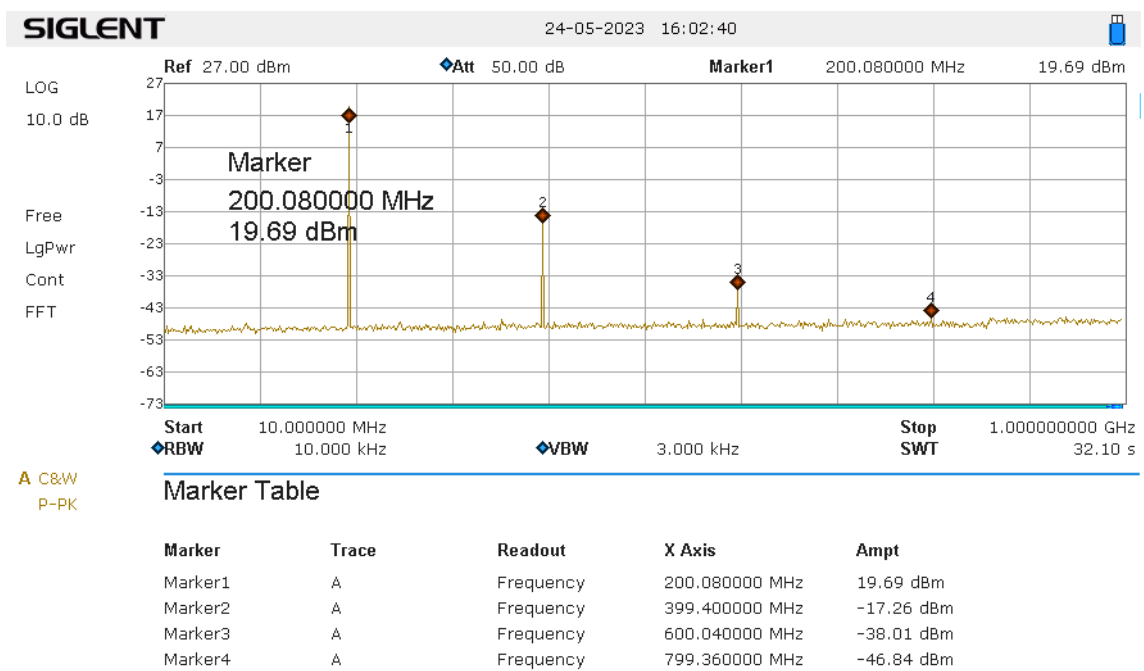


(b) Filtrovaný výstup.

Obr. A.3: Spektrum výstupného signálu z PLL pre 100 MHz.

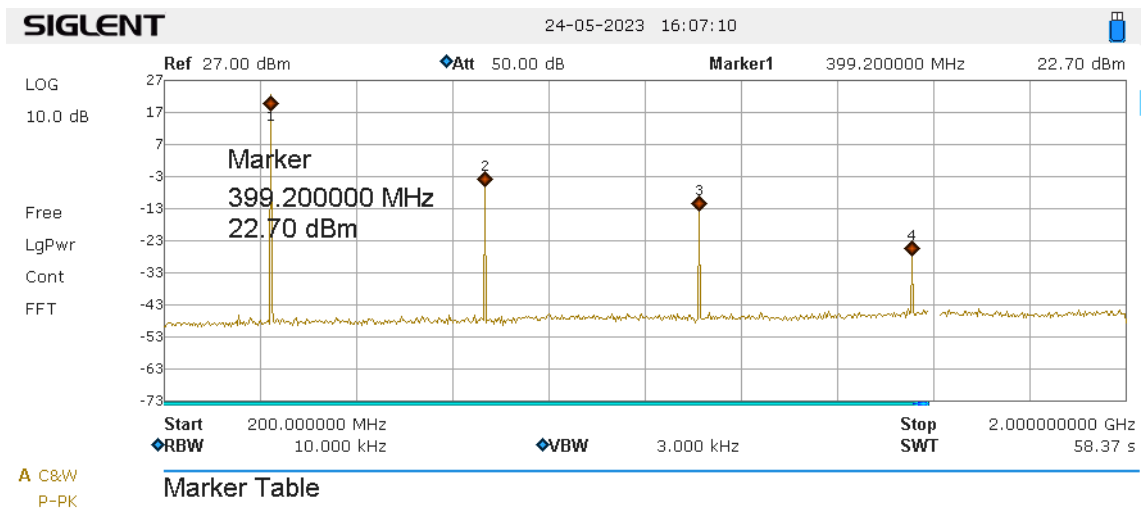


(a) Nefiltrovaný výstup.

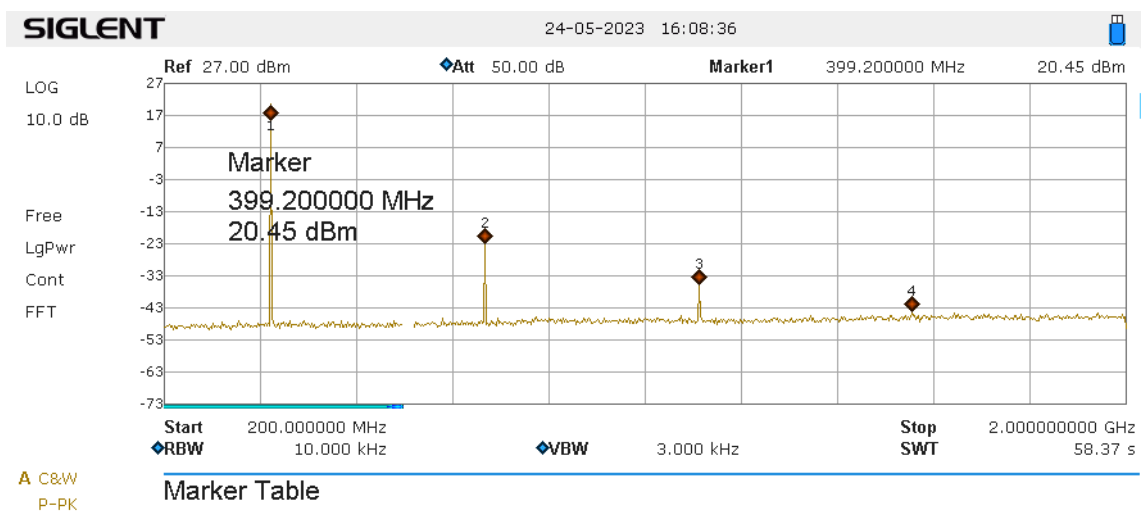


(b) Filtrovaný výstup.

Obr. A.4: Spektrum výstupného signálu z PLL pre 200 MHz.

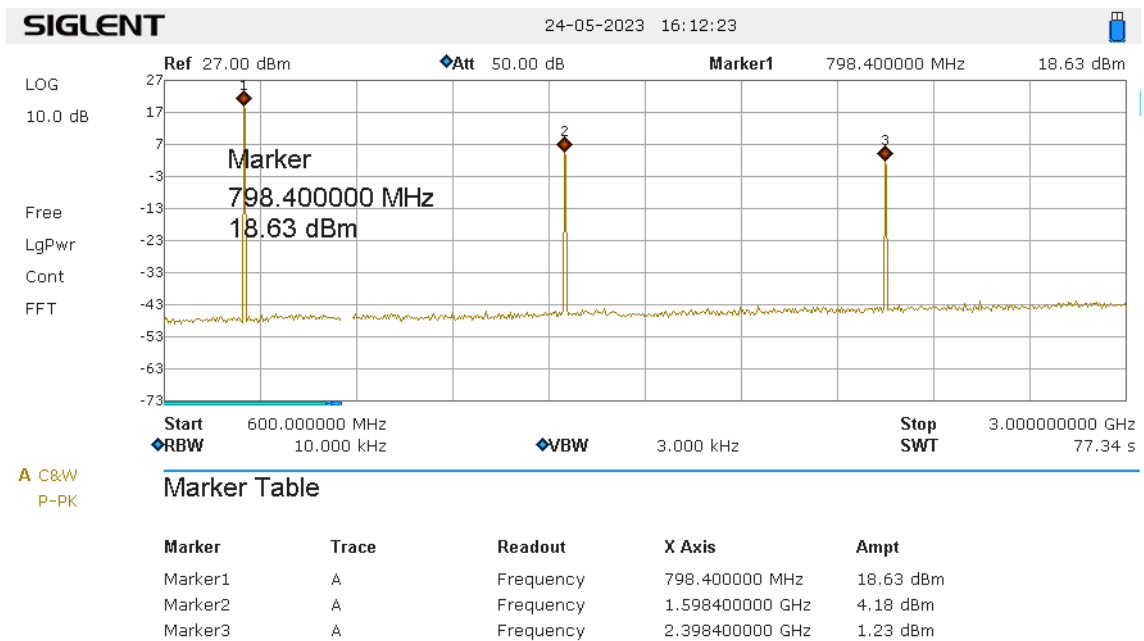


(a) Nefiltrovaný výstup.

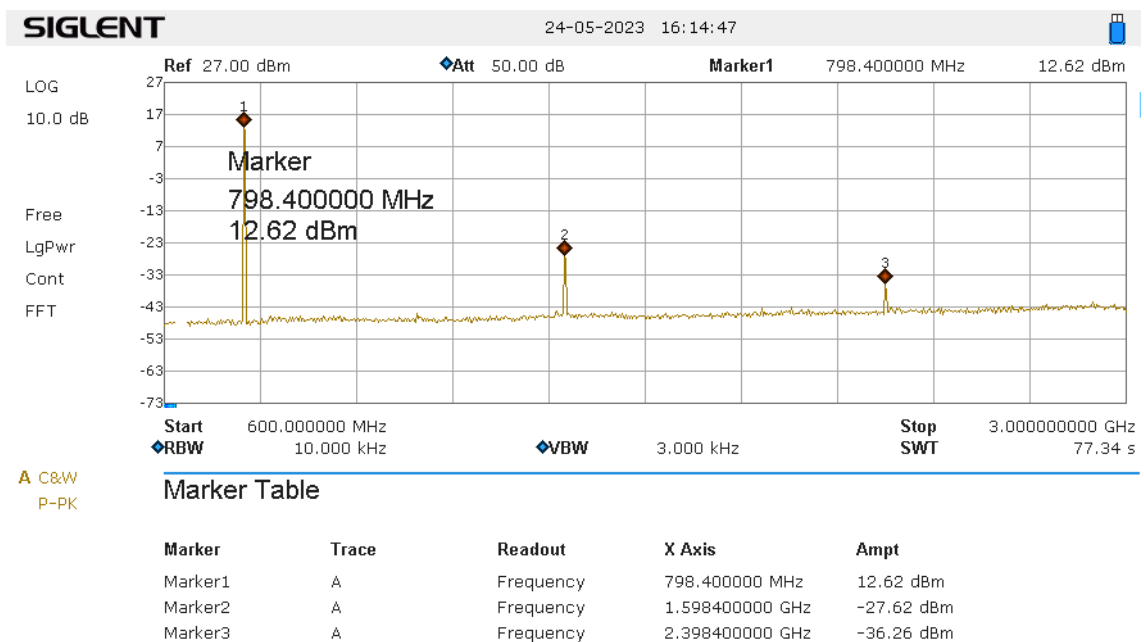


(b) Filtrovaný výstup.

Obr. A.5: Spektrum výstupného signálu z PLL pre 400 MHz.

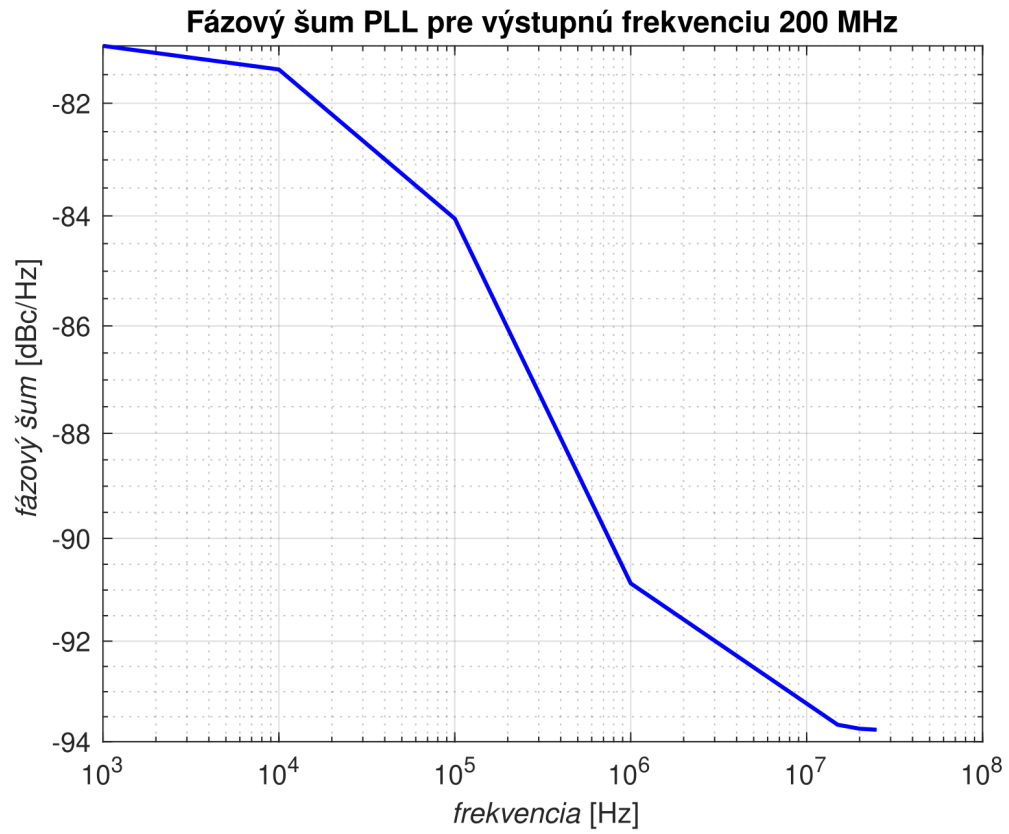


(a) Nefiltrovaný výstup.



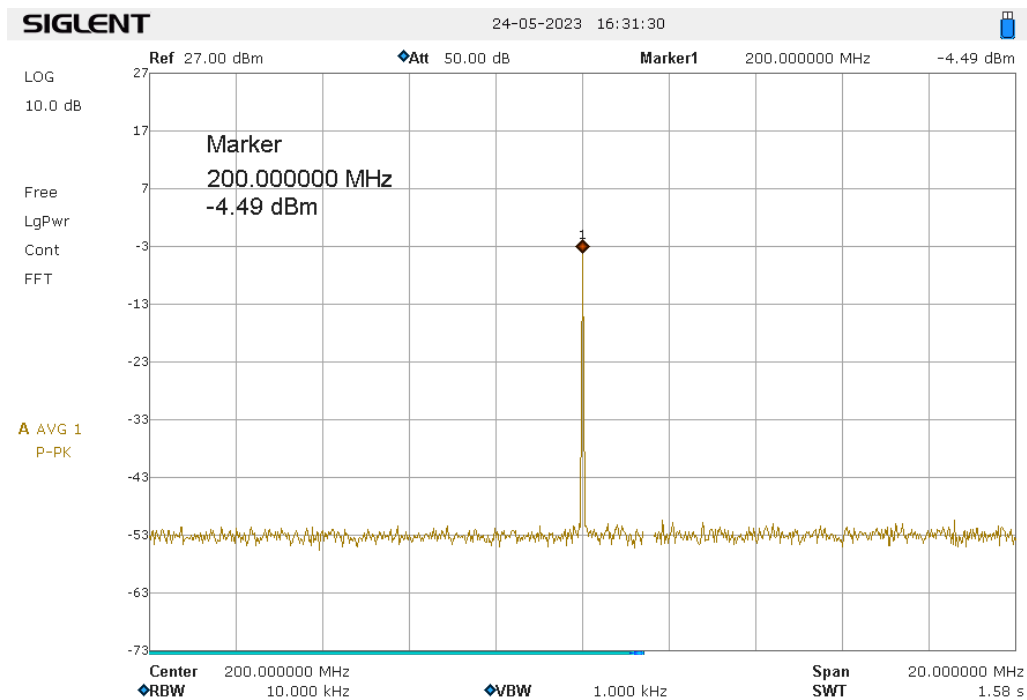
(b) Filtrovaný výstup

Obr. A.6: Spektrum výstupného signálu z PLL pre 800 MHz.

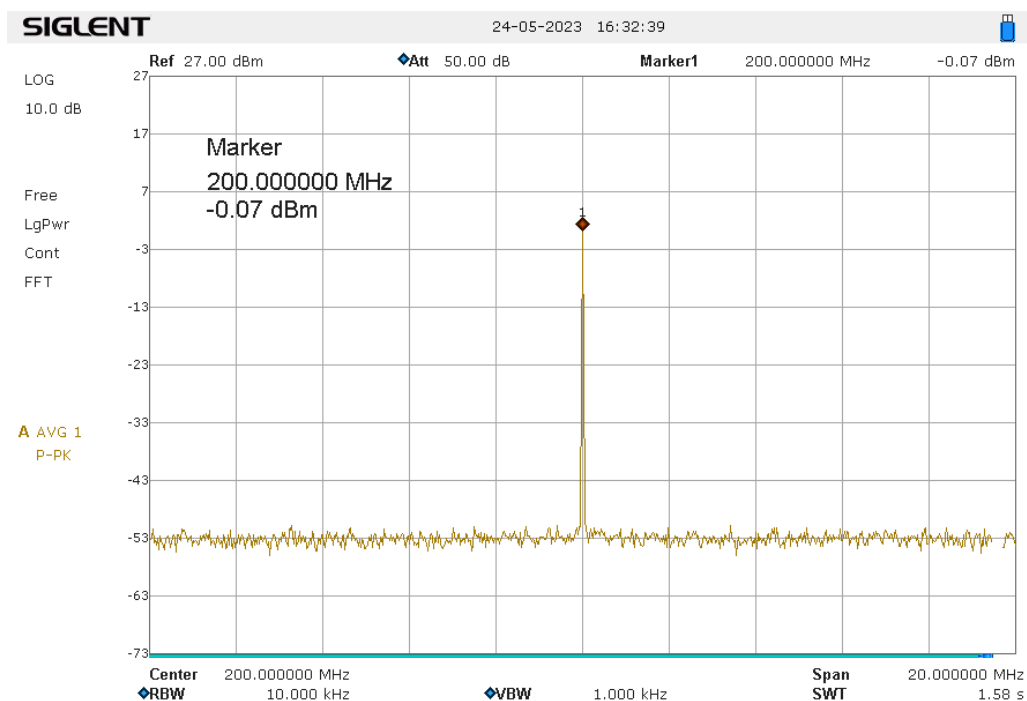


Obr. A.7: Zmeraný fázový šum na výstupe z PLL,
($f_{out} = 200$ MHz, $f_{clk} = 100$ MHz).

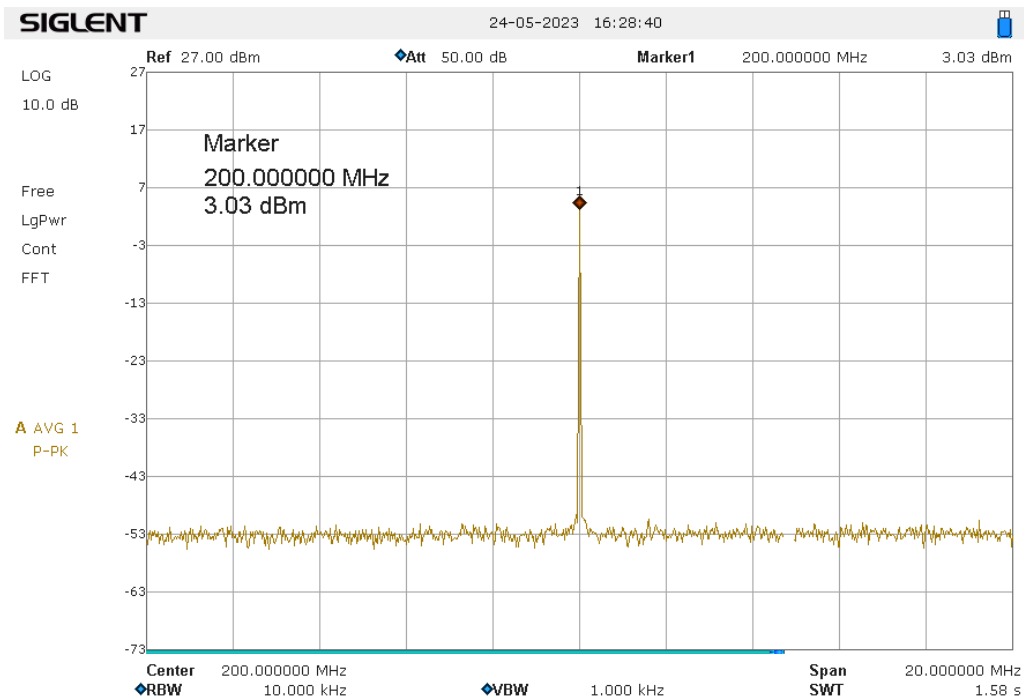
A.2.2 Regulácia výkonu vysokofrekvenčného generátora



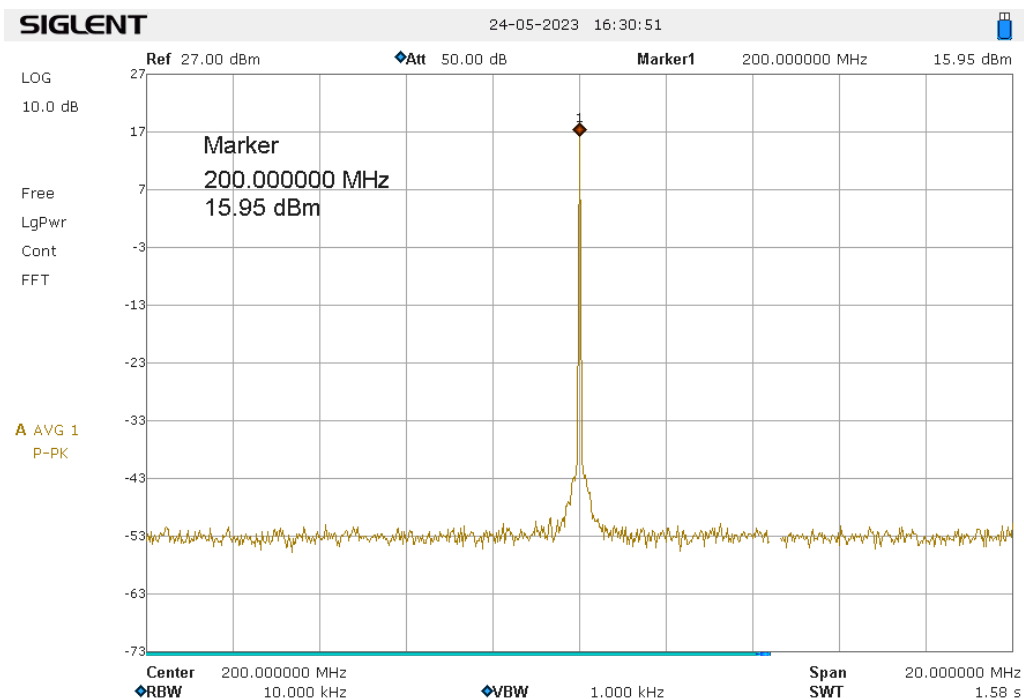
Obr. A.8: Výstupný výkon z VF generátora -4,5 dBm.



Obr. A.9: Výstupný výkon z VF generátora 0 dBm.



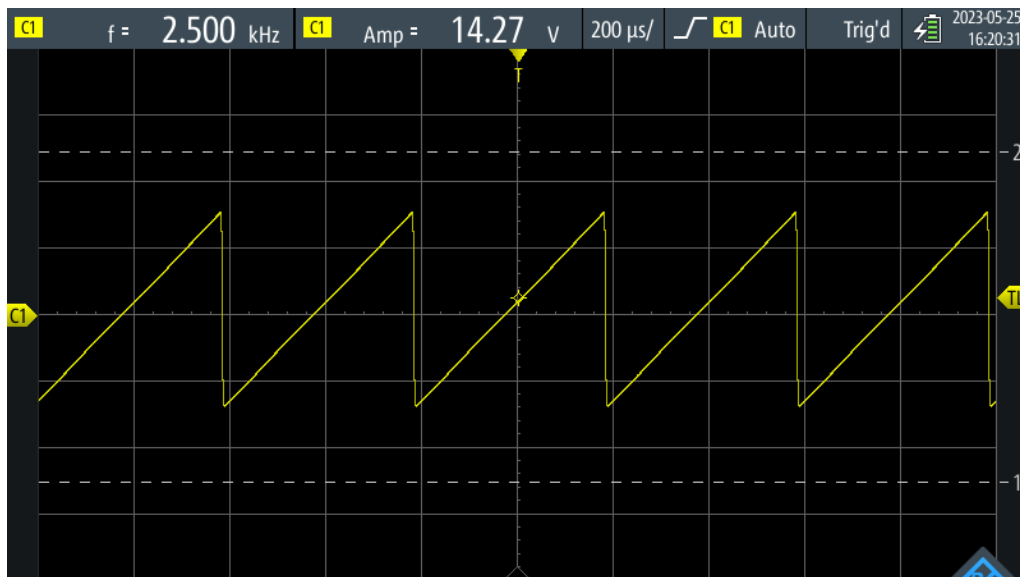
Obr. A.10: Výstupný výkon z VF generátora 3 dBm.



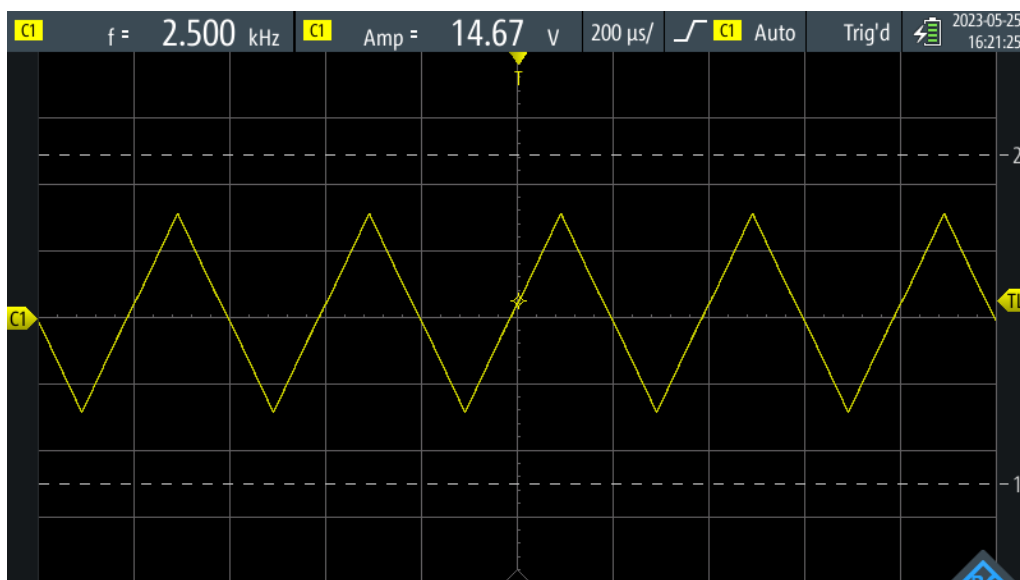
Obr. A.11: Výstupný výkon z VF generátora 16 dBm.

A.3 Generátor priebehov - DDS

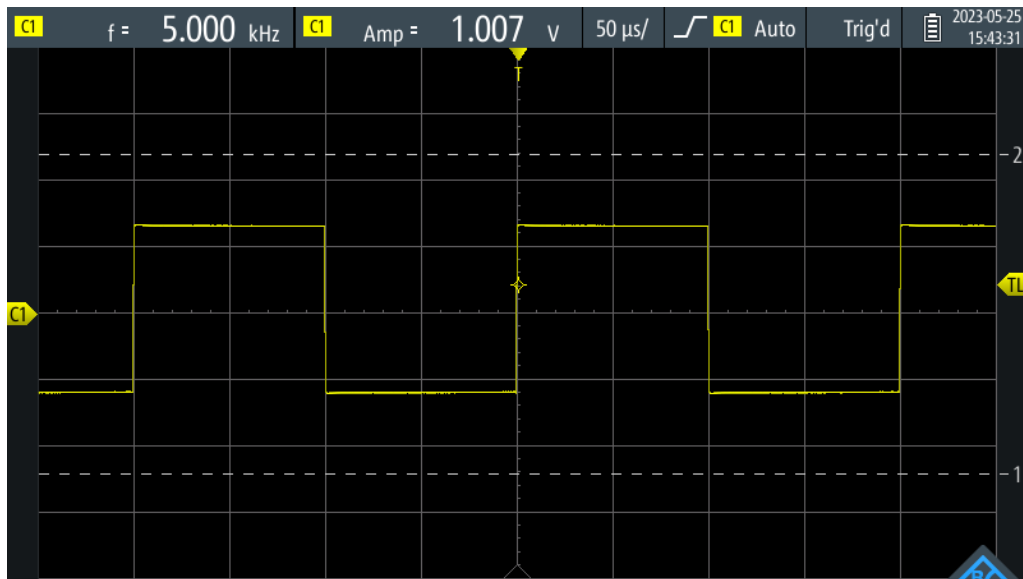
A.3.1 Neharmonické priebehy



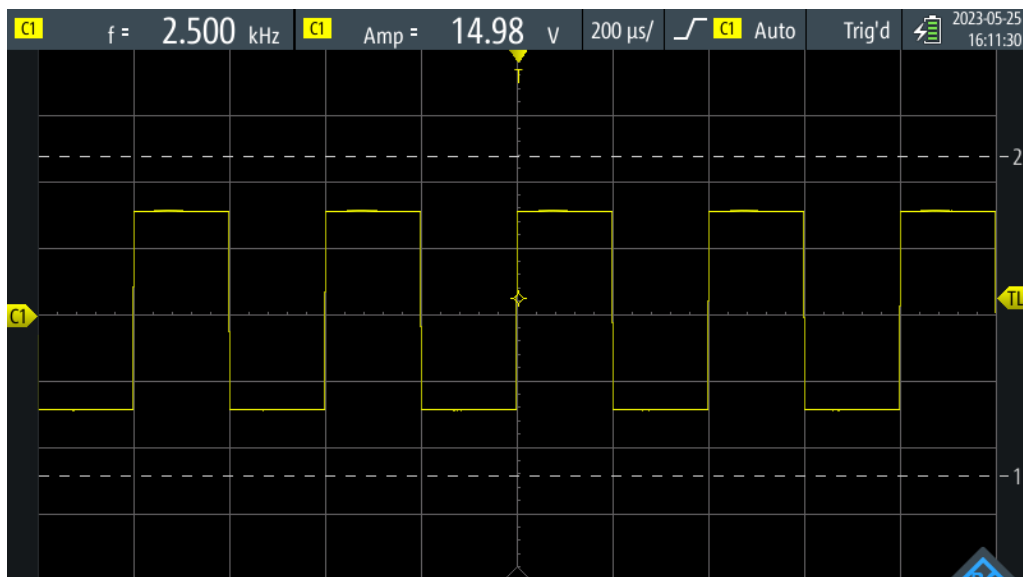
Obr. A.12: Signál píly s pozitývnou nábežnou hranou.



Obr. A.13: Signál píly s 50 % striedou.

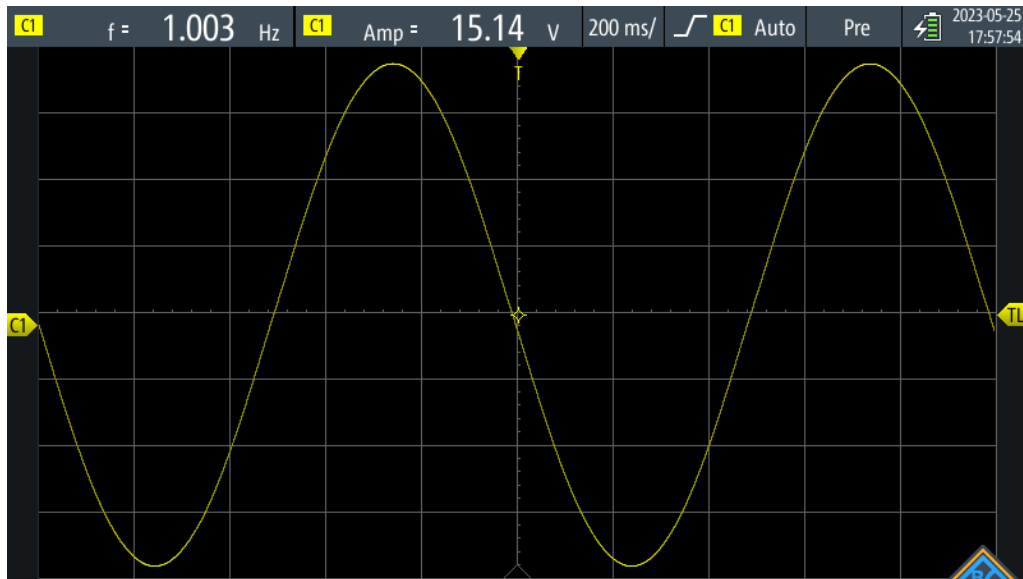


Obr. A.14: Obdĺžnikový signál s 50 % striedou - amplitúda $1 V_{PP}$.

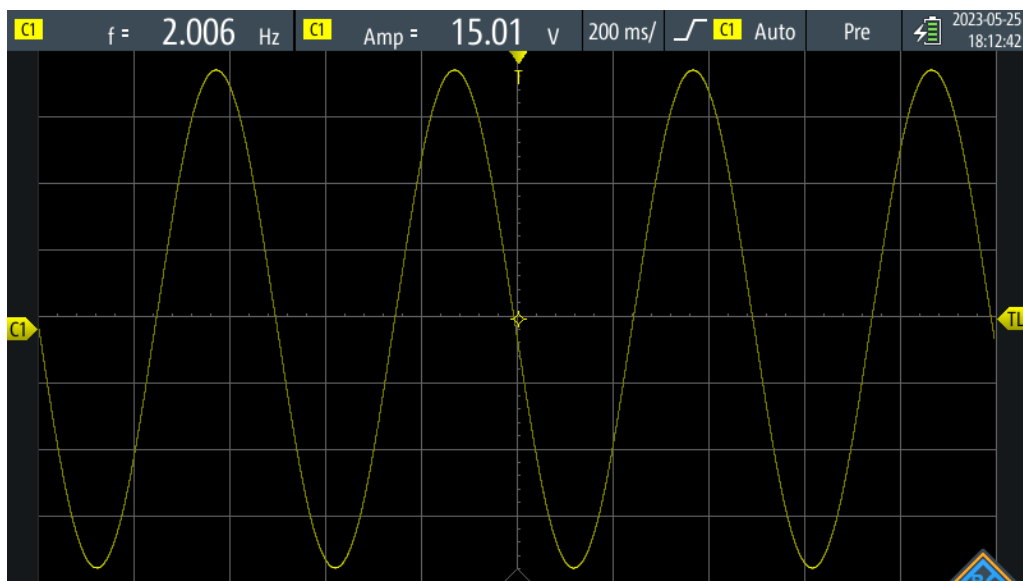


Obr. A.15: Obdĺžnikový signál s 50 % striedou - maximálna amplitúda.

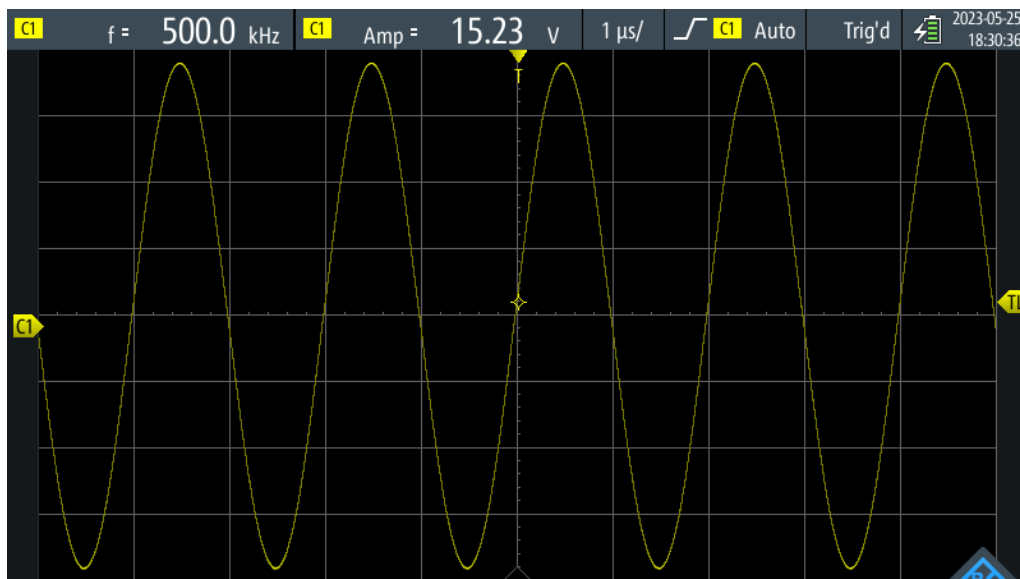
A.3.2 Harmonické priebehy



Obr. A.16: Harmonický signál s frekvenciou 1 Hz.



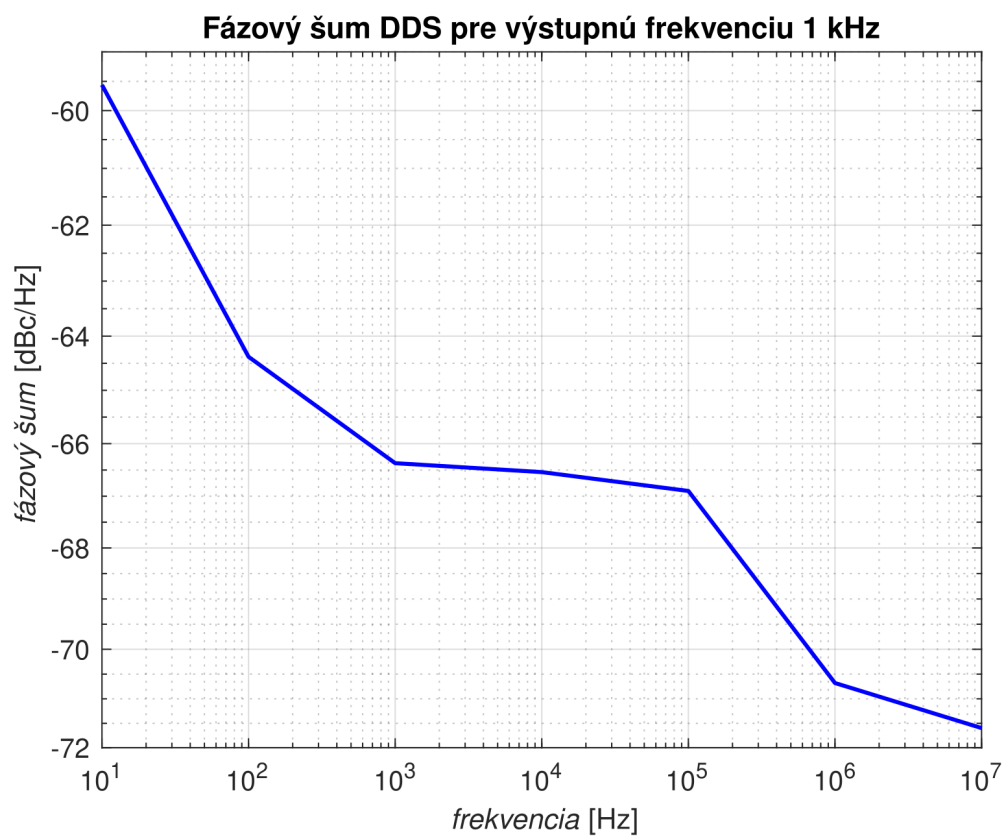
Obr. A.17: Harmonický signál s frekvenciou 2 Hz.



Obr. A.18: Harmonický signál s frekvenciou 500 kHz.

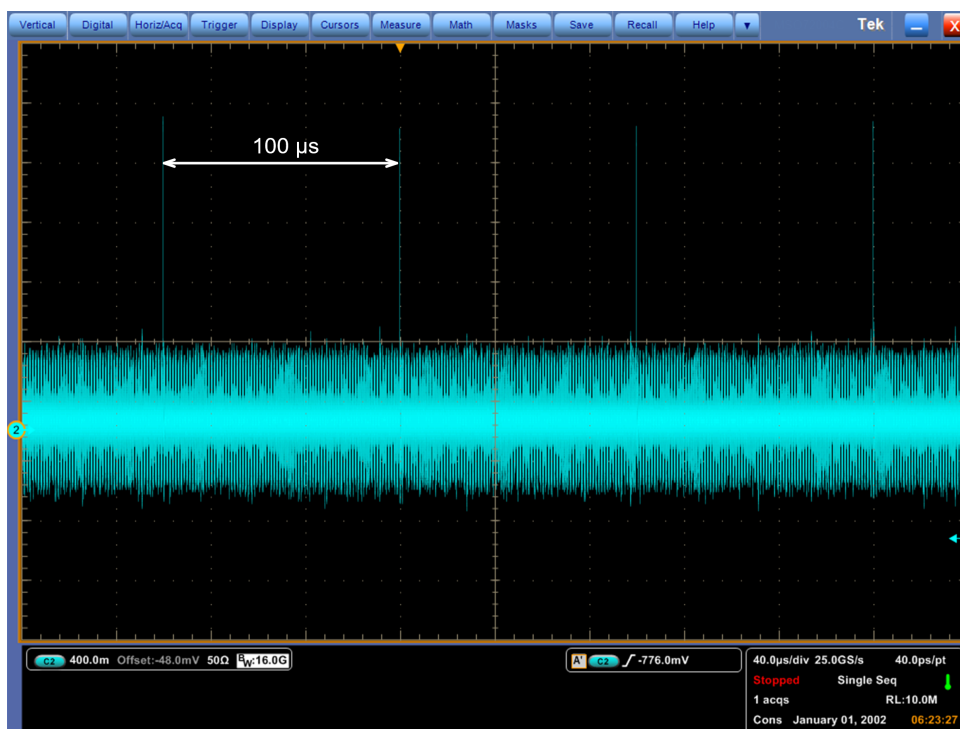


Obr. A.19: Harmonický signál s frekvenciou 2 MHz.



Obr. A.20: Zmeraná fázový šum na výstupe z DDS,
 ($f_{out} = 1 \text{ kHz}$, $f_{clk} = 16,7 \text{ MHz}$).

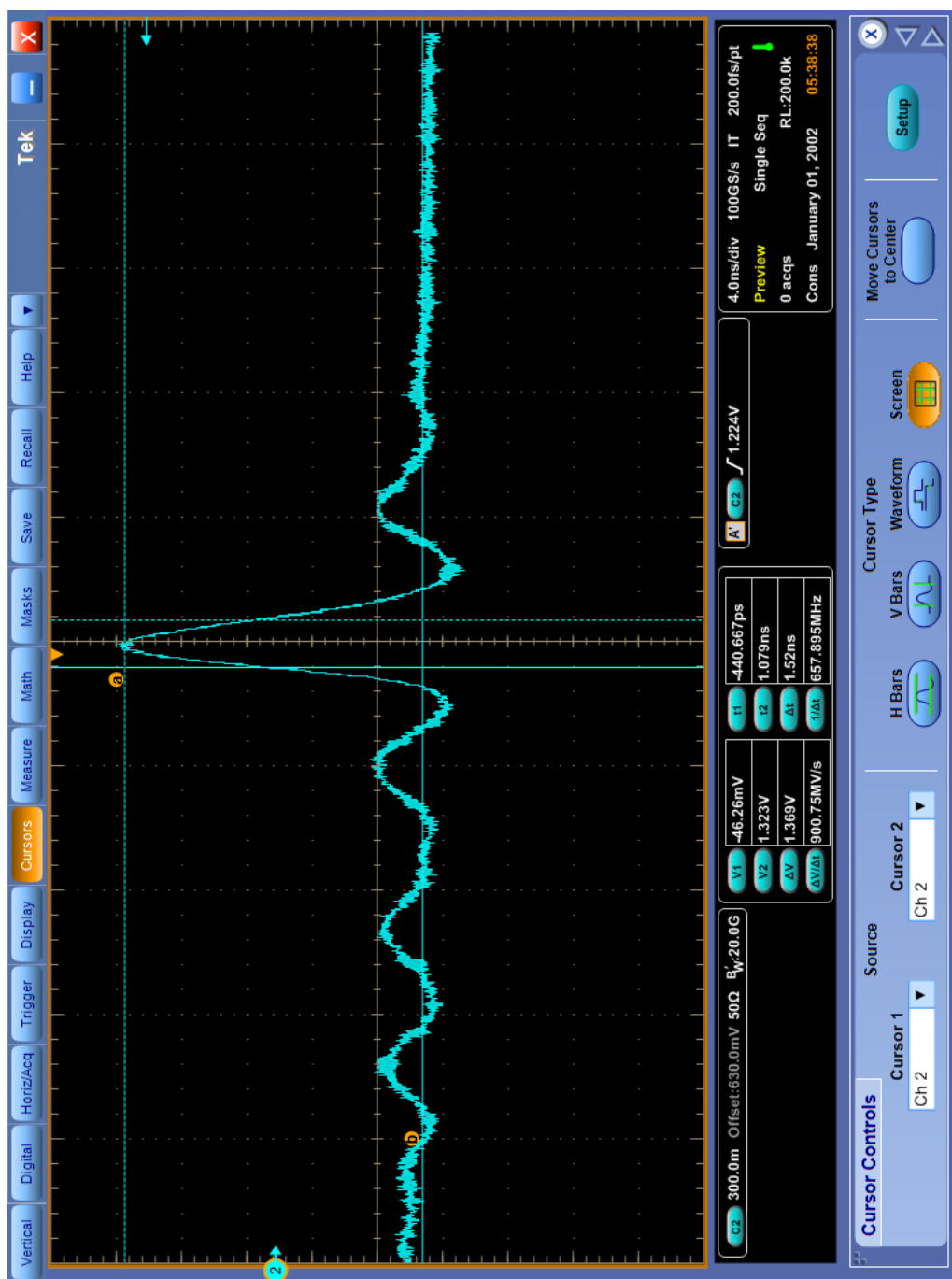
A.4 Generátor Gaussovských pulzov



Obr. A.21: Perióda generovaných pulzov.

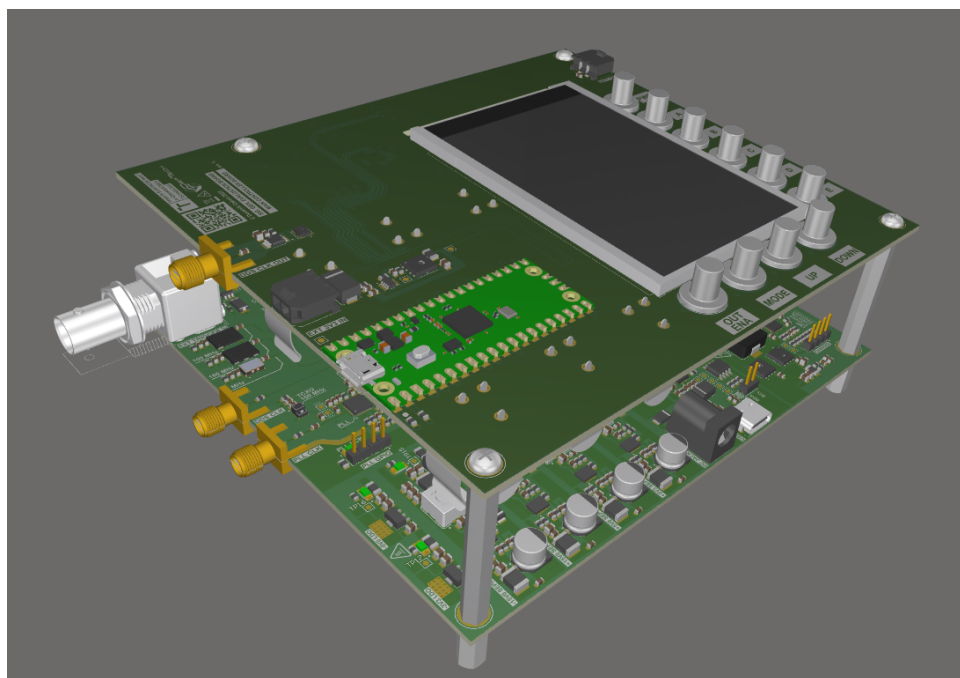


Obr. A.22: Nechcený záchvев výstupného signálu.



Obr. A.23: Priebeh Gaussovského pulzu na výstupe.

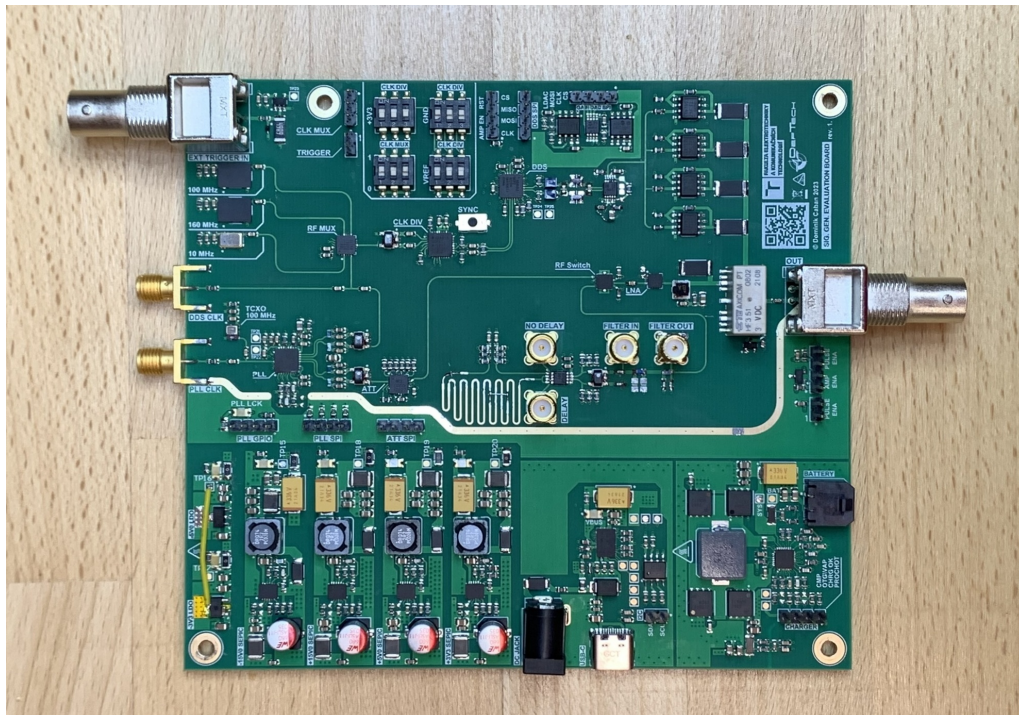
B Zostrojený prototyp



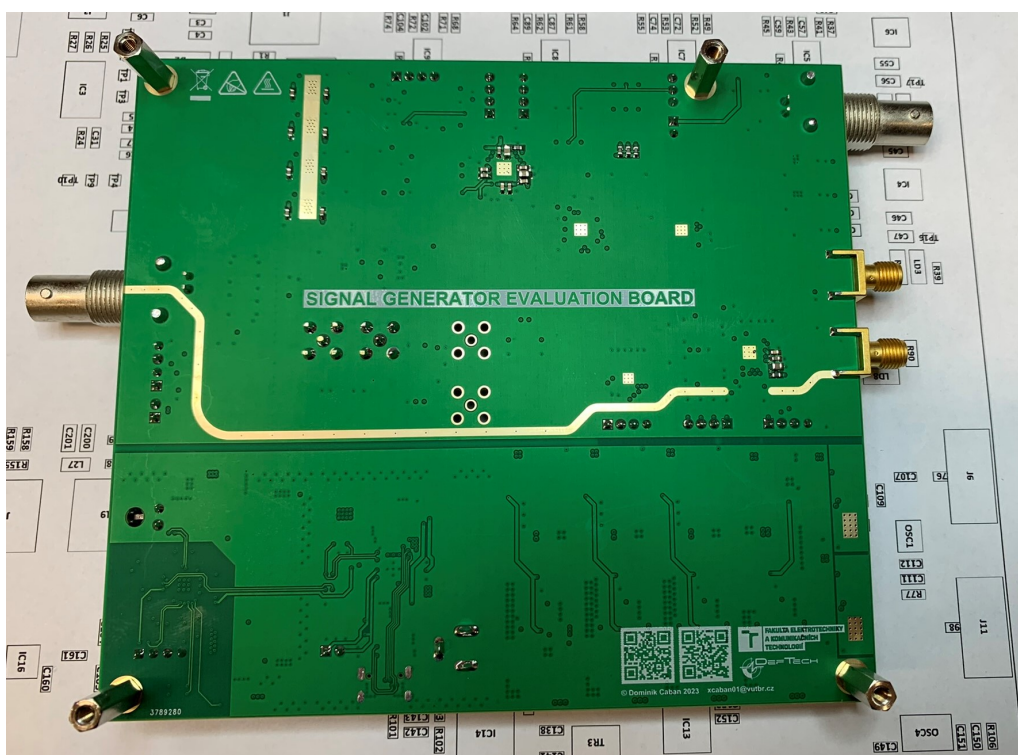
Obr. B.1: Render zostrojeného prototypu.



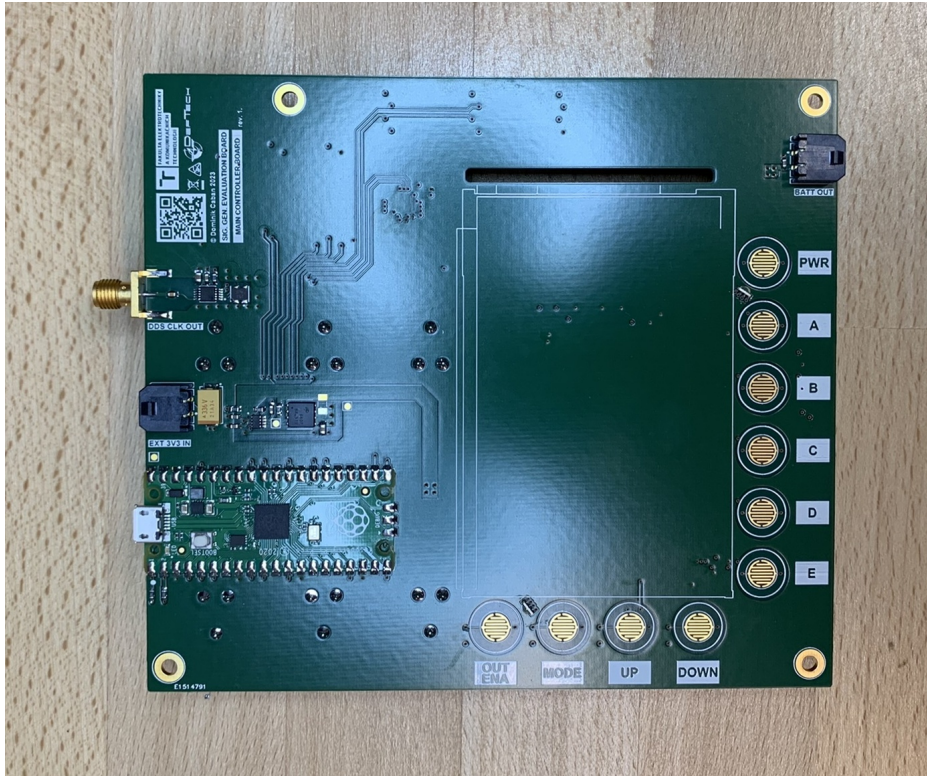
Obr. B.2: Realizácia zostrojeného prototypu.



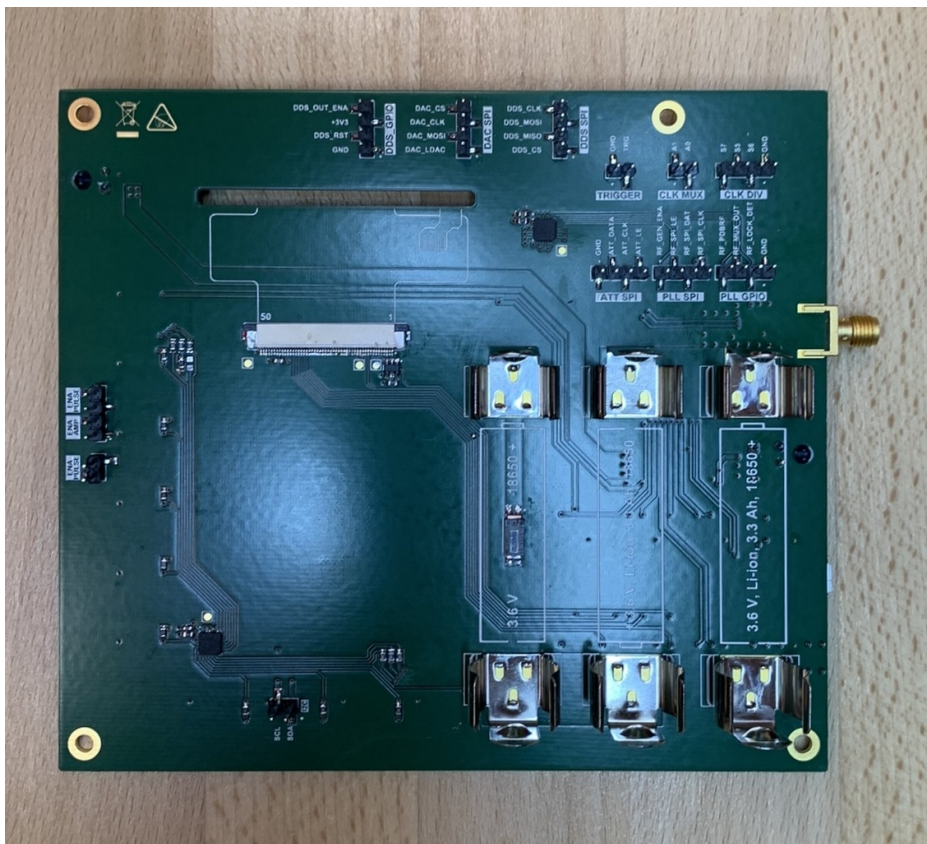
Obr. B.3: Osadená doska DPS VF časti - pohľad z hora.



Obr. B.4: Osadená doska DPS VF časti - pohľad zo spodnej strany.



Obr. B.5: Osadená doska DPS Riadiacej časti - pohľad z hora.

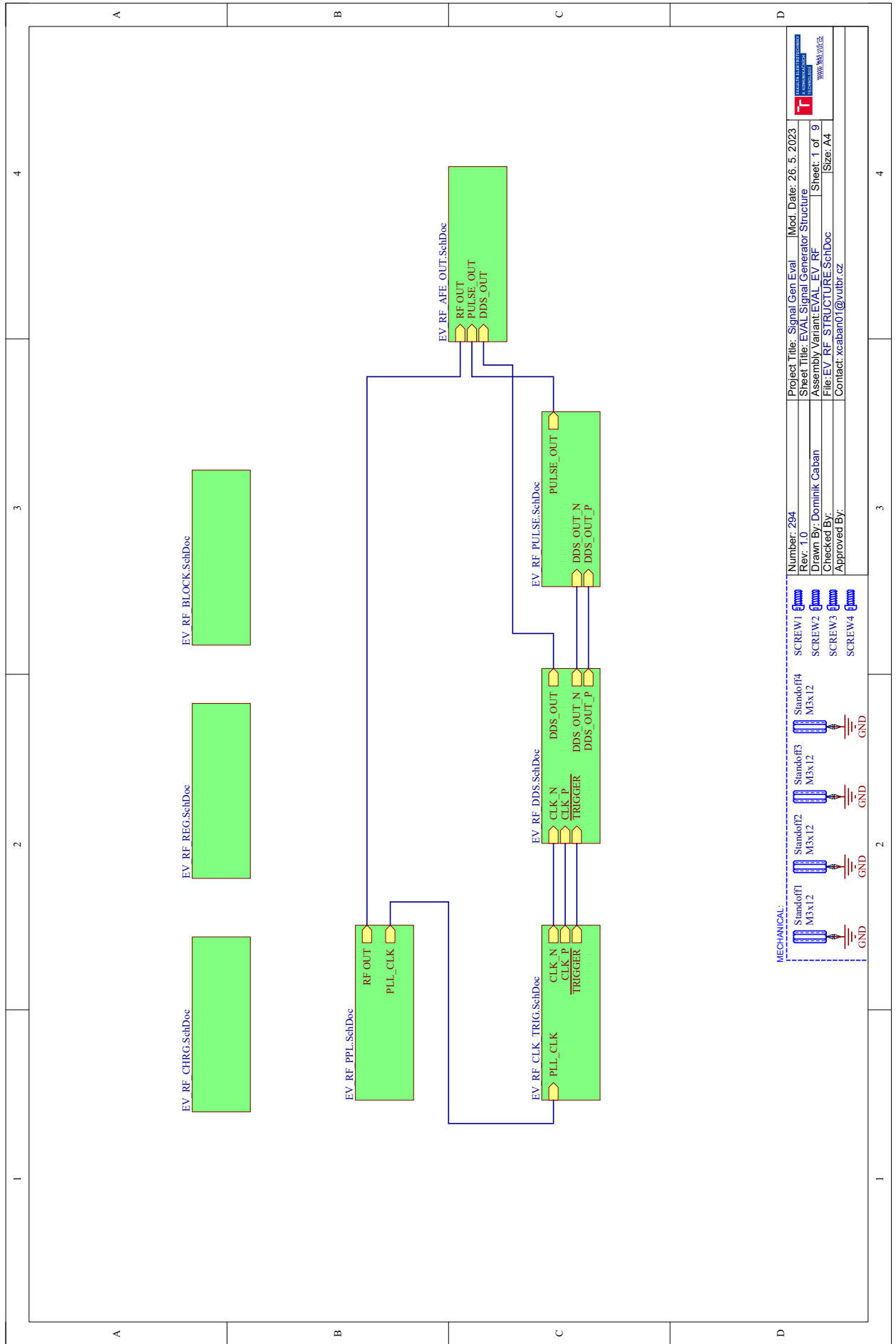


Obr. B.6: Osadená doska DPS Riadiacej časti - pohľad zo spodnej strany.

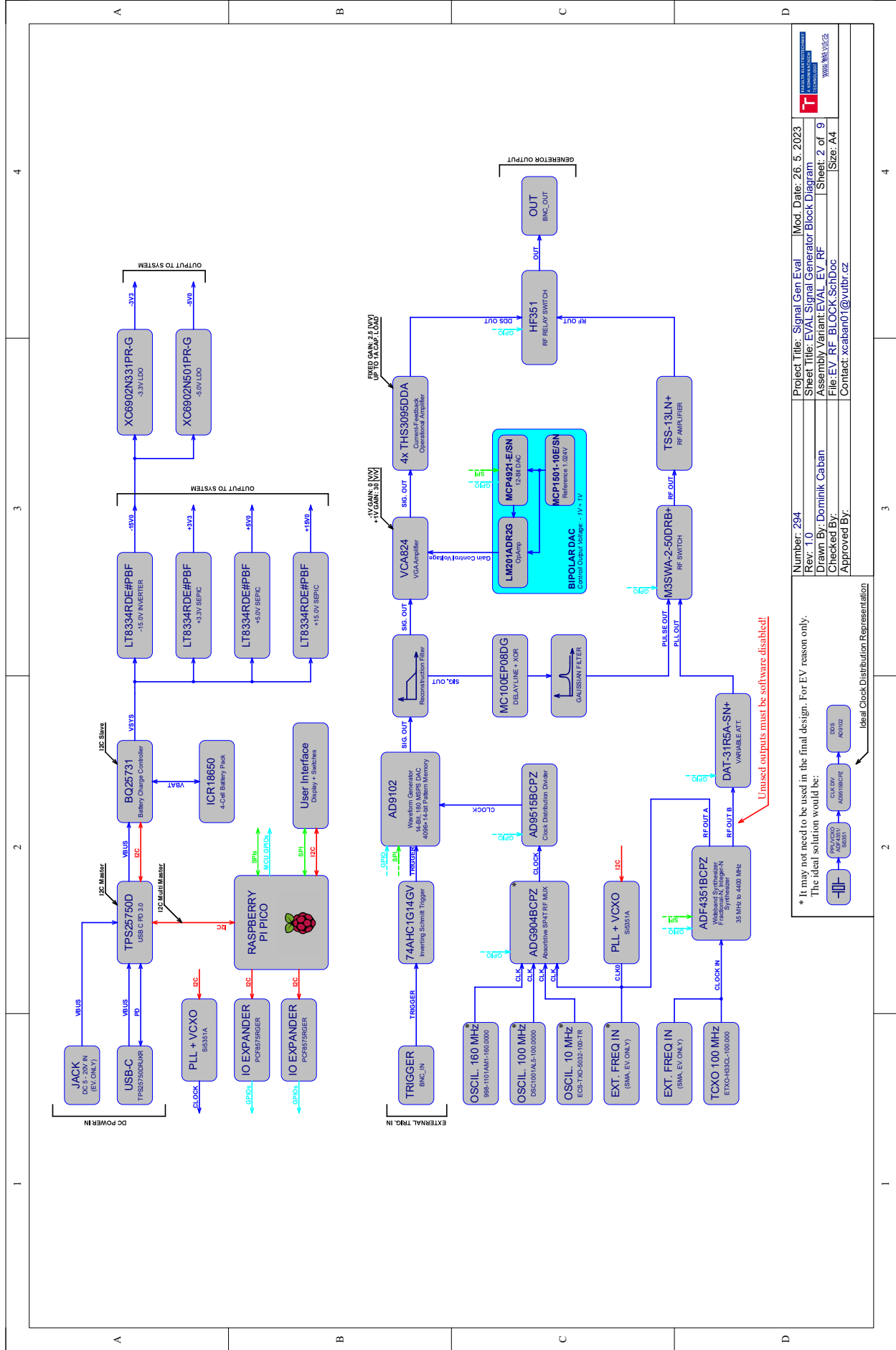
C Vysokofrekvenčná časť

C.1 Navrhnutá schéma zapojenia

Nasledujúca sekcia prílohy obsahuje vyhotovenú schému zapojenia vysokofrekvenčnej časti zostrojeného prototypu.



Project Title: Signal Gen Eval	Mod. Date: 26. 5. 2023
Sheet Title: EVAL Signal Generator Structure	
Assembly Variant: EVAL_EV_RF	Sheet: 1 of 9
File: EV_RF_STRUCTURE.SchDoc	Size: A4
Checked By:	
Approved By:	
Contact: xcaban01@vulbr.cz	



Number: 294
 Rev. 1.0
 Drawn By: Dominik Caban
 Checked By:
 Approved By:

Project Title: Signal Gen Eval
 Sheet Title: EVAL Signal Generator Block Diagram
 Assembly Variant: EVAL_EV_RF
 File: EV_RF_BLOCK_SchDoc
 Contact: xcaban01@vultr.cz

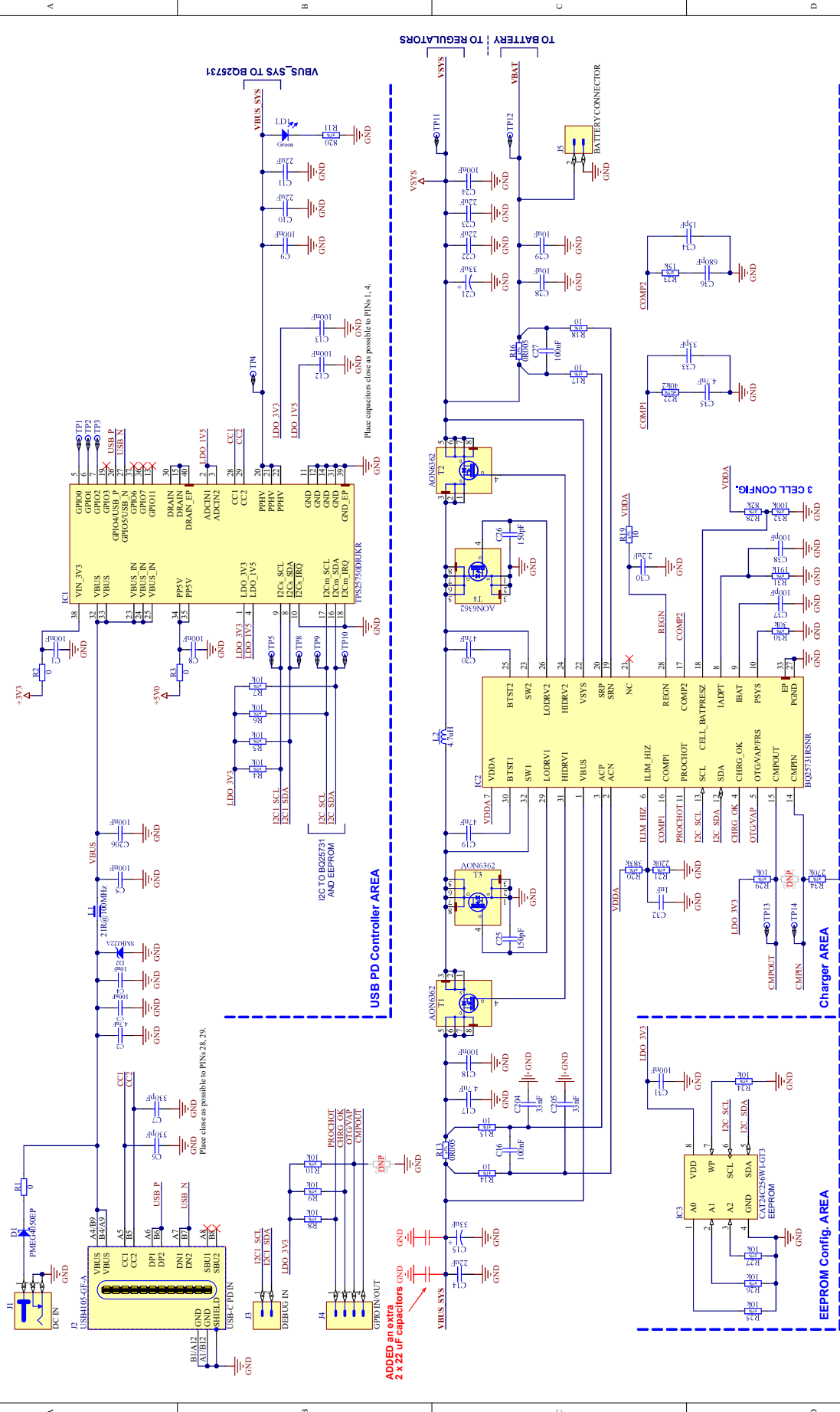
Mod. Date: 26. 5. 2023
 Sheet 2 of 9
 Size: A4

* It may not need to be used in the final design. For EV reason only.
 The ideal solution would be:

Label Clock Distribution Representation

Unused outputs must be software disabled!

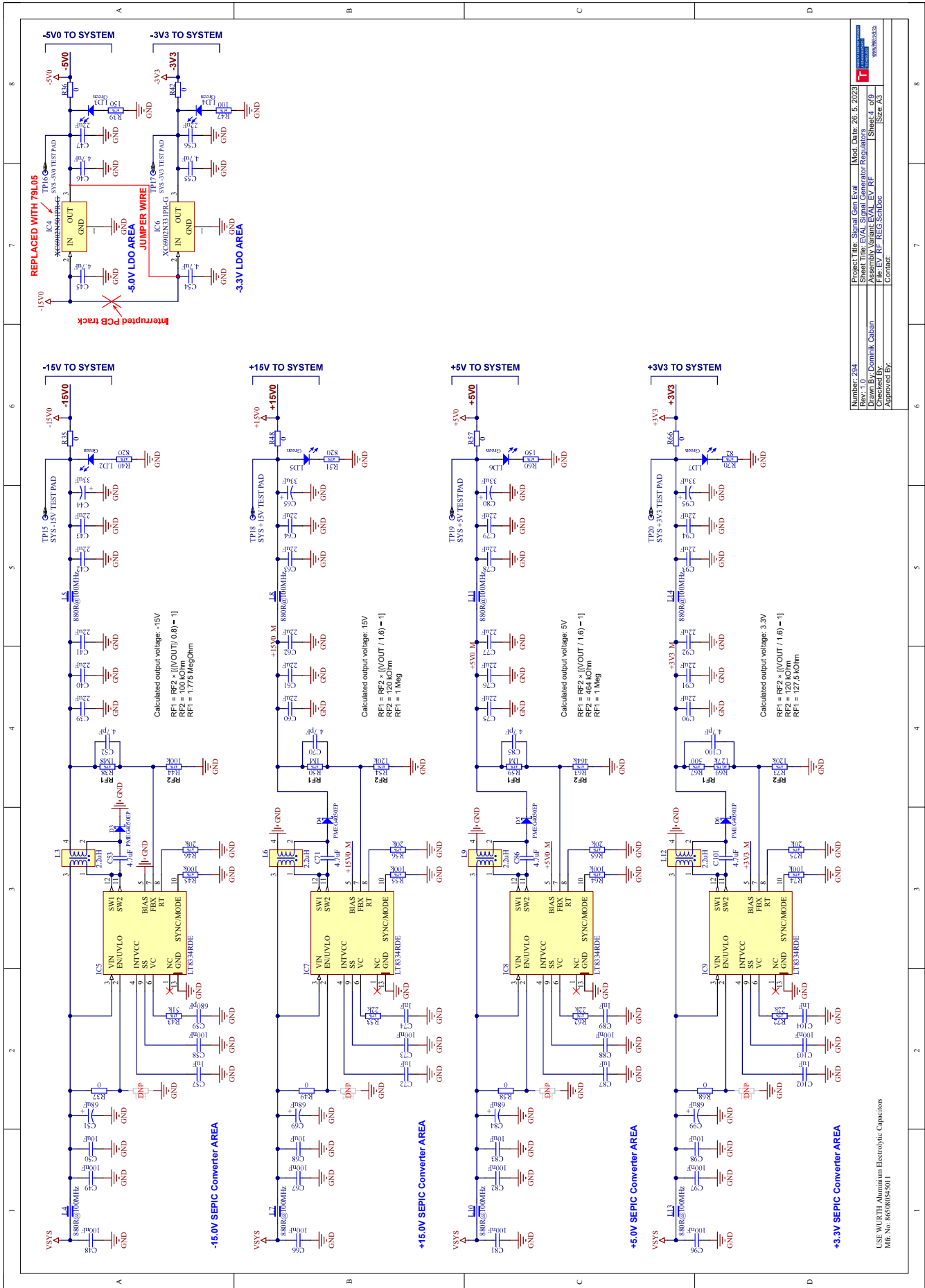
- All matched I/O signals are 50 Ohm terminated.
- GND planes are placed under the top layer followed by the power plane.
- The bottom & top layer will receive the control signals (SPE, DATA, EN & VBUS management)



ADDED an extra 2 x 22 uF capacitors

Place capacitors close as possible to PINS 1, 4.

Number: 204	Project Title: Signal Gen Eval	Mod. Date: 26.5.2023
Rev: 1.1	Sheet Title: EVAL_Slave Controller USB Charger	
Checked By: Dominik Cahlan	File: EV_RF_CHEG_SCH.Dwg	Sheet: 13 of 19
Approved By:	Contract:	Size: A3



Number: 204	Project Title: Signal Gen Eval	Mod. Date: 26.5.2023
Rev.: 1	Sheet Title: EVAL SWR1 Regulator Regulators	
Checked By: Dominik Cahan	File: EV_SWR1_07_01	Sheet 4 of 9
Approved By:	File: EV_SWR1_07_01	Size: A3
	Contact:	

USE WURTH Aluminum Electrolytic Capacitors
 Mfr. No. 85080545011

Low ESR ceramic capacitors with X5R or X7R dielectrics are recommended.
A tolerance of $\pm 20\%$ is acceptable on decoupling capacitors.

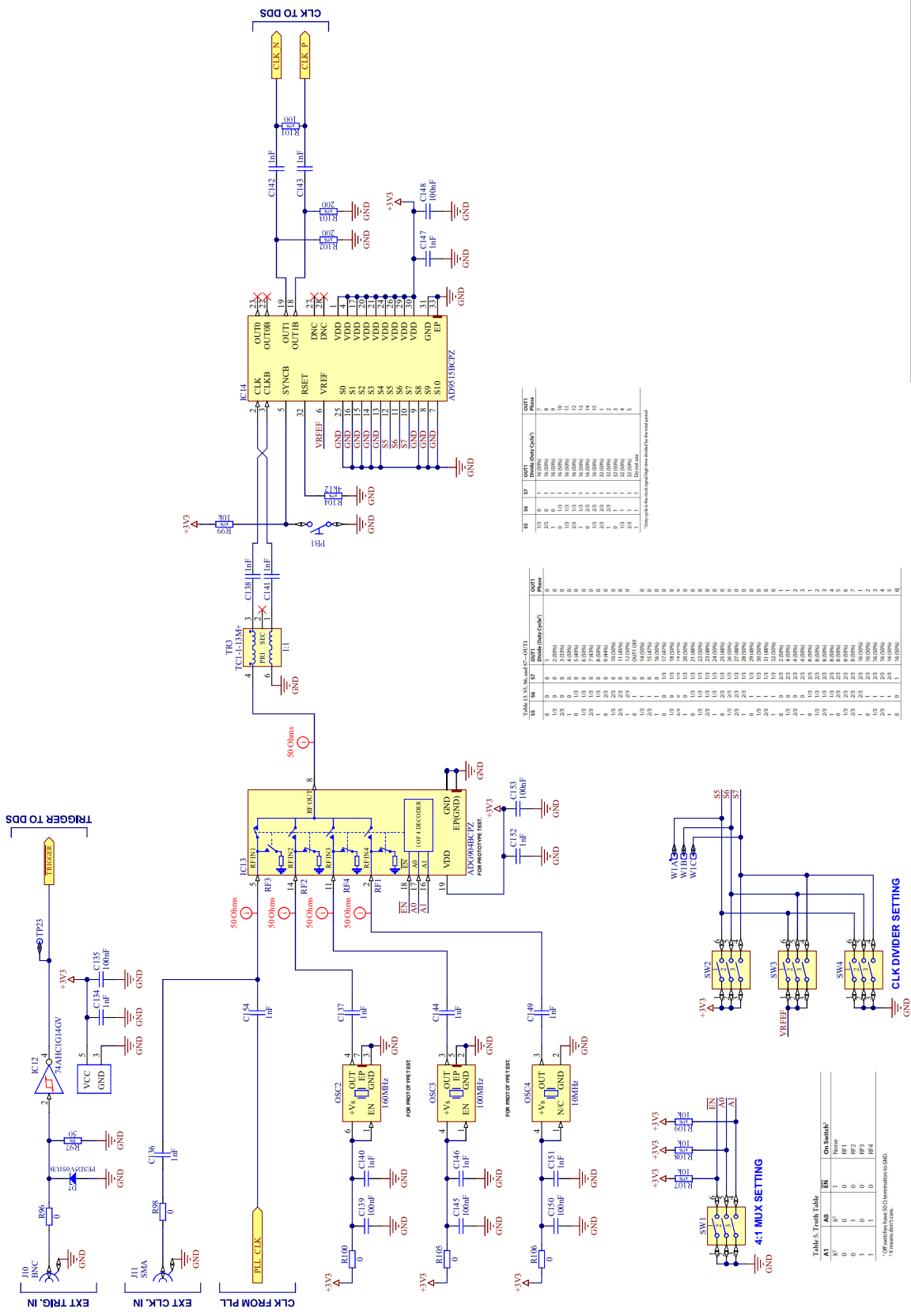


Table 3. Pin Functions

Pin	Symbol	Function
1	EN	Chip Enable
2	NC	No Connect
3	OSC1	Oscillator 1
4	OSC2	Oscillator 2
5	OSC3	Oscillator 3
6	OSC4	Oscillator 4
7	REF	Reference
8	REF	Reference
9	REF	Reference
10	REF	Reference
11	REF	Reference
12	REF	Reference
13	REF	Reference
14	REF	Reference
15	REF	Reference
16	REF	Reference
17	REF	Reference
18	REF	Reference
19	REF	Reference
20	REF	Reference
21	REF	Reference
22	REF	Reference
23	REF	Reference
24	REF	Reference
25	REF	Reference
26	REF	Reference
27	REF	Reference
28	REF	Reference
29	REF	Reference
30	REF	Reference
31	REF	Reference
32	REF	Reference
33	REF	Reference
34	REF	Reference
35	REF	Reference
36	REF	Reference
37	REF	Reference
38	REF	Reference
39	REF	Reference
40	REF	Reference
41	REF	Reference
42	REF	Reference
43	REF	Reference
44	REF	Reference
45	REF	Reference
46	REF	Reference
47	REF	Reference
48	REF	Reference
49	REF	Reference
50	REF	Reference
51	REF	Reference
52	REF	Reference
53	REF	Reference
54	REF	Reference
55	REF	Reference
56	REF	Reference
57	REF	Reference
58	REF	Reference
59	REF	Reference
60	REF	Reference
61	REF	Reference
62	REF	Reference
63	REF	Reference
64	REF	Reference
65	REF	Reference
66	REF	Reference
67	REF	Reference
68	REF	Reference
69	REF	Reference
70	REF	Reference
71	REF	Reference
72	REF	Reference
73	REF	Reference
74	REF	Reference
75	REF	Reference
76	REF	Reference
77	REF	Reference
78	REF	Reference
79	REF	Reference
80	REF	Reference
81	REF	Reference
82	REF	Reference
83	REF	Reference
84	REF	Reference
85	REF	Reference
86	REF	Reference
87	REF	Reference
88	REF	Reference
89	REF	Reference
90	REF	Reference
91	REF	Reference
92	REF	Reference
93	REF	Reference
94	REF	Reference
95	REF	Reference
96	REF	Reference
97	REF	Reference
98	REF	Reference
99	REF	Reference
100	REF	Reference

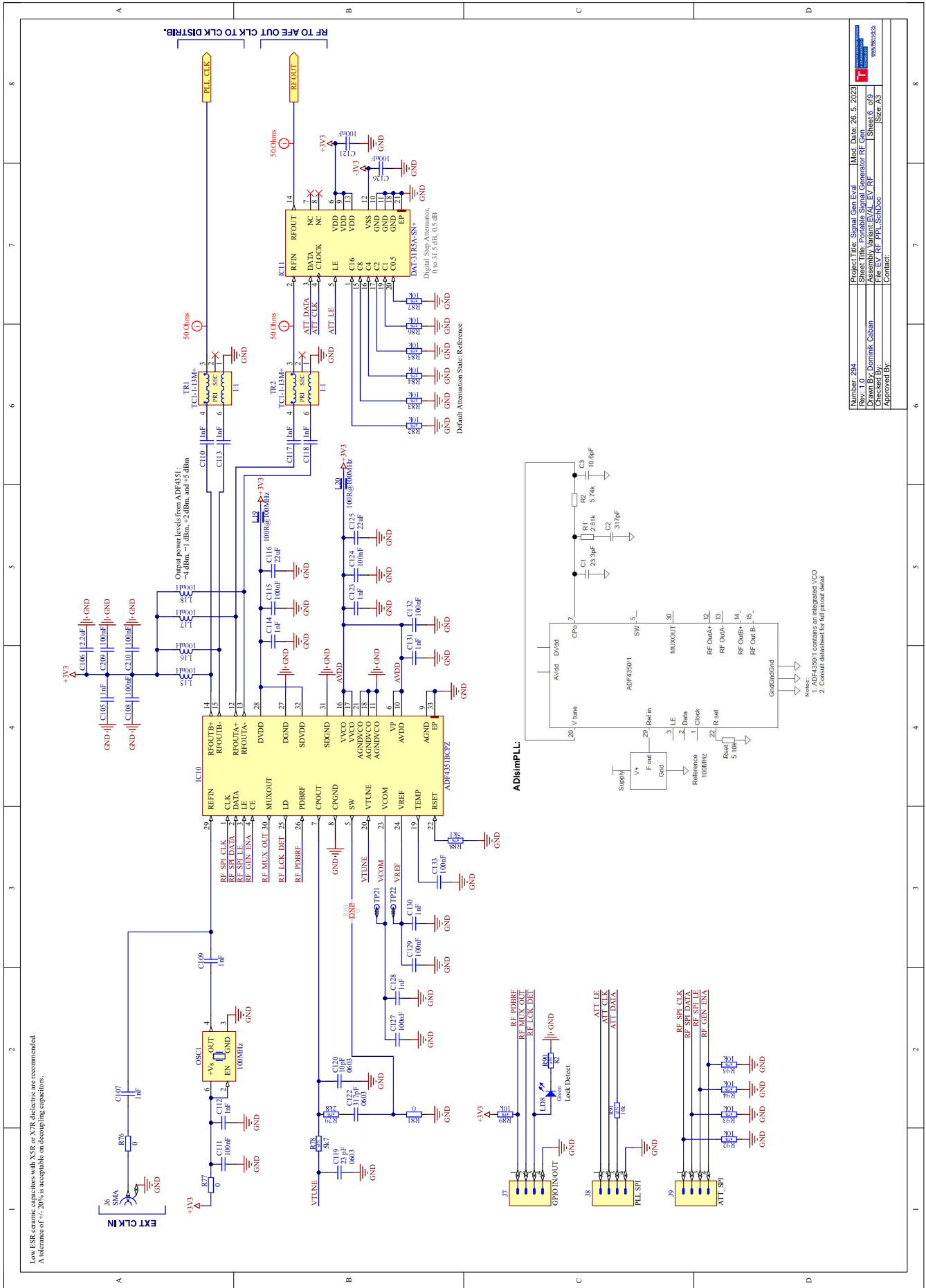
Table 4. Truth Table

SW1	SW2	SW4	Output
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Table 5. Truth Table

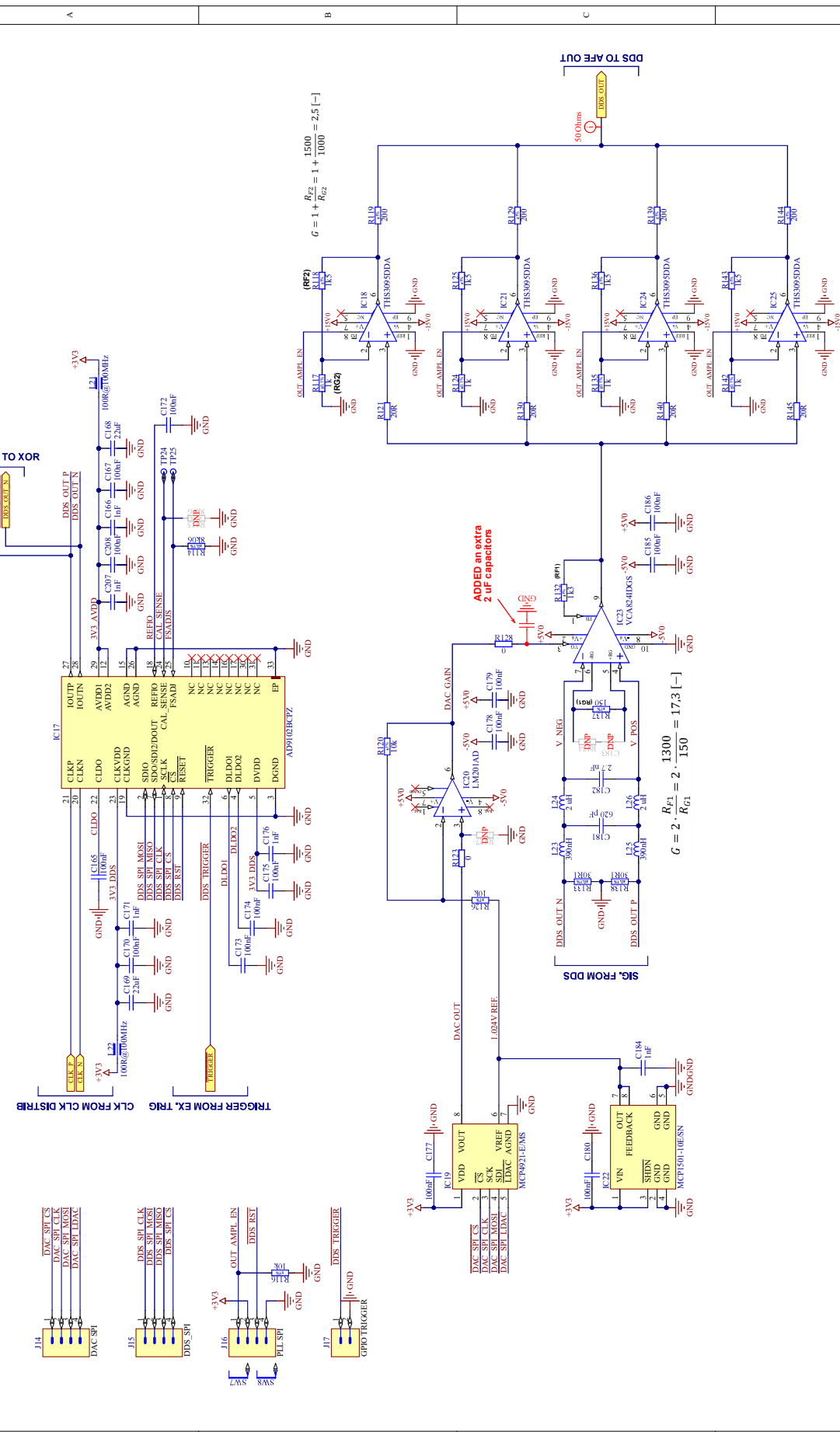
SW1	SW2	SW4	Output
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Number: 284
Project Title: Signal Gen Eval
Rev: 1
Sheet Title: Pinout and Connections
Rev: 1
Sheet No: 1 of 1
Mod Date: 26_5_2023
Checked By: Dominic Caban
Rev: 1
Sheet Size: A4
Rev: 1
File: EV_REF_CLK_DIV_SCH.DOC
Rev: 1
Size: 2.9
Contact: www.ti.com

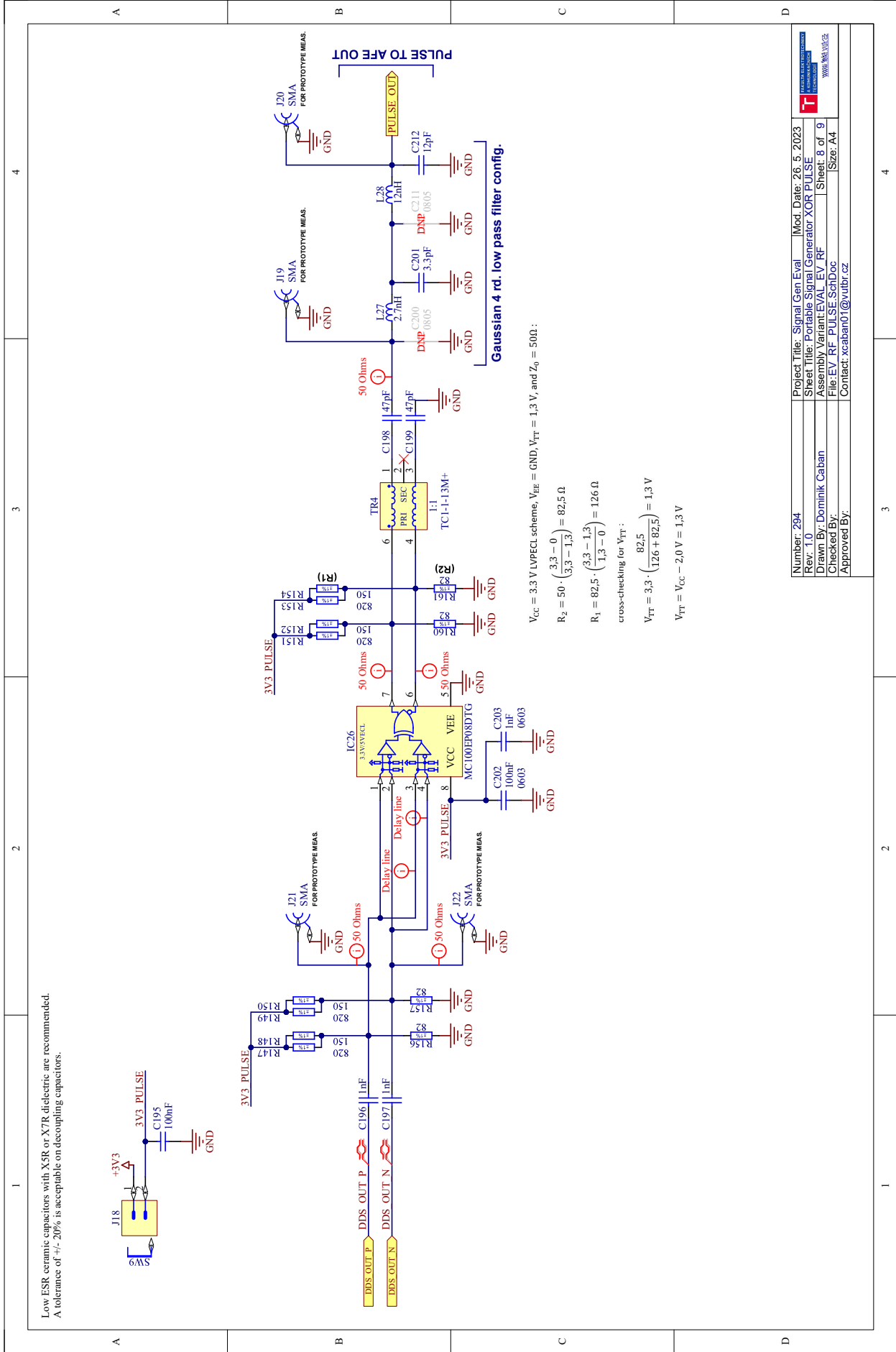


Number: 204	Project Title: Signal Gen Eval	Mod. Date: 26.5.2023
Rev: 1.1	Sheet Title: Pinout Schematic	Generator: R. Ghosh
Checked By: Dominik Cahan	File: EV_RF_PPL_SchDoc	Sheet: 16 of 19
Approved By:	File: EV_RF_PPL_SchDoc	Size: 2A3
	Contact:	www.ti.com

Low ESR ceramic capacitors with X5R or X7R dielectric are recommended.
 A tolerance of $\pm 20\%$ is acceptable on decoupling capacitors.

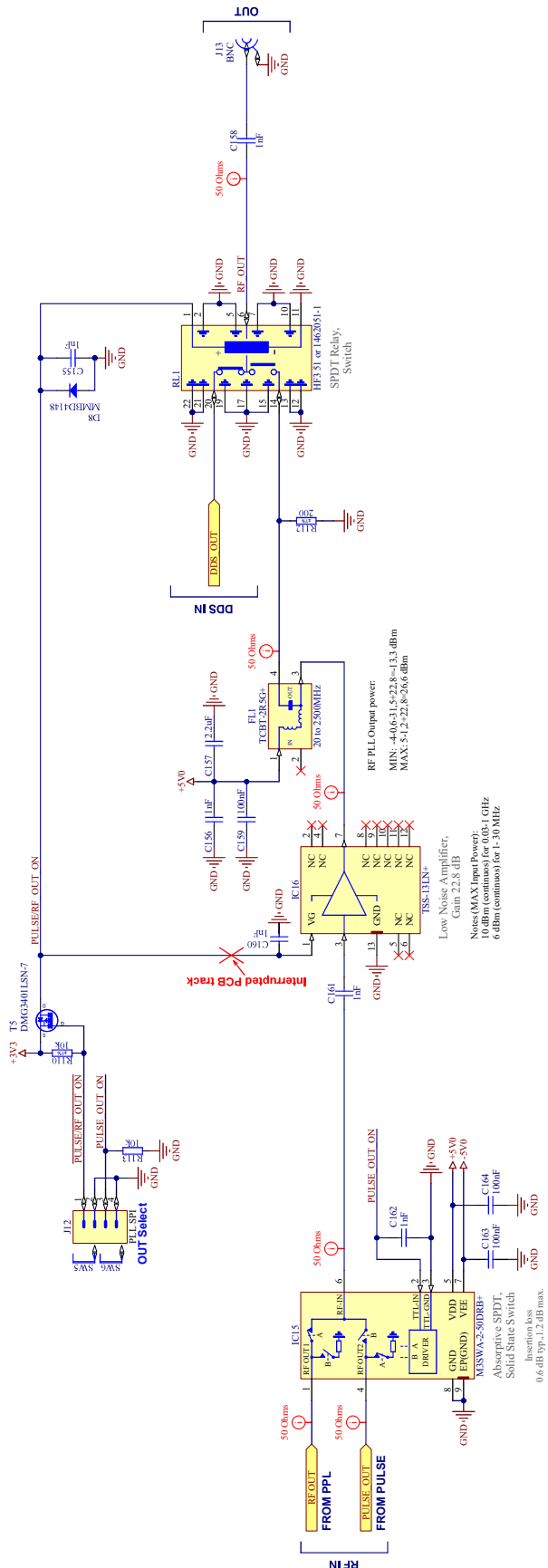


Number: 204	Project Title: Signal Gen Eval	Mod Date: 26.5.2023
Rev: 1	Sheet Title: DDS Generator DDS	Sheet: 7 of 9
Checked By: Dominic Caban	File: EV_RF_DDS_SchDoc	Sheet Size: A3
Approved By:	Contact:	



Number: 294	Project Title: Signal Gen Eval	Mod. Date: 26. 5. 2023
Rev. 1.0	Sheet Title: Portable Signal Generator XOR PULSE	
Drawn By: Dominik Caban	Assembly Variant: EVAL_EV_RF	Sheet: 8 of 9
Checked By:	File: EV_RF_PULSE_SchDoc	Size: A4
Approved By:	Contact: xcaban01@vutbr.cz	

Low ESR ceramic capacitors with X5R or X7R dielectrics are recommended.
 A tolerance of $\pm 20\%$ is acceptable on decoupling capacitors.



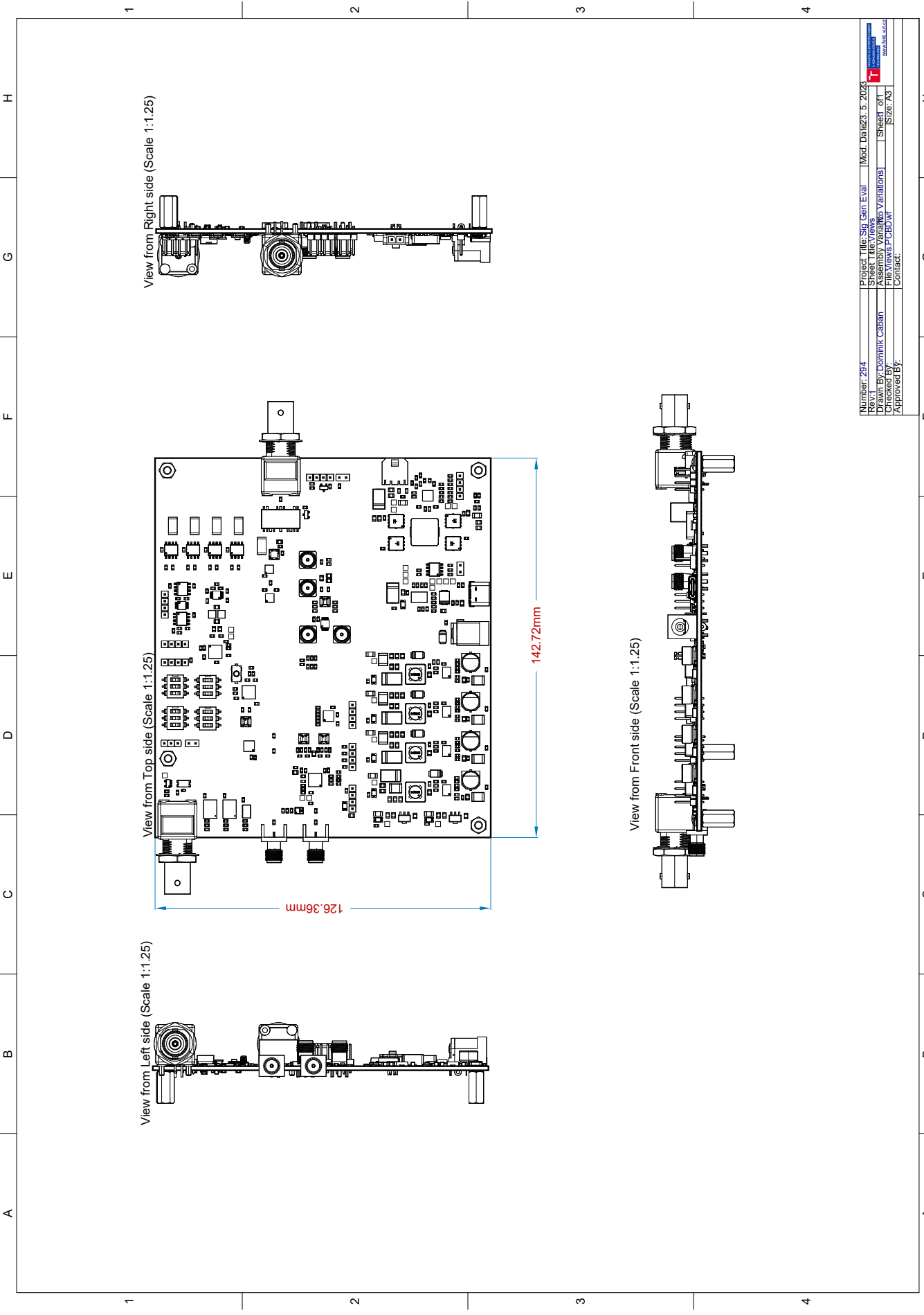
Low Noise Amplifier,
 Gain 22.5 dB
 Noise (MAX Input Power):
 10 dBm (continuous) for 0.01 - 1 GHz
 6 dBm (continuous) for 1-50 MHz

RF PLL Output power:
 MIN: -40 to -31.5 dBm
 MAX: 5.1, 2.2, 8.2, 6.6 dBm

Number: 204	Project Title: Signal Gen Eval	Mod. Date: 26.5.2023
Rev: 1	Sheet Title: PLL Synthesizer	Generator: AFE_OUT
Checked By: Dominik Cahlan	File: EV_RF_AFE_OUT_SchDoc	Sheet: 19 of 19
Approved By:	Contact:	Size: A3

C.2 Výrobné podklady - návrh DPS

Nasledujúca sekcia prílohy obsahuje dokumentáciu návrhu DPS pre vysokofrekvenčnú časť zostrojeného prototypu.



Number: 294	Project File: Sig_Cen_Eval	Mod. Date: 23. 5. 2024
Rev: 1	Sheet Title: Views	
Drawn By: Dominik Caban	Assembly Variant: No Variations	Sheet: 3 of 1
Checked By:	File Views: PCB Dwg	Size: A3
Approved By:	Contact:	



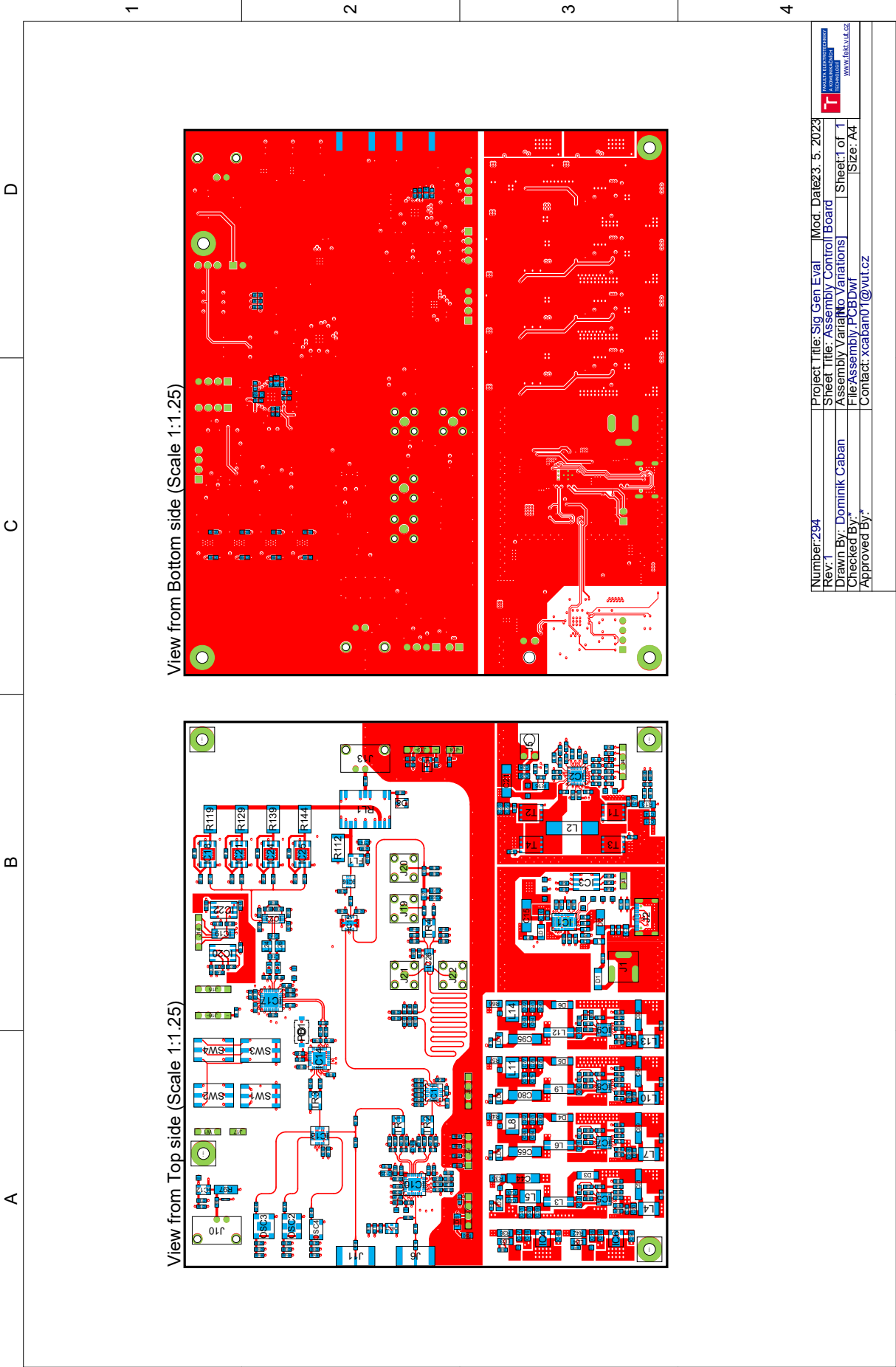
Realistic View - Top

Realistic View - Bottom

Realistic View - Front side

Realistic View - Power side

Number: 294	Project Files Sig Gen Eval	Mod. Date: 5. 2024
Rev: 1	Sheet Title Views: 3D	
Drawn By: Dominik Caban	Assembly Variations	Sheet: 9 of 1
Checked By:	File Views: 3D PCB Dwg	Size: A3
Approved By:	Contact:	



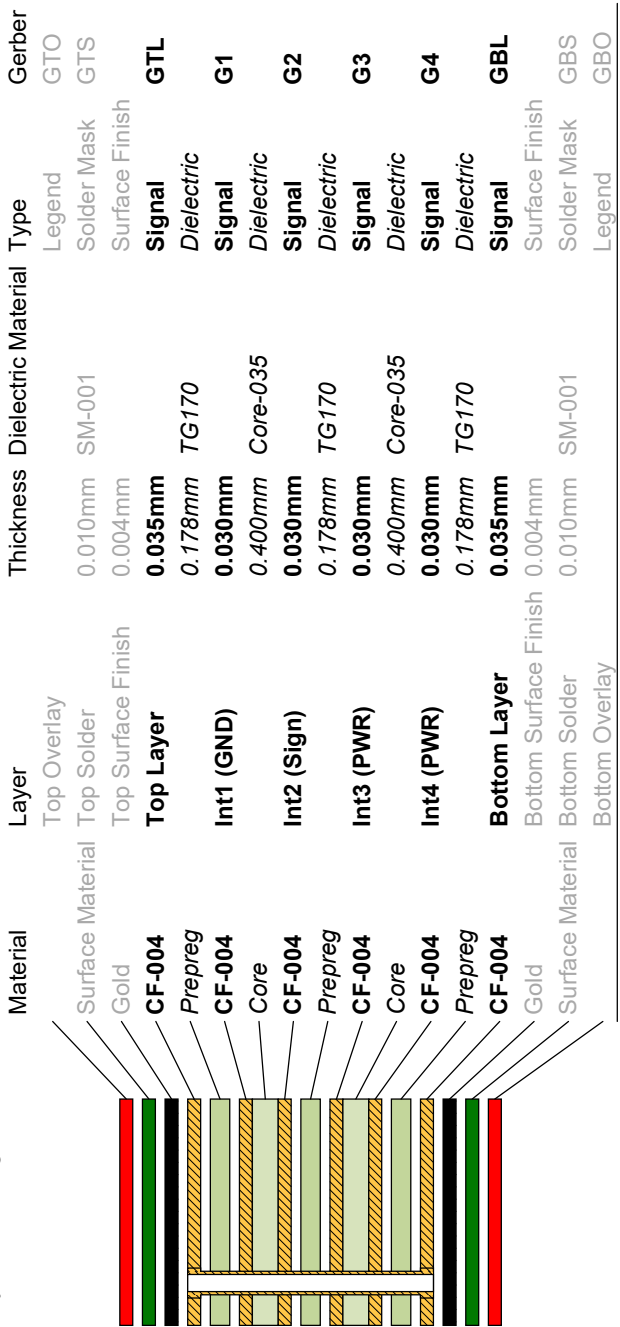
View from Bottom side (Scale 1:1.25)

View from Top side (Scale 1:1.25)

Number: 294	Project Title: Sig Gen Eval	Mod. Date: 3-5-2023
Rev: 1	Sheet Title: Assembly Control Board	
Drawn By: Dominik Caban	Assembly Variant: No Variations	Sheet: 1 of 1
Checked By:	File: Assembly_PCB.Dwg	Size: A4
Approved By:	Contact: xcaban01@vut.cz	

A B C D

Layer Stack Legend



Total thickness: 1.552mm

Transmission Line Structure Table

Impedance Id	Transmission Line	Target Impedance	Calculated Impedance	Trace layer	Wide Trace Width	Reference layers	Target Tolerance
1	Coated Microstrip	50	49.89	Top Layer	0.32mm	Int1 (GND)	10%
5	Edge-Coupled Offset Stripline	50	49.97	Int2 (Sign)	0.60mm	Int1 (GND),Int3 (PWR)	10%

Number: 294 Project Title: Sig Gen Eval Mod: Date23- 5- 2023
 Rev: 1 Sheet Title: Stackup Signal Board
 Drawn By: Dominik Caban Assembly Variat: No Variations Sheet: 1 of 1
 Checked By: File: Stackup.PCB.Dwg Size: A4
 Approved By: Contact: xcaban01@vutbr.cz

1

2

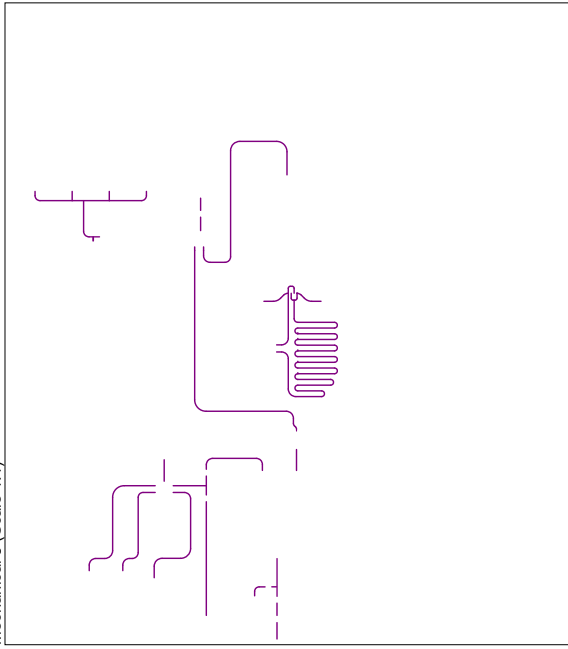
3

4

Notes:

1. Traces for impedance control $Z=50 \Omega$ (single-ended) for L1 layer is in file .GM6
2. Traces for impedance control $Z=50 \Omega$ (differential) for L3 layer is in file .GM3

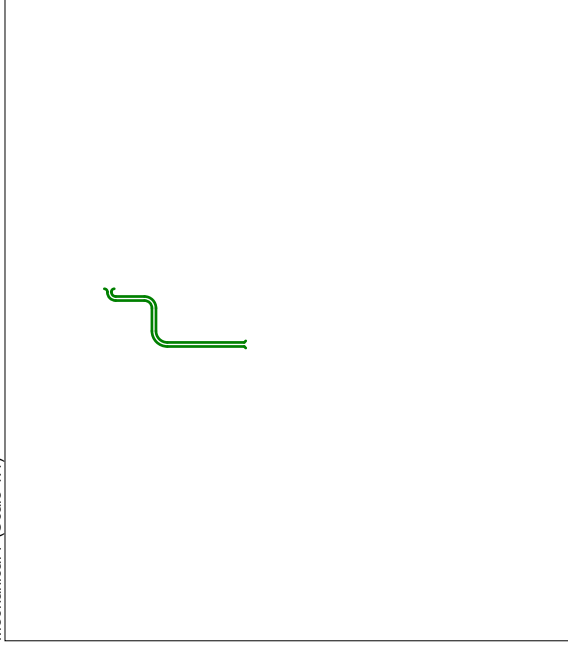
Mechanical 6 (Scale 1:1)



Traces for Impedance control TOP (L1)

Z Impedance 50 (L1) 1

Mechanical 7 (Scale 1:1)



Traces for Impedance control L3

Z Impedance 50 (L3) 1

D Výstupný filter z PLL

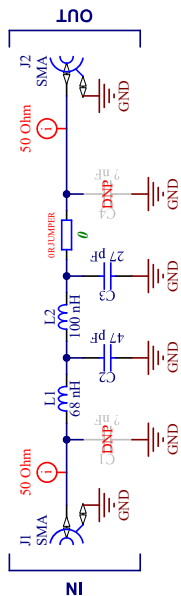
D.1 Navrhnutá schéma zapojenia

Nasledujúca sekcia prílohy obsahuje vyhotovené schémy zapojenia výstupného filtra VF signálu generovaného z PLL.

100 MHz Filter

4th Order Low Pass Chebyshev I

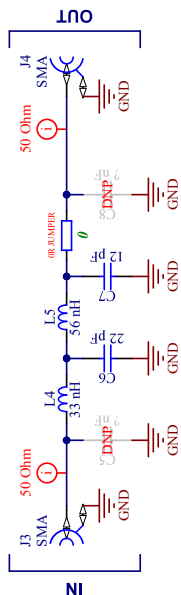
Pass Band Frequency = 100.0 MHz
Pass Band Ripple = 0.05 dB



200 MHz Filter

4th Order Low Pass Chebyshev I

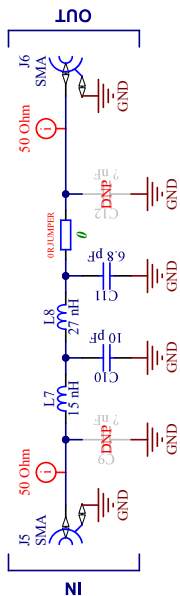
Pass Band Frequency = 200.0 MHz
Pass Band Ripple = 0.05 dB



400 MHz Filter

4th Order Low Pass Chebyshev I

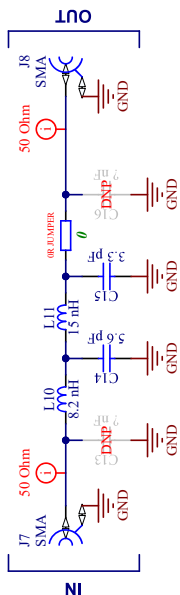
Pass Band Frequency = 400.0 MHz
Pass Band Ripple = 0.05 dB



800 MHz Filter

4th Order Low Pass Chebyshev I

Pass Band Frequency = 800.0 MHz
Pass Band Ripple = 0.05 dB



Components selected during calculations (BOM) :

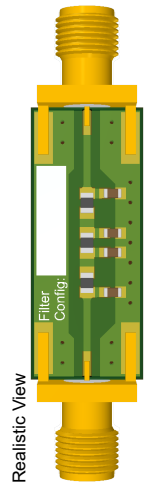
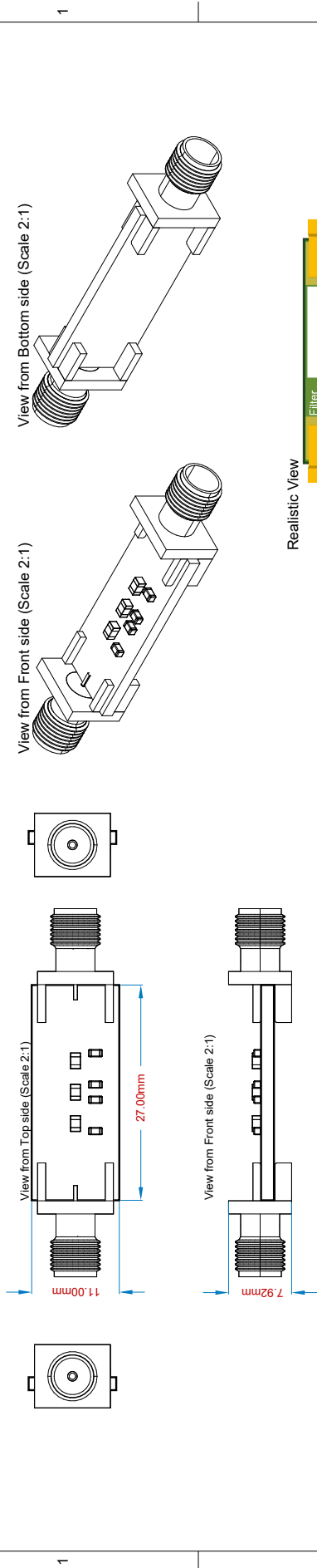
Value	Mfr. No	Mfr. No
47pF	GQM1875C2E470FB12D	GQM1875C2E220FB12D
27pF	GQM1875C2E270GB12D	GQM1875C2E120GB12D
68nH	0603AF-68NX1RW	0603HP-33NXGE
100nH	0603HP-R10X_E	0603HP-56NXGE
10pF	GQM1875C2E100GB12D	GQM1875C2E5R6CB12D
6.8pF	GQM1875C2E6R8DB12D	GQM1875C2E3R3CB12D
15nH	0603HP-15NXGE	0603HP-8N2XGE
27nH	0603HP-27NXGE	0603HP-15NXGE

Number: 294	Project Title:	Mod. Date: 20. 5. 2023
Rev: 0	Sheet Title: OutputFilterEval	Sheet: 2 of 2
Drawn By: Dominik Caban	Assembly Variant: LPF 4-th	Size: A4
Checked By:	File: OutputFilter_SchDoc	
Approved By:	Contact: xcaban01@vut.cz	

D.2 Výrobné podklady - návrh DPS

Nasledujúca sekcia prílohy obsahuje výrobné podklady pre výstupný filter VF signálu generovaného z PLL.

A B C D E F G H



Layer Stack Legend

Material	Layer	Thickness	Dielectric Material	Type	Gerber
Surface Material	Top Overlay	0.03mm	SM-001	Legend	GTO
PbSn	Top Solder	0.02mm		Solder Mask	GTS
CF-004	Top Surface Finish	0.04mm		Surface Finish	
Prepreg	Top Layer	0.36mm	PR7628	Signal	GTL
Core	Int1 (GND)	0.04mm	FR4-Improved	Dielectric	G1
CF-004	Int2 (GND)	0.71mm		Signal	G2
Prepreg	Bottom Layer	0.36mm	PR7628	Dielectric	GBL
PbSn	Bottom Surface Finish	0.02mm		Surface Finish	
Surface Material	Bottom Solder	0.03mm	SM-001	Solder Mask	GBS
	Bottom Overlay			Legend	GBO

Total thickness: 1.66mm

Transmission Line Structure Table

Impedance Id	Transmission Line	Target Impedance	Calculated Impedance	Trace layer	Wide Trace Width	Reference layers	Target Tolerance
1	Coated Microstrip	50	49.59	Top Layer	0.65mm	Int1 (GND)	10%
2	Coated Microstrip	50	49.59	Bottom Layer	0.65mm	Int2 (GND)	10%

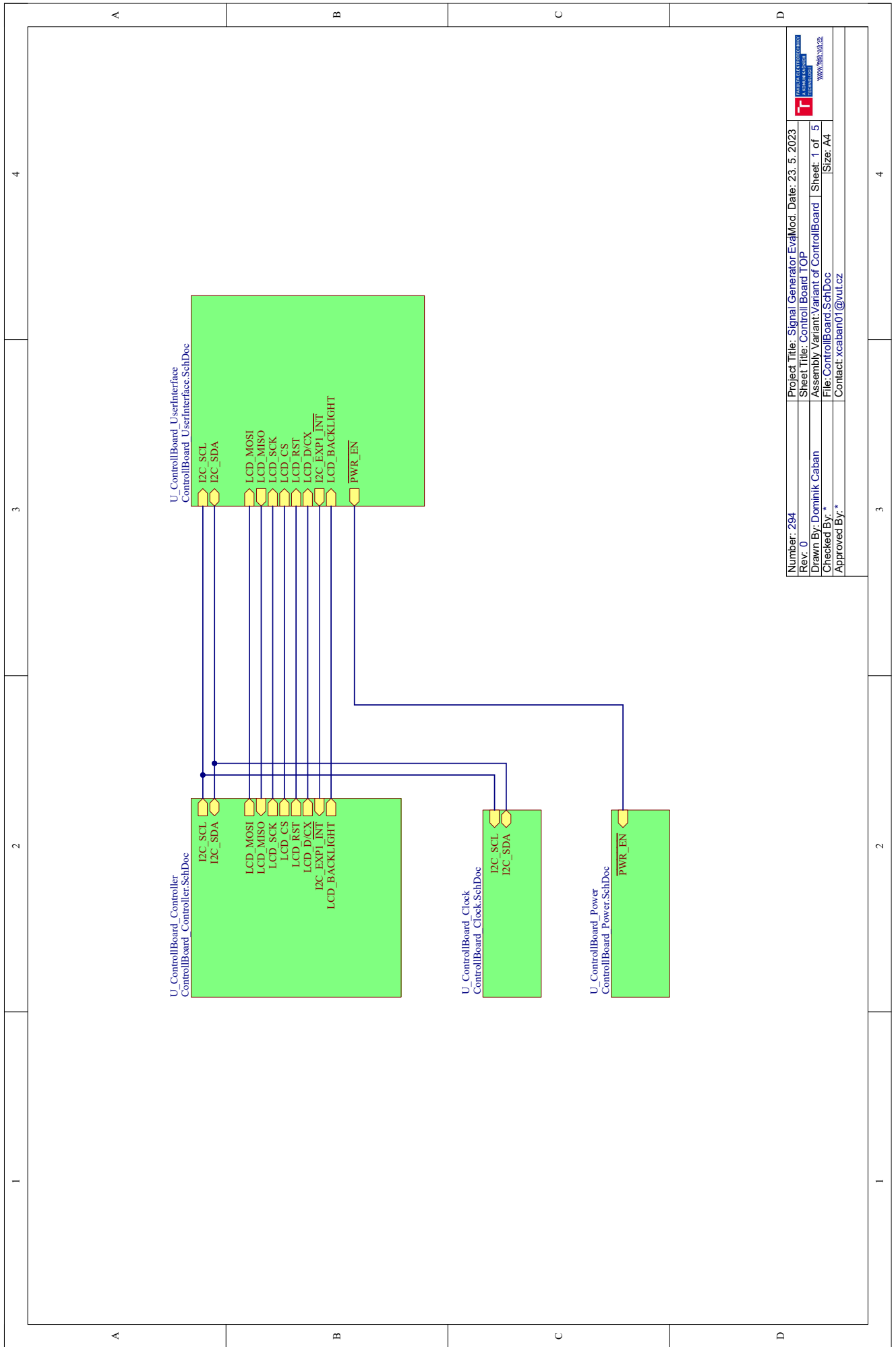
Number: 294	Project Title	Mod. Date: 5/2024
Rev: 0	Sheet Title: Output Filter Eval	
Drawn By: Dominik Caban	Assembly Variations	Sheet: 01
Checked By:	File Path: StackupDescription.PCB.Dwg	Size: A3
Approved By:	Contact:	

A B C D E F G H

E Riadenie

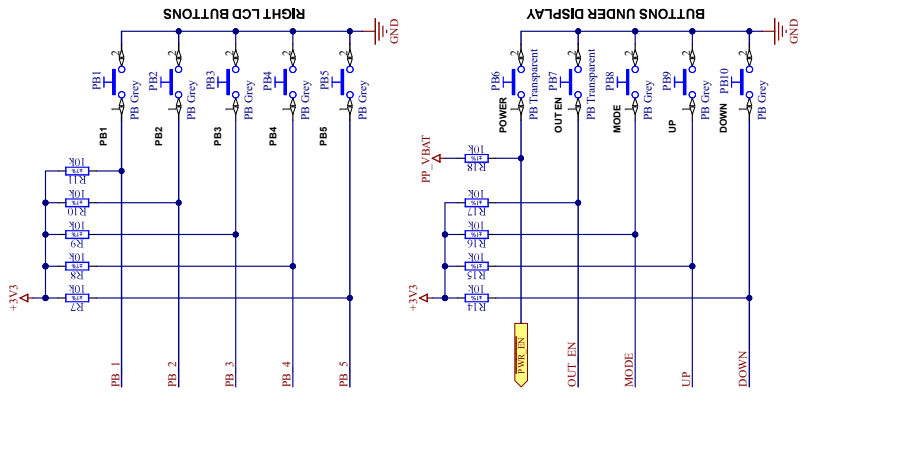
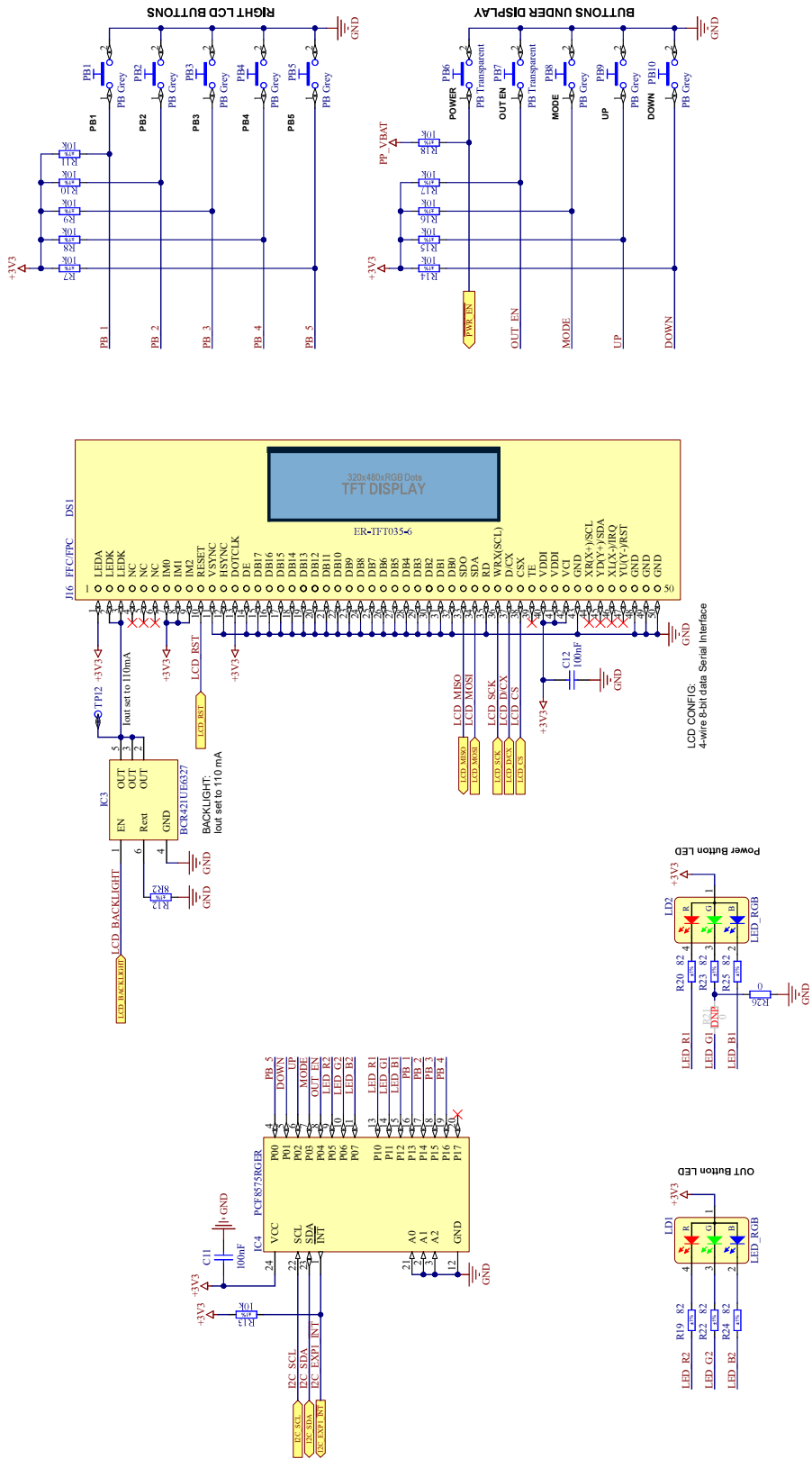
E.1 Navrhnutá schéma zapojenia

Nasledujúca sekcia prílohy obsahuje vyhotovenú schému zapojenia riadiacej časti zostrojeného prototypu.



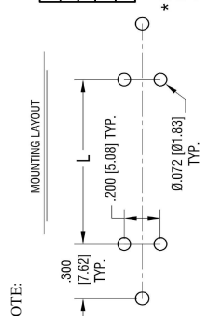
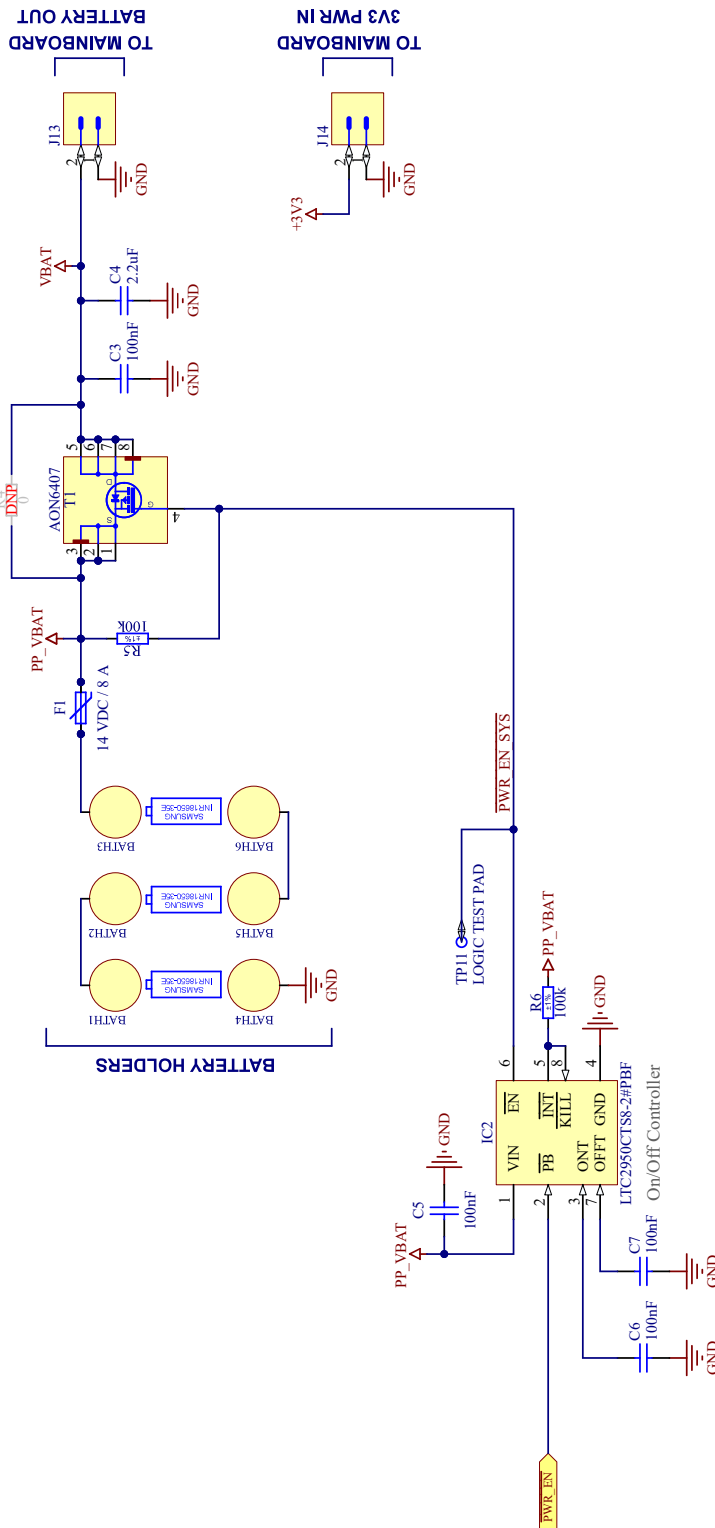
Number: 294	Project Title: Signal Generator Eval	Mod. Date: 23. 5. 2023
Rev: 0	Sheet Title: Control Board TOP	
Drawn By: Dominik Caban	Assembly Variant: Variant of ControlBoard	Sheet: 1 of 5
Checked By: *	File: ControlBoard_SchDoc	Size: A4
Approved By: *	Contact: xcaban01@vut.cz	

Low ESR ceramic capacitors with X5R or X7R dielectric are recommended.
 A tolerance of +/-20% is acceptable on decoupling capacitors.



Number: 294	Project Title: Signal Generator Eval Mod. Date: 23. 5. 2023
Rev: 1	Sheet Title: Control Board Portable Signal Generator
Checked By: Dominik Cebam	Assembly: Control Board Portable Signal Generator
Checked By: Dominik Cebam	File: ControlBoard_UbunterRaderSchleper
Approved By: Dominik Cebam	Sheet: 03
Contact: www.hobby...	

Low ESR ceramic capacitors with X5R or X7R dielectric are recommended.
 A tolerance of +/- 20% is acceptable on decoupling capacitors.

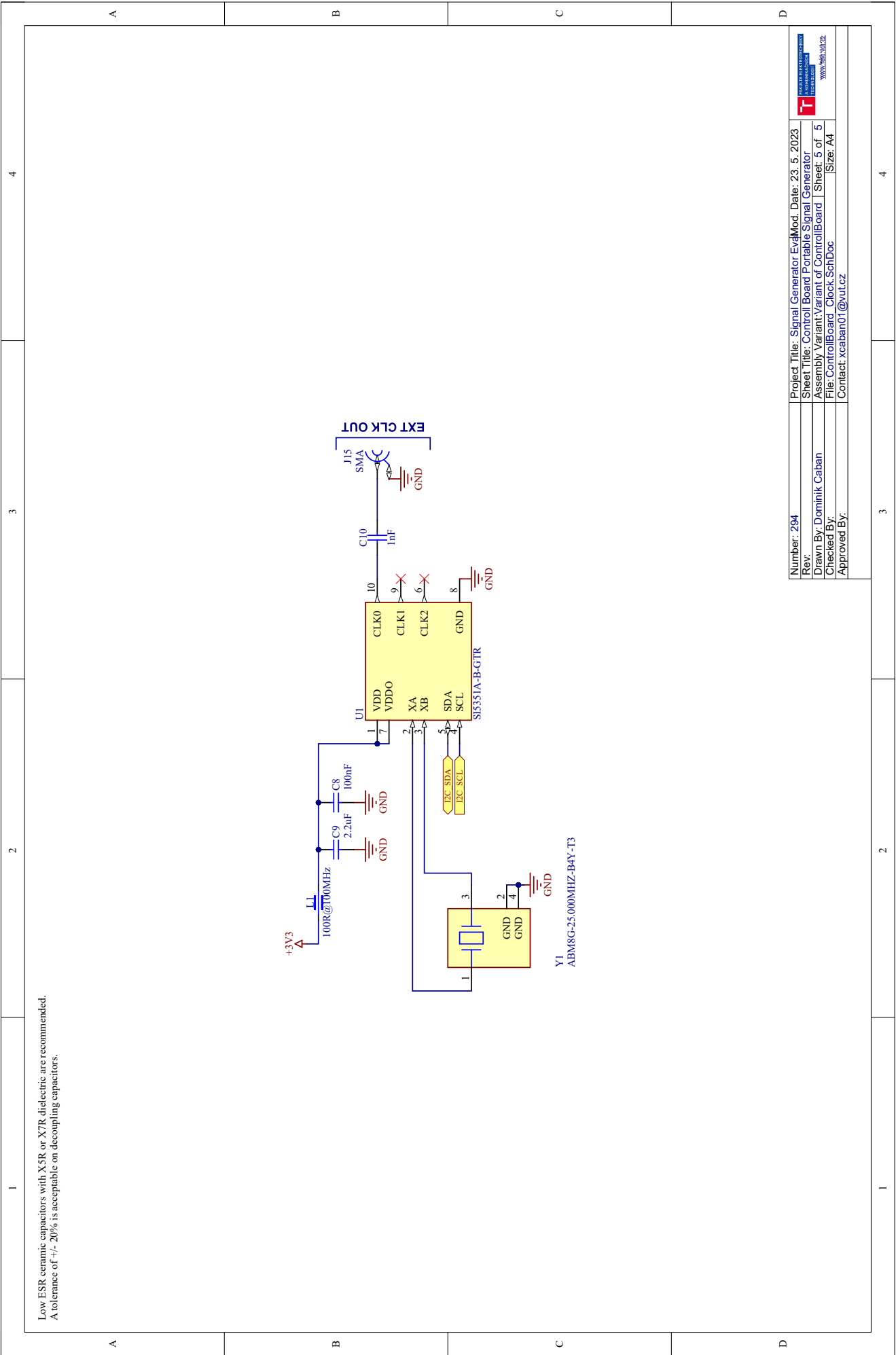


CELL SIZE	MIN. DIMENSION
18650 *	1.890 (48.00)
CR123A	.570 (14.50)
17500	1.218 (30.90)
18350	.826 (20.90)

* FOR BATTERIES WITH BUILT-IN CIRCUIT PROTECTION (67mm LONG)

Number: 294
 Rev: [blank]
 Drawn By: Dominik Caban
 Checked By: [blank]
 Approved By: [blank]

Project Title: Signal Generator Eval Mod. Date: 23. 5. 2023
 Sheet Title: Control Board Portable Signal Generator
 Assembly Variant: Variant of ControlBoard | Sheet: 4 of 5
 File: ControlBoard_Power.SchDoc | Size: A4
 Contact: xcaban01@vut.cz



Low ESR ceramic capacitors with X5R or X7R dielectric are recommended.
 A tolerance of +/- 20% is acceptable on decoupling capacitors.

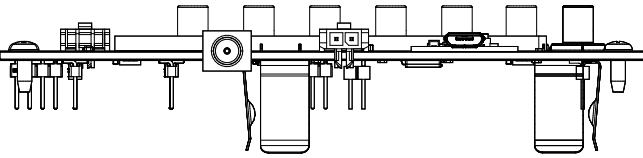
Number: 294	Project Title: Signal Generator Eval	Mod. Date: 23. 5. 2023
Rev:	Sheet Title: Control Board Portable Signal Generator	
Drawn By: Dominik Caban	Assembly Variant: Variant of ControlBoard	Sheet: 5 of 5
Checked By:	File: ControlBoard_Clock_SchDoc	Size: A4
Approved By:	Contact: xcaban01@vut.cz	

E.2 Výrobné podklady - návrh DPS

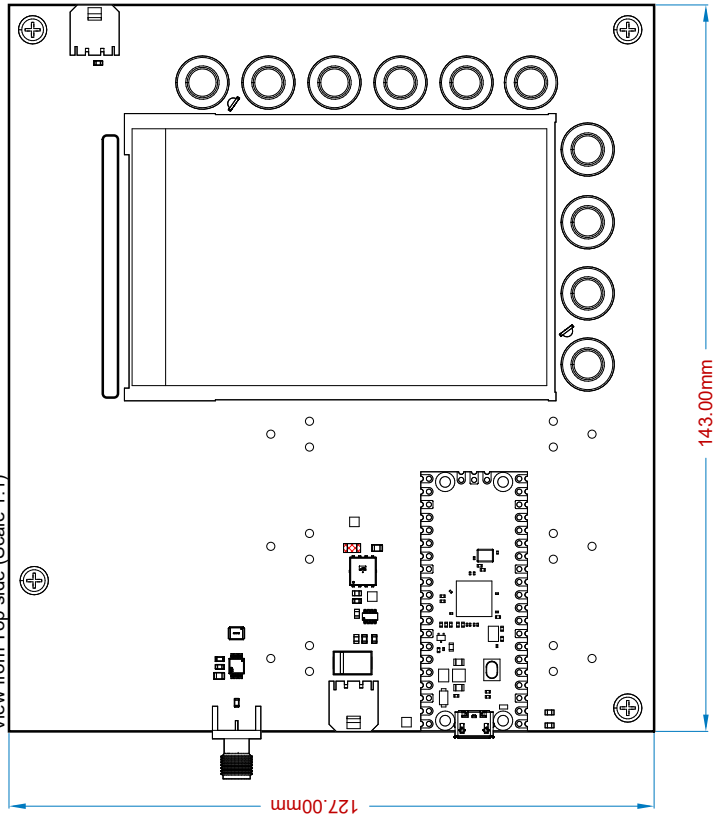
Táto sekcia prílohy je zameraná na dokumentáciu návrhu riadiacej časti zostrojeného prototypu.

A B C D E F G H

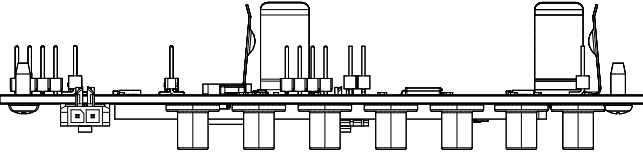
View from Left side (Scale 1:1)



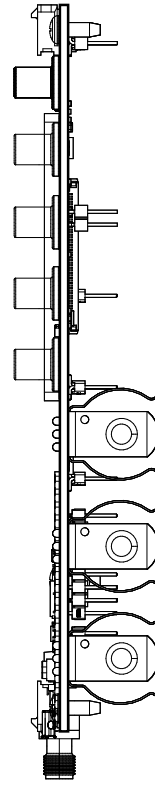
View from Top side (Scale 1:1)



View from Right side (Scale 1:1)



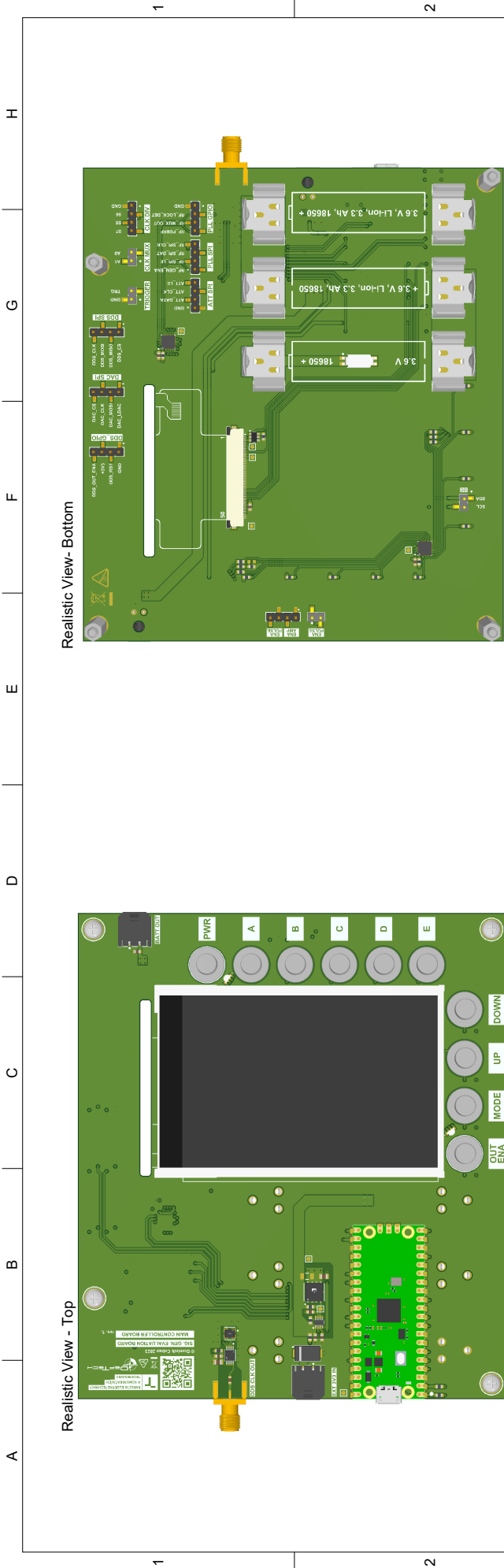
View from Front side (Scale 1:1)



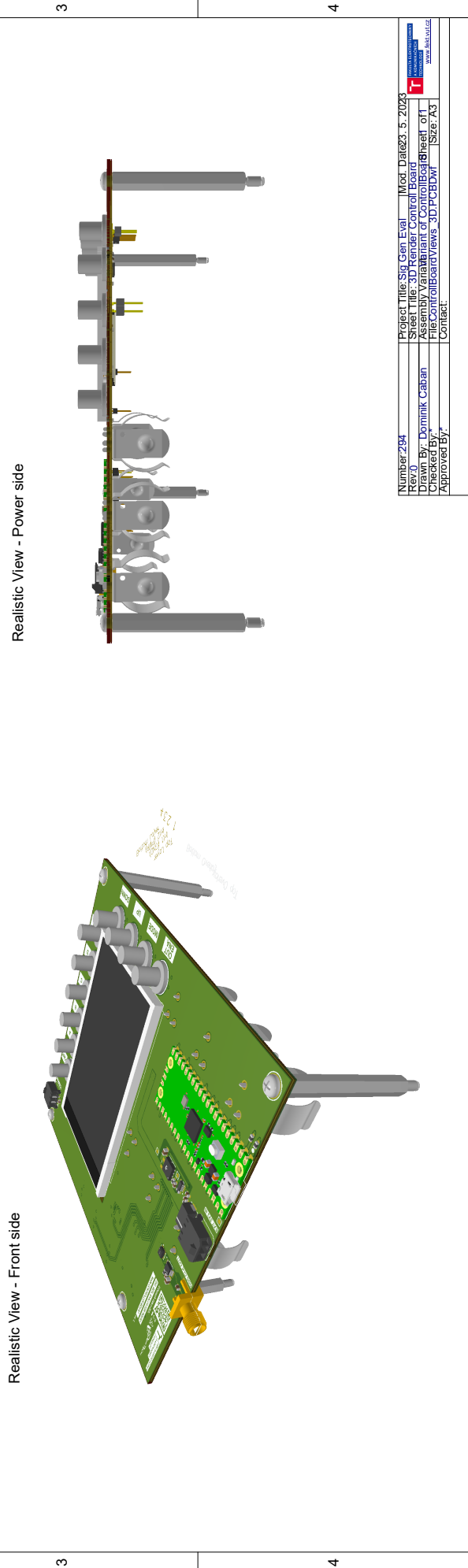
1 2 3 4

A B C D E F G H

Number: 254	Project Title: Sig-Cat-Eval	Issue: 01	Issue Date: 5. 2023
Revision: 01	Supplier: Digi-Key	Supplier Part No: 100-15555-000	Supplier Part Description: Control Board
Drawn By: Dominik Caban	Checked By: Dominik Caban	Approved By: Dominik Caban	Assembly Variant: Variant of Control Board
	File: ControlBoardViews.PCBDFW	File Size: 7A3	Contact: 2023-05-08



A B C D E F G H



A B C D E F G H

Number: 2194	Project Title: SCS Gen. Eval	Mod. Date: 3. 5. 2023
Revision: 01	Sheet Title: 3D Model of Control Board	Drawn By: Dominik Caban
Checked By:	Assembly Variant of Control Board	File: ControlBoardViews_3DPCBDv1
Approved By:	Size: A3	Contact:

A B C D

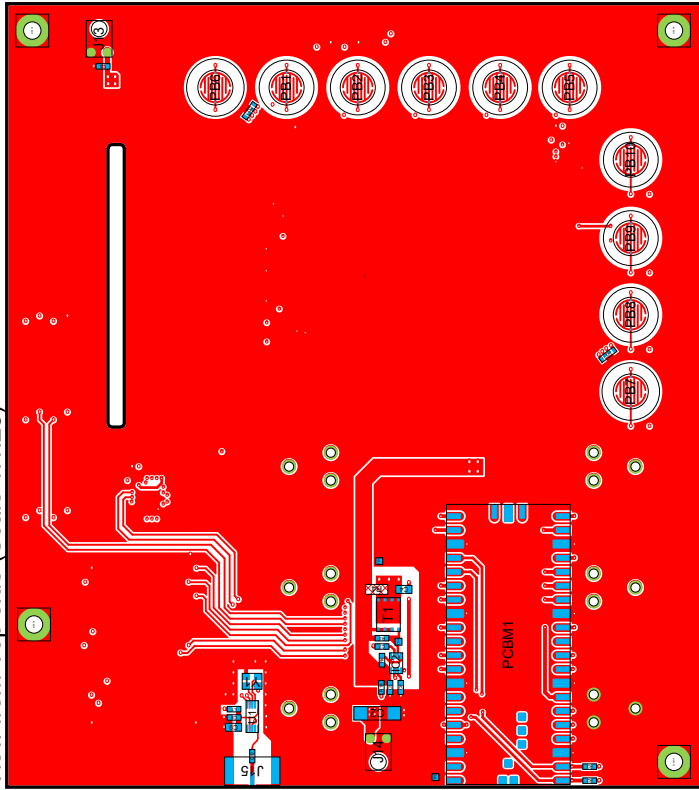
1

2

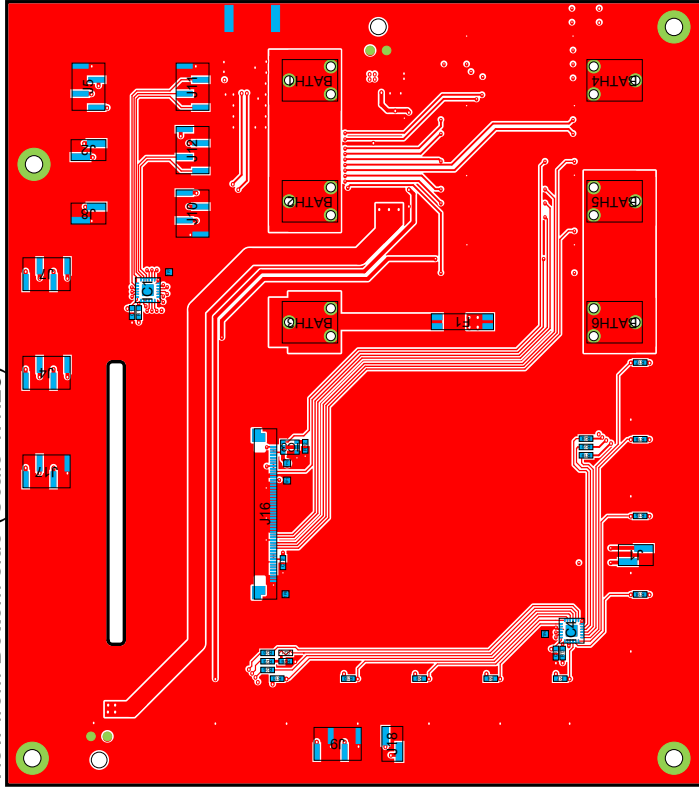
3

4

View from Top side (Scale 1:1.25)



View from Bottom side (Scale 1:1.25)



Number: 294	Project Title: Sig Gen Eval	Mod. Date: 23. 5. 2023
Rev: 0	Sheet Title: Assembly Control Board	
Drawn By: Dominik Caban	Assembly Variant of Control Board	Sheet: 1 of 1
Checked By:	File: ControlBoardAssembly.PCB.Dwg	Size: A4
Approved By:	Contact: xcaban01@vut.cz	

A B C D

1

2

3

4

A B C D

1

2

3

4

Layer Stack Legend

Material	Layer	Thickness	Dielectric Material	Type	Gerber
	Top Overlay			Legend	GTO
Surface Material	Top Solder	0.025mm	SM-001	Solder Mask	GTS
PbSn	Top Surface Finish	0.020mm		Surface Finish	
CF-004	Top Layer	0.035mm		Signal	GTL
<i>Prepreg</i>		<i>0.360mm</i>	<i>PP-017</i>	<i>Dielectric</i>	
CF-004	Int1 (GND)	0.035mm		Signal	G1
<i>Core</i>		<i>0.710mm</i>	<i>Core-039</i>	<i>Dielectric</i>	
CF-004	Int2 (PWR)	0.035mm		Signal	G2
<i>Prepreg</i>		<i>0.360mm</i>	<i>PP-017</i>	<i>Dielectric</i>	
CF-004	Bottom Layer	0.035mm		Signal	GBL
PbSn	Bottom Surface Finish	0.020mm		Surface Finish	
Surface Material	Bottom Solder	0.025mm	SM-001	Solder Mask	GBS
	Bottom Overlay			Legend	GBO

Total thickness: 1.661mm

Number: 294	Project Title: Sig Gen Eval	Mod. Date: 23. 5. 2023
Rev: 0	Sheet Title: Stackup Control Board	
Drawn By: Dominik Caban	Assembly Variant: Control Board	Sheet: 1 of 1
Checked By:	File: ControlBoardStackup.PCBDFw	Size: A4
Approved By:	Contact: xcaban01@vut.cz	

A B C D

1

2

3

4

F Obsah elektronickej prílohy

Súčasťou elektronickej prílohy sú súbory návrhu schém a DPS vyhotovené v programe Altium Designer 23.3.1. Príloha následne obsahuje frekvenčné charakteristiky jednotlivých filtrov navrhnuté v programe Nuhertz Filter Solutions 2019. V prílohe sa taktiež nachádzajú programy vytvorené vo vývojovom prostredí Arduino a Visual studio (s doplnkom PlatformIO IDE) pre platformu Raspberry Pi Pico potrebné na oživenie jednotlivých častí.

Vyššie spomenuté súbory sú dostupné v rámci nasledovnej štruktúry elektronickej prílohy:

```
/.....koreňový adresár priloženého archívu
├── A Control Board.....súbory k návrhu riadiacej časti
├── B Signal Board.....súbory k návrhu VF časti
├── C Filter Board.....súbory k návrhu výstupných VF filtrov
├── D Firmware.....súbory firmvéru na test jednotlivých častí
│   ├── DDS
│   ├── DISPLAY
│   ├── PLL + ATT
│   └── USB PD
├── E Simulations..... frekvenčné charakteristiky navrhnutých filtrov
│   ├── Gaussian_Pulse
│   └── PLL_OutputFilter
```