



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

## NÁVRH SIGMA DELTA AD PŘEVODNÍKU PRO SENZOROVÉ APLIKACE

DESIGN OF A SIGMA DELTA AD CONVERTER FOR SENSOR APPLICATIONS

### DIPLOMOVÁ PRÁCE

MASTER'S THESIS

### AUTOR PRÁCE

AUTHOR

Bc. Lukáš Pěček

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2017

# Diplomová práce

magisterský navazující studijní obor **Mikroelektronika**  
Ústav mikroelektroniky

**Student:** Bc. Lukáš Pěček

**ID:** 154831

**Ročník:** 2

**Akademický rok:** 2016/17

## NÁZEV TÉMATU:

### Návrh Sigma Delta AD převodníku pro senzorové aplikace

#### POKYNY PRO VYPRACOVÁNÍ:

Zvolte vhodnou topologii 1-stupňového sigma delta převodníku pracujícího s 1-bitovým modulátorem v časově spojitě doméně určeného pro zpracování především stejnosměrných signálů v rozsahu 0 - 1,2 V a proveďte ideový návrh tohoto převodníku (základní výpočty). Pro zvolenou topologii proveďte obvodový návrh v technologii onc18/i4t společnosti ON Semiconductor. Správnost návrhu vzhledem k požadovaným parametrům ověřte simulacemi.

#### DOPORUČENÁ LITERATURA:

- LAKER K., SANSEN W.: "Design of Analog Integrated Circuits and Systems", New York, McGraw Hill 1994.
- GREGORIAN R., THEMES G.: "Analog MOS Integrated Circuits For Signal Processing", New York Wiley-Interscience 1984.
- MARTIN K. JOHNS A.D: "Analog Integrated Circuit Design", New York Wiley & Sons Inc. 1997.
- RICHARD SCHREIER, GABOR C. TEMES: "Understanding Delta-Sigma Data Converters", Wiley-IEEE Press, 2004, ISBN: 978-0-471-46585-0

**Termín zadání:** 6.2.2017

**Termín odevzdání:** 25.5.2017

**Vedoucí práce:** Ing. Vilém Kledrowetz, Ph.D.

**Konzultant:** Doc. Dr. Ing. Pavel Horský, ON Design Czech s.r.o.

**doc. Ing. Lukáš Fucik, Ph.D.**  
*předseda oborové rady*

#### UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **Abstrakt**

Tato diplomová práce se zabývá návrhem sigma delta analogově-digitálního převodníku pro senzorovou aplikaci měření teploty na čipu v automobilovém prostředí. Navržena byla upravená struktura modulátoru  $\Sigma\Delta$  se spojitým časem pracujícím v proudovém režimu. Její výhoda spočívá v posunutí a rozšíření vstupního napětového rozsahu pro zpracování signálů od 0 V do 1,2 V při vysoké vstupní impedanci a relativně nízké obvodové komplexnosti. Funkce byla nejdříve ověřena behaviorálním modelem v prostředí Simulink a následně simulována na tranzistorové úrovni v prostředí CADENCE v technologii ONC18/I4T.

## **Summary**

This diploma thesis deals with the design of a sigma delta AD converter for a sensor application of junction temperature measurement in the automotive environment. A modified continuous time current mode  $\Sigma\Delta$  modulator structure was designed. Its advantage lies in shifting and extending an input voltage range to work with signals from 0 V to 1,2 with a high impedance input and a relatively low hardware complexity. The functionality was verified by a behavioral model in the Simulink environment and then by transistor level simulation in CADENCE environment using ONC18/I4T technology.

## **Klíčová slova**

sigma delta, modulátor, převodník AD, spojitý čas

## **Keywords**

sigma delta, modulator, AD converter, continuous time

PĚČEK, Lukáš. *Návrh Sigma Delta AD převodníku pro senzorové aplikace*. Brno, 2016. 89 s. Diplomová práce. Vysoké učení technické v Brně. Fakulta elektrotechniky a komunikačních technologií. Vedoucí práce Ing. Vilém Kledrowetz, Ph.D .

Prohlašuji, že jsem diplomovou práci *Návrh Sigma Delta AD převodníku pro senzorové aplikace* vypracoval samostatně pod vedením Ing. Viléma Kledrowetze, Ph.D., a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 25. května 2017

.....

Lukáš Pěček

Experimentální část této diplomové práce byla podpořena výzkumnou infrastrukturou  
vybudovanou v rámci projektu CZ.1.05/2.1.00/03.0072

**Centrum senzorických, informačních a komunikačních systémů (SIX)**  
operačního programu Výzkum a vývoj pro inovace.

Děkuji svému vedoucímu Ing. Vilému Kledrowetzovi, Ph.D., za svědomité vedení mé diplomové práce. Dále děkuji odbornému konzultantovi doc. Dr. Ing. Pavlu Hor-skému a Ing. Pavlu Barošovi ze společnosti ON Design Czech, s.r.o. za odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

Lukáš Pěček

# Obsah

Úvod	1
<b>1. Základní parametry převodníků A/D</b>	<b>3</b>
1.1. Statické parametry	3
1.1.1. Chyba nuly	4
1.1.2. Chyba zisku	4
1.1.3. Diferenciální nelinearita ( <i>DNL</i> )	6
1.1.4. Integrální nelinearita ( <i>INL</i> )	6
1.2. Dynamické parametry	6
1.2.1. Odstup signálu od šumu ( <i>SNR</i> )	6
1.2.2. Harmonické zkreslení	8
1.2.3. Odstup signálu od šumu a zkreslení ( <i>SNDR</i> )	8
1.2.4. Dynamický rozsah bez intermodulačního zkreslení	9
<b>2. Principy a architektury převodníků A/D</b>	<b>10</b>
2.1. Nyquistovo vzorkování	10
2.1.1. Paralelní převodník A/D	10
2.1.2. Převodník s postupnou aproximací ( <i>SAR</i> )	12
2.1.3. Řetězový převodník A/D	12
2.1.4. Integrační převodníky A/D	14
2.2. Převzorkování	15
2.3. Modulace $\Sigma\Delta$	17
2.3.1. Modulátor $\Sigma\Delta$ prvního řádu	19
2.3.2. Modulátor $\Sigma\Delta$ vyššího řádu	20
<b>3. Sigma delta převodník A/D se spojitým časem</b>	<b>21</b>
3.1. Impulsně invariantní transformace	22
3.2. Vliv DAC ve zpětné vazbě modulátoru CT- $\Sigma\Delta$	23
3.2.1. Excess loop delay ( <i>ELD</i> )	23
3.2.2. Vliv tvaru pulzu DAC	24

3.2.3. Typy integrátorů . . . . .	25
3.3. Digitální filtrace a decimace . . . . .	26
<b>4. Návrh na systémové úrovni</b>	<b>28</b>
4.1. Navržená struktura modulátoru $\Sigma\Delta$ . . . . .	31
4.2. Dosažené parametry . . . . .	44
<b>5. Návrh na tranzistorové úrovni</b>	<b>46</b>
5.1. Integrátor . . . . .	47
5.1.1. Diferenčně diferenciální zesilovač (DDA) . . . . .	48
5.2. Komparátor . . . . .	50
5.3. Převodník DA (DAC) . . . . .	53
5.3.1. Operační zesilovač . . . . .	55
5.4. Decimační filtr . . . . .	57
5.5. Výsledky simulace převodníku AD . . . . .	57
5.6. Dosažené parametry . . . . .	64
<b>Závěr</b>	<b>66</b>
<b>Literatura</b>	<b>67</b>
<b>Seznam použitých zkratk a symbolů</b>	<b>72</b>
<b>A. Doplnující simulace</b>	<b>i</b>
<b>B. Schémata</b>	<b>iv</b>
<b>C. Decimační filtr (Verilog-A)</b>	<b>viii</b>
<b>D. Základní zdrojové kódy Matlab</b>	<b>x</b>
D.1. Modulátor $\Sigma\Delta$ . . . . .	x
D.2. Převodník $\Sigma\Delta$ . . . . .	xii
D.3. Funkce SNRcalc . . . . .	xiii

# Úvod

Reálný svět je tvořen analogovými signály a veličinami, které mohou být pomocí různých senzorů (tlakové, teplotní, optické, zvukové atd.) převedeny na elektrické napětí či proud. Aby bylo možné s těmito daty pracovat v efektivních digitálních systémech, jako např. v mikroprocesorech, je nutné využít „prostředníka“, který tyto dva rozdílné světy propojí mezi sebou. Takovou funkci plní převodník A/D.

Existuje mnoho typů převodníků A/D vhodných pro různá použití v závislosti na požadavcích týkajících se rozlišení, šířky pásma, proudové spotřeby a komplexnosti zapojení. Tato práce shrnuje nejčastěji používané architektury převodníků A/D a podrobněji se věnuje modulátorům  $\Sigma\Delta$ . Cílem práce je pak návrh modulátoru  $\Sigma\Delta$  určeného pro sensorovou aplikaci měření teploty na čipu v automobilovém prostředí. Základním požadavkem je rozlišení 8 bitů a malá plocha na čipu, s čímž souvisí nároky na jednoduchou obvodovou strukturu.

Řešení práce je rozčleněno do čtyř kapitol. První kapitola popisuje základní problematiku a parametry, které charakterizují převodníky A/D.

Druhá kapitola seznamuje s principy a nejčastějšími architekturami převodníků A/D, které jsou rozděleny do dvou základních skupin podle způsobu vzorkování: s přímým (Nyquistovým) vzorkováním a s převzorkováním. Popsány jsou paralelní převodníky, s postupnou aproximací (SAR), řetězové, integrační a podrobněji převodníky  $\Sigma\Delta$ .

Třetí kapitola se věnuje modulátorům  $\Sigma\Delta$  se spojitým časem a jevům, které výrazným způsobem ovlivňují jejich parametry.

Čtvrtá kapitola se již zabývá blokovým návrhem převodníku A/D a behaviorální simulací v prostředí Simulink. Je navržena upravená struktura modulátoru  $\Sigma\Delta$  se spojitým časem pracujícím v proudovém režimu a proveden ideový návrh. Vytvořen je simulační model, který reprezentuje i neidealitu mající značný vliv na parametry systému, jako např. fázový neklid, nesymetrie hran pulzů DAC, zpoždění zpětné vazby, hystereze komparátoru, nelinearita integračního kondenzátoru, výstupní od-

por proudových zrcadel apod. Následuje shrnutí dosažených parametrů behaviorální simulace.

Pátá kapitola popisuje návrh převodníku na tranzistorové úrovni v technologii ONC18/I4T (180 nm) společnosti ON Semiconductor. Navrženy jsou všechny jeho dílčí bloky. Ty jsou simulovány v prostředí Cadence s uvažováním vlivu teploty, napájecího napětí, rozptylu výrobního procesu apod. Charakterizovány jsou všechny podstatné parametry převodníku.

# 1. Základní parametry převodníků A/D

Analogově digitální převod reálného převodníku se odchyluje od ideálního z důvodu přítomnosti zdrojů nepřesností, variací výrobního procesu a dalších jevů vyskytujících se v průběhu samotného převodu. Vlastnosti a chyby způsobené převodníkem A/D charakterizují statické a dynamické parametry.

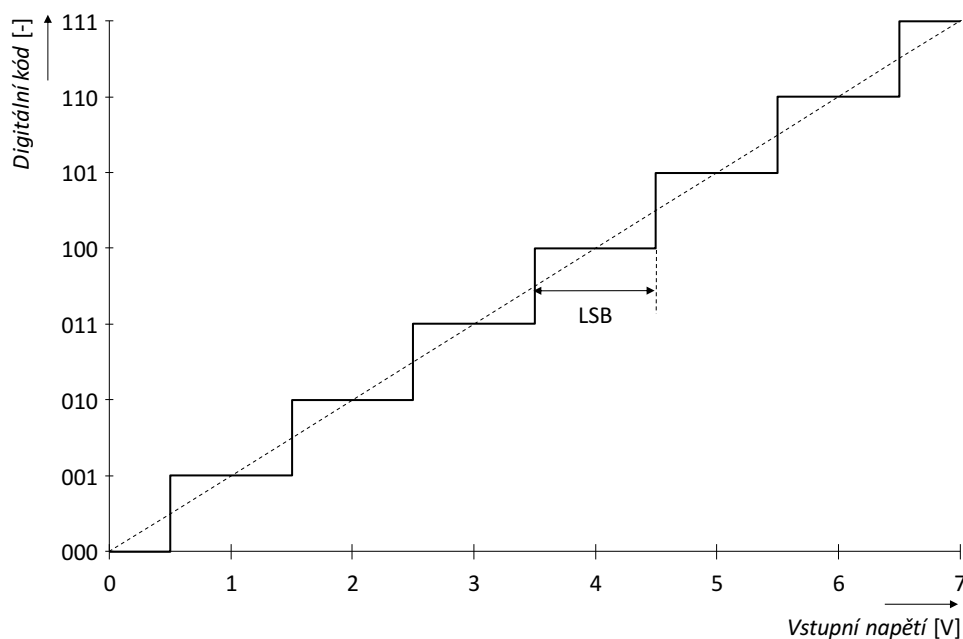
## 1.1. Statické parametry

Pro měření stejnosměrných pomalu se měnících signálů, např. při zpracování dat ze senzorů teploty, tlaku apod., je důležitá absolutní přesnost převodu. Mezi parametry plně popisující tento druh nepřesnosti patří chyba nuly (offset), chyba zesílení, diferenciální nelinearita (*DNL*) a integrální nelinearita (*INL*). Základní chybou, které se nedá vyhnout, je však kvantizační chyba vznikající v důsledku vyjádření spojitého signálu pomocí konečného počtu diskretních hladin v číslicové formě. Kvantizační chyba je přímo spojena s rozlišením, jelikož měřicí rozsah  $N$ -bitového převodníku je rozdělen na  $2^N$  úrovní. Maximální rozdíl ideálně převedené hodnoty od vstupní úrovně proto dosahuje  $\pm 1/2$  jednoho kroku. Ve výsledném signálu se kvantizační chyba projevuje jako kvantizační šum, jak bude ukázáno dále u dynamických parametrů [1, 2].

Obrázek 1.1 ukazuje ideální převodní charakteristiku vyjadřující závislost převedeného slova na napětí přivedeného na vstup převodníku A/D. Interval vstupního napětí mezi jednotlivými přechody převedených úrovní (jeden krok) se nazývá *LSB* a je v závislosti na implementaci definován jako:

$$LSB = \frac{U_{REF}}{2^N}, \quad (1.1)$$

popřípadě i:



Obrázek 1.1: Ideální převodní charakteristika

$$LSB = \frac{U_{REF}}{2^N - 1}, \quad (1.2)$$

kde  $U_{REF}$  je referenční napětí a  $N$  je rozlišení v bitech.

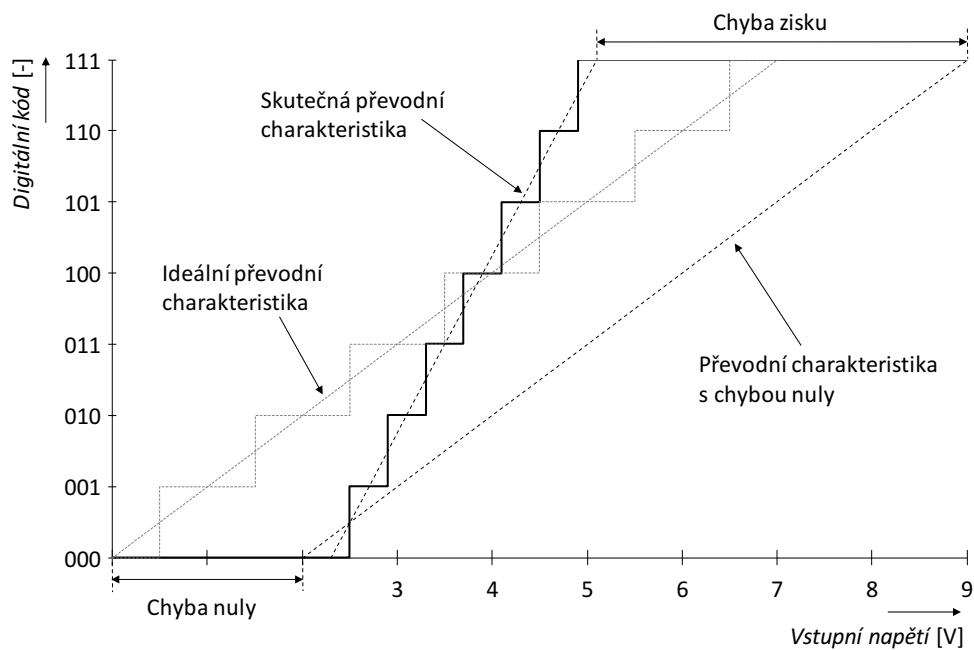
### 1.1.1. Chyba nuly

Ideální převodní charakteristika protíná počátek grafu (nulu). Chyba nuly je pak způsobena posunutím charakteristiky podél napěťové osy, jak ukazuje obrázek 1.2. Všechny úrovně přechodů jsou tedy posunuty o stejnou hodnotu. Z důvodu správného aritmetického zaokrouhlování převáděné úrovně je přechod z nuly na první kód ideální převodní charakteristiky většinou umístěn na hodnotě  $\frac{1}{2} LSB$  vstupního napětí. Toto záměrně zavedené posunutí se často zahrnuje v chybě nuly [1].

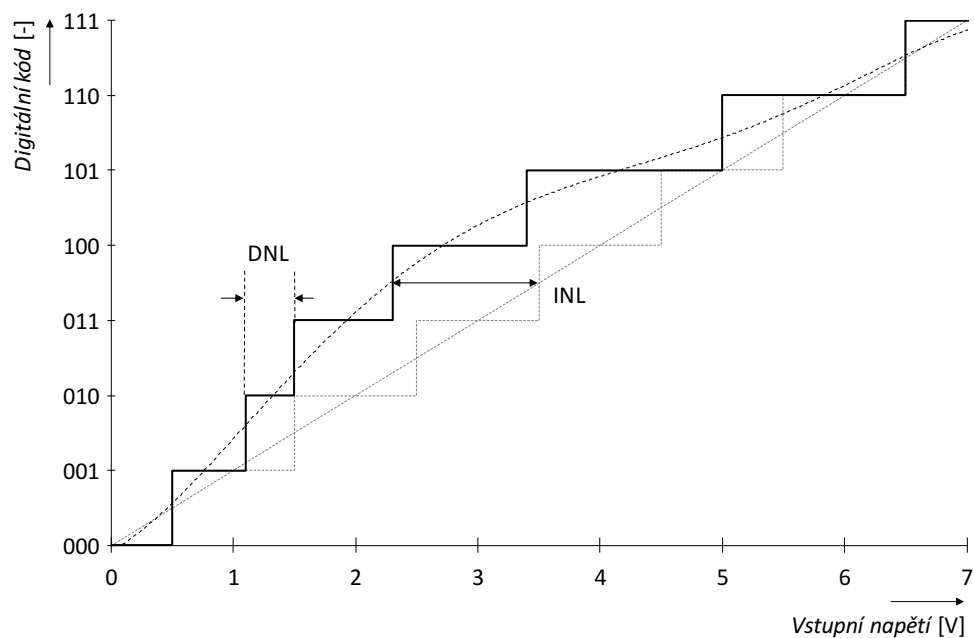
### 1.1.2. Chyba zisku

Chyba zisku je určena rozdílem mezi ideálním přechodem na nejvyšší možný výstupní kód a skutečným přechodem za předpokladu, že chyba nuly je rovna nule. Tato chyba je pozorována jako změna strmosti převodní charakteristiky. Někdy může být zahrnuta v chybě reference [1].

# 1. ZÁKLADNÍ PARAMETRY PŘEVODNÍKŮ A/D



Obrázek 1.2: Chyba zisku a nuly



Obrázek 1.3: Integrální a diferenciální nelinearita

### 1.1.3. Diferenciální nelinearita (*DNL*)

Ideálně jsou všechny šířky kroků na převodní charakteristice rovny jednomu *LSB*. Rozdíl mezi šířkou ideálního a reálného kroku je udáván jako diferenciální nelinearita *DNL* (viz obrázek 1.3). Diferenciální nelinearita vyšší než 1 *LSB* vede k nemonotónnosti převodní charakteristiky a může se projevit chybějícím kódem [1].

### 1.1.4. Integrovaná nelinearita (*INL*)

Integrovaná nelinearita je vyjádřena jako rozdíl mezi ideální a reálnou převodní charakteristikou, tzn. rozdíl mezi ideální úrovní, při které nastává přechod mezi kódy a skutečnou úrovní toho přechodu (obrázek 1.3). Ideální převodní charakteristikou se často uvažuje přímka, která nejlépe prokládá skutečnou křivku, nebo jen přímka procházející koncovými body charakteristiky. *INL* chyba v kterémkoliv bodě převodní charakteristiky je dána součtem (integrací) všech *DNL* chyb předešlých nižších kódů. Protože nelinearity při měření způsobují zkreslení, *INL* (i *DNL*) ovlivňuje i dynamické vlastnosti převodníku A/D [1].

## 1.2. Dynamické parametry

Dynamické parametry převodníků A/D jsou specifikovány pomocí parametrů získaných analýzou ve frekvenční oblasti, tedy typicky provedením rychlé Fourierovy transformace (FFT) na výstupních kódech. Základní frekvence na obrázku 1.4 s nejvyšší amplitudou odpovídá vstupnímu signálu. Vše ostatní je nechtěný signál. Ten zahrnuje harmonické zkreslení, tepelný šum,  $1/f$  šum a kvantizační šum.

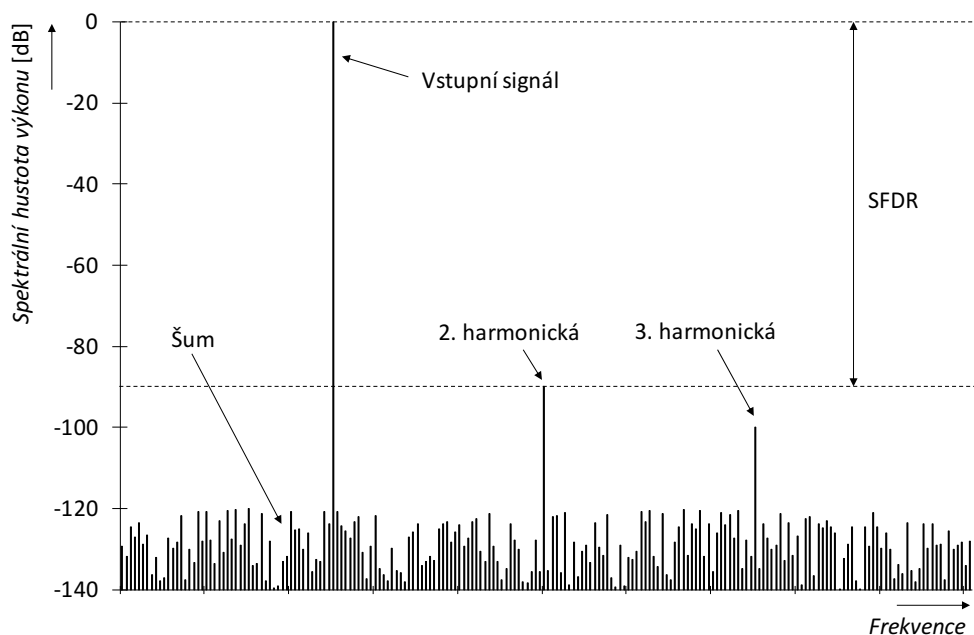
### 1.2.1. Odstup signálu od šumu (*SNR*)

Odstup signálu od šumu (signal-to-noise ratio *SNR*) je poměr mezi efektivní hodnotou (RMS) výkonu vstupního signálu  $P_{signal}$  a šumu  $P_{noise}$ . Bývá vyjádřen v decibelech vztahem [1]:

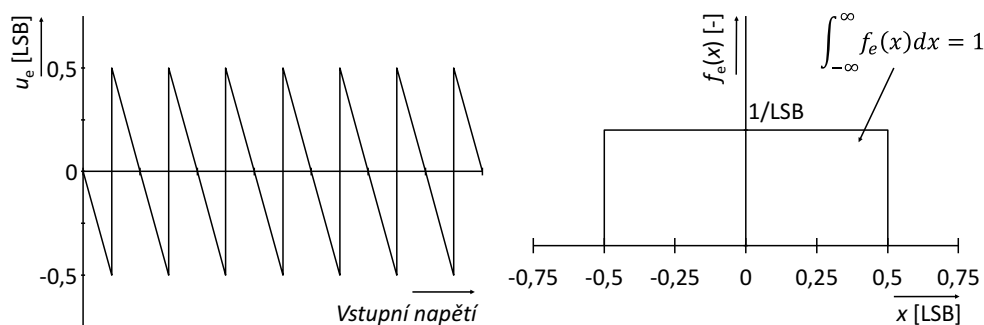
$$SNR = 10 \log \left( \frac{P_{signal}}{P_{noise}} \right) = 20 \log \left( \frac{U_{signal}}{U_{noise}} \right), \quad (1.3)$$

kde  $U_{signal}$  je efektivní hodnota (*RMS*) signálu, respektive  $U_{noise}$  šumu. Šum při výpočtu *SNR* nezahrnuje harmonické zkreslení.

Jediná chyba vyskytující se v ideálním převodníku je kvantizační chyba, kterou zjednodušeně považujeme za náhodný kvantizační šum (ve skutečnosti je kvantizač-



Obrázek 1.4: Rozložení výkonové spektrální hustoty A/D převodníku



Obrázek 1.5: Kvantizační chyba (vlevo) a její pravděpodobnostní funkce (vpravo), upraveno dle [1]

ní chyba korelovaná se vstupním signálem). Předpokládá se, že kvantizační chyba je rovnoměrně distribuována přes celý rozsah od  $-\frac{1}{2} LSB$  po  $\frac{1}{2} LSB$  s konstantní pravděpodobnostní funkcí  $f_e$  (obrázek 1.5) a její efektivní hodnota  $U_e$  je dána následovně:

$$U_e = \sqrt{\int_{-\infty}^{\infty} x^2 f_e dx} = \frac{1}{LSB} \sqrt{\int_{-LSB/2}^{LSB/2} x^2 dx} = \frac{LSB}{\sqrt{12}}. \quad (1.4)$$

Pokud kvantizační šum dosadíme do vztahu 1.3, je možné vyjádřit teoreticky nejvyšší  $SNR$  pro dané rozlišení. Jelikož se jedná o odstup signálu od kvantizačního

šumu, označuje se zkratkou  $SQNR$ . Za předpokladu, že vstupní signál má sinusový průběh o amplitudě  $U_{REF}/2$ , platí [1]:

$$\begin{aligned} SQNR &= 20\log\left(\frac{U_{singal}}{U_e}\right) = 20\log\left(\frac{U_{REF}/(2\sqrt{2})}{LSB/\sqrt{12}}\right) = 20\log\left(\sqrt{\frac{3}{2}}2^N\right) \\ &= 6.02N + 1.76 \text{ dB}, \end{aligned} \quad (1.5)$$

kde  $N$  je rozlišení převodníku A/D.

### 1.2.2. Harmonické zkreslení

Nelinearity v obvodech převodníků A/D způsobují harmonické zkreslení. Takové zkreslení je pozorovatelné jako frekvenční složky objevující se v násobcích základní frekvence v kmitočtovém spektru převedeného signálu. Amplituda vyšších harmonických složek klesá dle charakteru nelinearity s frekvencí k bodu, kdy je menší než šum nebo je mimo šířku pásma systému. Harmonické zkreslení  $THD$  je poměr součtu efektivních hodnot jednotlivých harmonických složek a velikostí složky signálu.  $THD$  tedy určuje „čistotu“ signálu a je definován vztahem:

$$THD = \frac{\sqrt{U_2^2 + U_3^2 + \dots + U_n^2}}{U_{signal}}, \quad (1.6)$$

kde  $U_n$  jsou složky vyšších harmonických signálu.

### 1.2.3. Odstup signálu od šumu a zkreslení ( $SNDR$ )

Odstup signálu od šumu a zkreslení označovaný zkratkou  $SNDR$  ukazuje přesnější a komplexnější pohled na měřený signál, jelikož ho porovnává se šumem i zkreslením společně.  $SNDR$  je vypočítán podle rovnice [1]:

$$SNDR = 20\log\left(\frac{U_{signal}}{\sqrt{U_2^2 + U_3^2 + \dots + U_n^2 + U_{noise}^2}}\right), \quad (1.7)$$

kde  $U_n$  jsou hodnoty  $RMS$  vyšších harmonických složek signálu. Z hodnoty  $SNDR$  lze zjistit tzv. efektivní počet bitů  $ENOB$ , tzn. počet bitů ideálního převodníku, který má stejné  $SQNR$  jako  $SNDR$  reálného převodníku. Ve vztahu 1.5 se tedy nahradí  $SQNR$  za  $SNDR$  a  $N$  za  $ENOB$ .

### 1.2.4. Dynamický rozsah bez intermodulačního zkreslení

Dynamický rozsah bez intermodulačního zkreslení *SFDR* je definován jako poměr výkonu základní harmonické a další nejvyšší parazitní složky ve spektru signálu, jak ukazuje obrázek 1.4 [1, 3].

## 2. Principy a architektury převodníků A/D

Široký rozsah požadavků týkající se rozlišení, šířky pásma, výkonové spotřeby, komplexnosti a s tím související plochy na čipu pokrývá velké množství různých typů převodníků A/D. Tato kapitola seznamuje s nejčastějšími používanými typy převodníků A/D. Ty mohou být rozděleny do dvou základních skupin podle způsobu vzorkování: s přímým (Nyquistovým) vzorkováním a s převzorkováním.

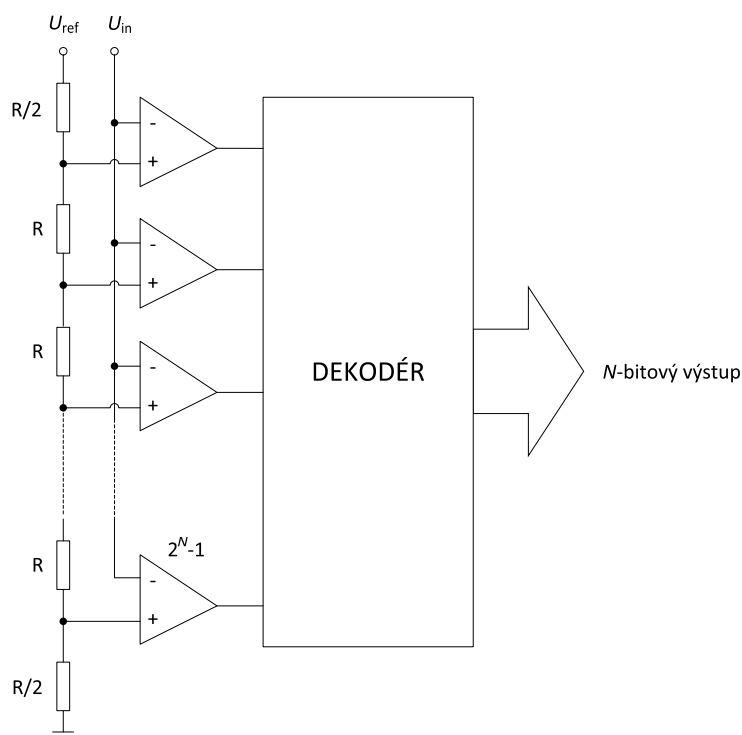
### 2.1. Nyquistovo vzorkování

Nyquistův teorém (také nazývaný Shannonův nebo Kotelnikův) říká, že pro přesnou rekonstrukci sinusového spojitého signálu jsou zapotřebí minimálně dva vzorky na periodu. To znamená, že vzorkovací frekvence musí být alespoň dvakrát větší než nejvyšší frekvenční složka signálu definující jeho šířku pásma. Nedodržení této podmínky způsobuje jev zvaný aliasing, kdy dochází překryvu spektrálních složek a značnému zkreslení původního signálu. S touto podmínkou pracuje celá řada převodníků např.: paralelní, s postupnou aproximací, řetězové a integrační, které budou popsány v této kapitole. V praxi je nemožné zkonstruovat ideální filtr, který by odstranil všechny frekvenční složky signálu vyšší než polovina vzorkovací frekvence (antialiasingový filtr - AAF). Z tohoto důvodu se vyžadují vzorkovací frekvence mnohonásobně vyšší než šířka pásma vstupního signálu.

#### 2.1.1. Paralelní převodník A/D

Paralelní převodníky A/D se vyznačují velmi vysokými vzorkovacími frekvencemi, jelikož celý proces převodu trvá jednu periodu hodinového signálu. Jedná se o nejrychlejší typ převodníku A/D. Vstupní signál je přímo porovnáván komparátory s rovnoměrně odstupňovanými referenčními úrovněmi nastavenými rezistorovou sítí

(obrázek 2.1). Každé referenční napětí komparátoru je o jedno *LSB* vyšší než úroveň pro komparátor zapojený pod ním. Pro požadované rozlišení  $N$  je tedy zapotřebí  $2^N - 1$  komparátorů a  $2^N$  rezistorů. Výstupy všech komparátorů, které mají referenční úroveň vyšší, než je napětí vstupního signálu, jsou ve stavu log. 0 a naopak. Výsledné slovo tedy není ve tvaru klasického binárního kódu, ale tzv. termometrického kódu, jehož název odkazuje k podobnosti s rtuťovým teploměrem. Termometrický kód je pak kombinační logikou dekodován do odpovídajícího binárního slova.

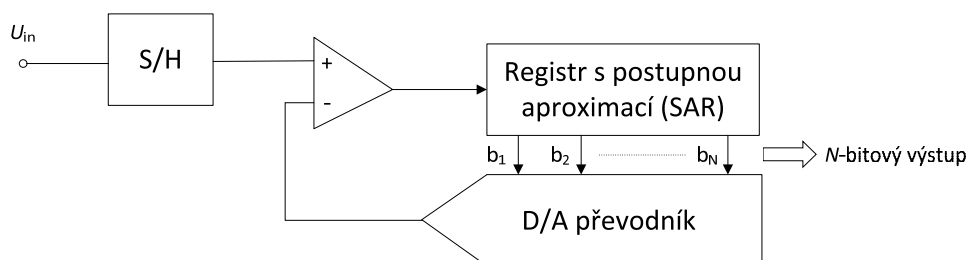


Obrázek 2.1: Blokové schéma paralelního převodníku A/D, upraveno dle [1, 4]

Jelikož počet prvků exponenciálně roste s rozlišením, i pro nízké  $N$  tyto převodníky vyžadují velkou plochu na čipu a mají vysokou proudovou spotřebu. Například pro rozlišení 8 bitů je zapotřebí 255 komparátorů a rezistorů. Velké množství komparátorů paralelně připojených na vstup vede ke značné kapacitní zátěži, která vyžaduje sledovač s nízkou výstupní impedancí. Existují metody, které umožňují snížit počet potřebných komparátorů, např. využitím interpolace, nebo dvoustupňového převodu. Typicky se paralelní převodníky používají v osciloskopech, satelitní komunikaci, radarech a dalších vysokofrekvenčních aplikacích [1, 4].

### 2.1.2. Převodník s postupnou aproximací (SAR)

Převodníky s postupnou aproximací (SAR) patří mezi nejpoužívanější typy převodníků A/D díky své univerzálnosti. Dosahují středních vzorkovacích rychlostí v řádu stovek kilohertzů až megahertzů a středního rozlišení 8 - 16 bitů. Jejich výhoda spočívá v nízké spotřebě, latenci a díky přiměřené obvodové složitosti i malé plochy a tím ceny.

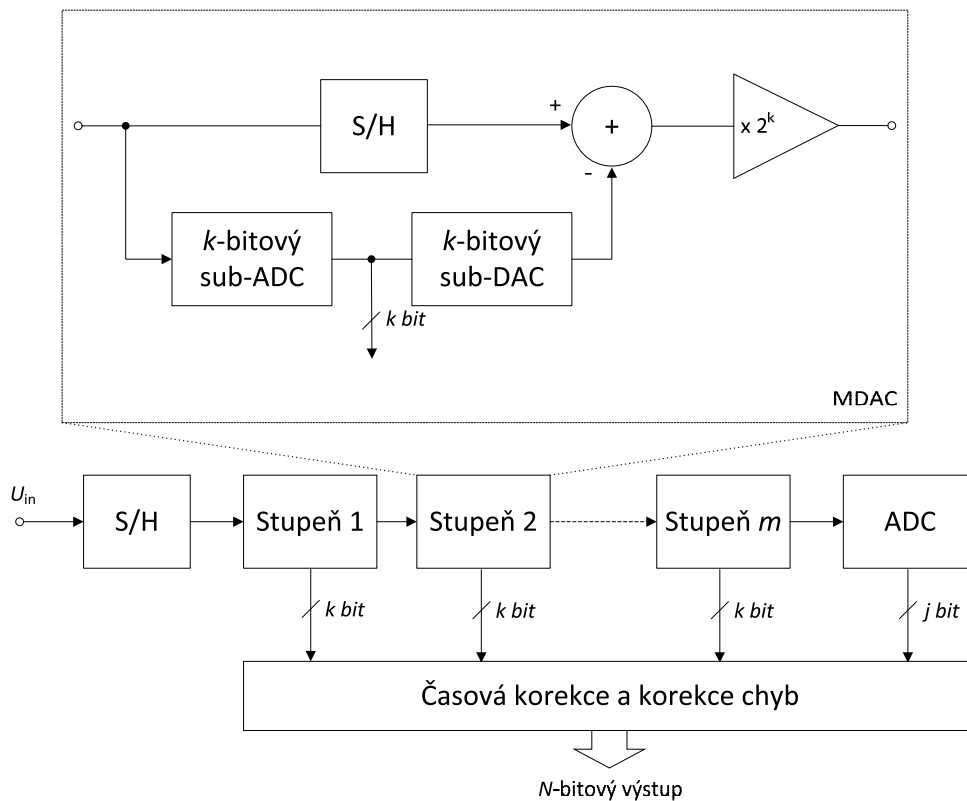


Obrázek 2.2: Blokové schéma převodníku s postupnou aproximací [1, 5]

Struktura převodníku SAR je ukázána na obrázku a skládá se ze vzorkovacího obvodu Sample and Hold, jednoho komparátoru, převodníku D/A a řídicí logiky (obrázek 2.2). Využívá se tzv. binárního vyhledávání (metoda půlení intervalu), pomocí kterého se najde digitální hodnota nejbližší k úrovni vstupního signálu. Nejdříve je rozsah převodníku rozdělen na dvě poloviny a zjištěno, do které části připadá zkoumaná úroveň - pokud do horní poloviny, je nastavena log. 1 a naopak. Takto zjištěná hodnota odpovídá nejvíce významnému bitu *MSB*. Následně se dalším dělením postupně zjistí i zbylé nižší bity. K dokončení  $N$ -bitového převodu je tedy zapotřebí  $N$  kroků. Hlavní nevýhodou převodníků SAR je proto z principu iterační funkce potřeba  $N$  násobně vyššího pracovního kmitočtu oproti vzorkovací frekvenci, která je tím pádem limitována. Výsledek převodu je k dispozici hned další periodu vzorkovací frekvence, proto je SAR architektura díky nízké latenci vhodná v systémech, které vyžadují převodník A/D ve zpětné vazbě. Z pohledu přesnosti a rychlosti má obvykle nejvyšší roli interní převodník D/A, jehož výstup se musí ustálit s chybou menší než jedno *LSB* během jedné periody řídicího hodinového signálu [1, 5].

### 2.1.3. Řetězový převodník A/D

Řetězový převodník A/D je oblíbenou architekturou pro zpracování velmi rychlých signálů. Přestože jeho rychlost nedosahuje rychlosti paralelních převodníků, vzorkovací kmitočty se pohybují od několika jednotek až po stovky MHz s rozlišením od 8 do 16 bitů. Řetězové převodníky podobně jako převodníky SAR iteračně provádí



Obrázek 2.3: Blokové schéma řetězového A/D převodníku, upraveno dle [6]

hledání digitálního kódu nejbližšímu k analogové vstupní úrovni. Nicméně iterační proces není proveden v jednom obvodovém bloku, ale je rozprostřen do více stejných samostatných částí zapojených za sebou do řetězce. Každý tento stupeň obsahuje vzorkovací obvod, sub-ADC, sub-DAC a zesilovač. Topologie převodníku je ukázána na obrázku 2.3.

Vstupní napětí je nejdříve navzorkováno a pomocí sub-ADC převedeno do digitálního kódu. Získaná digitální hodnota je zpětně převedena sub-DAC na analogový signál a odečtena od vstupního napětí. Toto residuum je zesíleno a vstupuje do dalšího stupně. Takto se pokračuje dále přes celý řetězec. Poslední stupeň však nepotřebuje generovat residuum a je realizován jen převodníkem A/D [1, 6, 7].

Jednotlivé části převodu jsou generovány v různých časech tak, jak signál postupuje řetězcem. Z tohoto důvodu je nutná synchronizace, neboli časová korekce, skládající se z posuvných registrů s proměnnou délkou. Signál je pak dále upraven v bloku digitální korekce. Nicméně jakmile jeden stupeň provede zpracování jednoho vzorku a residuum pošle dalšímu stupni, je připraven přijmout další vzorek, čímž je dosažena vysoké propustnosti. Rychlost je omezena rychlosti jednoho stupně a oproti paralelním převodníkům roste komplexnost a počet prvků převodníku line-

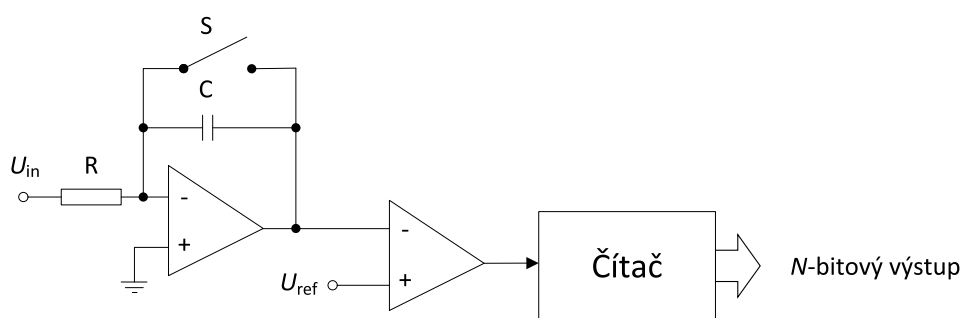
árně s rostoucím rozlišením. Potřebná plocha na čipu je proto nižší. Výsledek celého převodu je však k dispozici až při průchodu celým řetězcem, což vede k vysoké latenci. Díky vysoké vzorkovací frekvenci a dalších technikách mohou tyto převodníky dosáhnout srovnatelně vysoké absolutní latence jako převodníky typu SAR.

### 2.1.4. Integrovní převodníky A/D

Integrovní převodníky A/D jsou často využívány pro velmi přesná měření pomalých signálů. Tyto převodníky dosahují nízké hodnoty chyby nuly a zisku a navíc jsou vysoce lineární. Další výhodou je relativně nízká obvodová složitost. Protože výstupní hodnota je dána integrací vstupního signálu, je možné vhodně zvolenou periodou vzorkování potlačit rušivé signály. Typické aplikace, ve které se tyto převodníky uplatňují, zahrnují měřicí přístroje jako např. voltmetry nebo ampérmetry. Rozlišujeme dva základní druhy implementace: s jednoduchou a s dvojitou integrací. Speciálním typem jsou pak sigma-delta převodníky A/D, které budou popsány v samostatné kapitole.

#### Integrovní převodník s jednoduchou integrací

Integrovní převodník s jednoduchou integrací převádí analogový vstup do pulzu, jehož délka je úměrná velikosti vstupního napětí. Jedná se v podstatě o pulzně šířkovou modulaci.



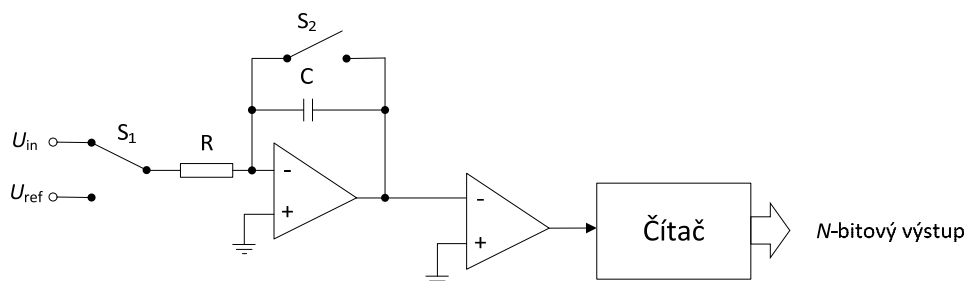
Obrázek 2.4: Blokové schéma integrovního převodníku A/D, upraveno dle [1, 8]

Obvodová struktura se skládá z resetovatelného integrátoru, komparátoru a čítače a je zobrazena na obrázku 2.4. Pozitivní vstup integrátoru je připojen ke snímanému vstupnímu signálu. To je porovnáváno s rampou generovanou z referenčního napětí integrátorem, který je před každým převodem resetován. Dokud je referenční pilové napětí nižší než vstupní signál, je aktivován čítač počítající hodinové impulzy. Jakmile pilové napětí překročí úroveň vstupního napětí, komparátor pomocí hradla

AND zablokuje čítač, ve kterém je uchována informace o délce pulzu. Čas nutný k převodu dosahuje v nejhroším případě, kdy je vstupní napětí blízko referenčnímu napětí,  $2^N$  period hodinového kmitočtu. Velkou nevýhodou jsou požadavky na přesnost oscilátoru generujícího hodinový kmitočet a  $RC$  časovou konstantu integrátoru [1, 8].

### Integrační převodník s dvojitou integrací

Největší výhodou integračních převodníků s dvojitou integrací je eliminace vysokých nároků na přesnost oscilátoru i časové konstanty integrátora za cenu snížení rychlosti převodu.



Obrázek 2.5: Blokové schéma integračního převodníku s dvojitou integrací, upraveno dle [1, 8]

Zapojení je ukázáno na obrázku 2.5. Podobně jako v předchozím případě převodník obsahuje integrátor, komparátor, čítač a navíc i vstupní přepínač. Převod sestává ze dvou částí. Vstupní napětí je nejdříve integrováno, dokud nedojde k naplnění čítače. Tato fáze trvá vždy konstantní dobu  $2^N$  period hodinového kmitočtu. Následně ve druhé fázi je integrátor vybíjen referenčním napětím. Čítač měří dobu vybíjení integrátoru než překlopí komparátor. Hodnota čítače pak odpovídá velikosti vstupního napětí.

Jelikož nezáleží na absolutní přesnosti oscilátoru a časové konstanty integrátoru, ale na poměru mezi časem nabíjení a vybíjení integrátoru, je tento přístup výhodnější. Maximální doba převodu je pak dvojnásobná oproti převodníku s jednoduchou integrací [1, 8].

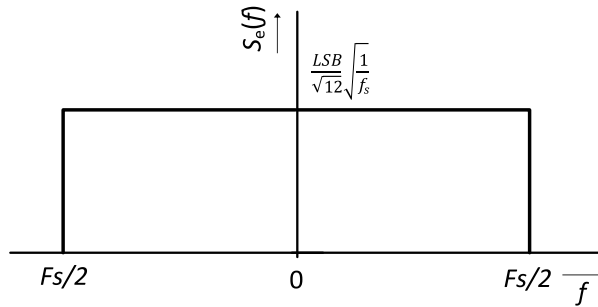
## 2.2. Převzorkování

V kapitole 2.1 bylo zmíněno, že minimální vzorkovací frekvence (označované jako Nyquistova frekvence  $f_N$ ) musí být dvakrát větší než šířka pásma vstupního signálu

$f_b$ . Signál je možné vzorkovat i frekvencí mnohem vyšší než je jeho šířka pásma, což přináší výhody, které budou postupně popsány. Poměr mezi vzorkovací frekvencí a Nyquistovou frekvencí pak udává koeficient převzorkování ( $OSR$ ) [1, 9]:

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2 \cdot f_b}, \quad (2.1)$$

kde  $f_s$  je vzorkovací frekvence.



Obrázek 2.6: Rozložení spektrální hustoty kvantizačního šumu, upraveno dle [1]

Kvantizační chybu popsanou v kapitole 1.2.1 zjednodušeně považujeme za kvantizační šum s vlastnostmi podobnými bílému šumu se známým výkonem. Důsledkem zvýšení vzorkovací frekvence se proto kvantizační šum rozloží do větší spektrální oblasti definované  $\langle -f_s/2, f_s/2 \rangle$  v porovnání se spektrální oblastí  $\langle -f_N/2, f_N/2 \rangle$  v případě Nyquistova vzorkování. Celkový výkon kvantizačního šumu zůstává stále stejný, sníží se však velikost spektrální hustoty (obrázek 2.6). Jelikož frekvenční pásmo signálu leží pod kmitočtem  $f_N/2$ , je kvantizační šum připadající mimo užitečné pásmo potlačen filtrací kvantovaného signálu dolní propustí. Kvantizační šum připadající do zpracovávaného signálového frekvenčního pásma se tedy v případě převzorkování sníží. Jeho velikost je s využitím 1.4 odvozena následujícím vztahem [1, 10]:

$$\begin{aligned} U_{e2}^2 &= \int_{-f_N/2}^{f_N/2} S_{e2}(f) df = \int_0^{f_N/2} 2 \cdot S_{e2}(f) df \\ &= \int_0^{f_N/2} 2 \cdot \frac{U_e^2}{f_s} df = \frac{U_e^2}{\frac{f_s}{f_N}} = \frac{U_e^2}{OSR} = \frac{LSB^2}{12 \cdot OSR}, \end{aligned} \quad (2.2)$$

kde  $S_{e2}$  je spektrální hustota výkonu šumu při převzorkování a  $U_{e2}$  efektivní hodnota kvantizačního šumu odpovídající převzorkovanému převodníku A/D.

Ze znalosti velikosti kvantizačního šumu a s využitím rovnic 2.2, 1.3 pak můžeme vyjádřit maximální odstup signálu od kvantizačního šumu  $SQNR$ :

$$\begin{aligned} SQNR &= 10\log\left(\frac{U_{signal}^2}{U_e^2}\right) = 10\log\left(\frac{(U_{ref}/2\sqrt{2})^2}{LSB^2/(12 \cdot OSR)}\right) \\ &= 20\log\left(\sqrt{\frac{3}{2}}2^N\right) + 10\log(OSR), \end{aligned} \quad (2.3)$$

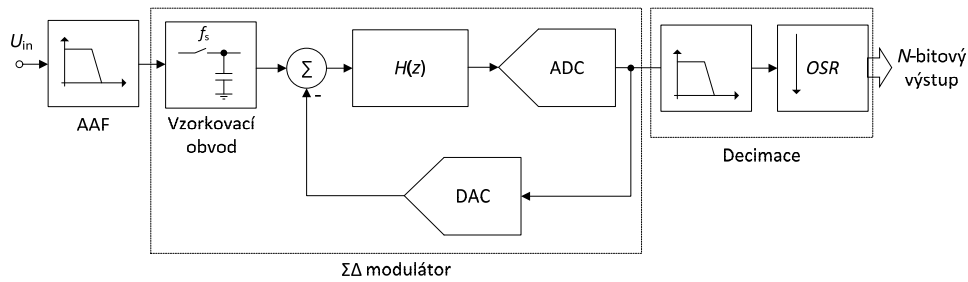
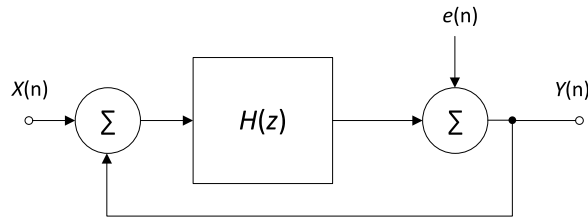
který lze dále upravit:

$$SQNR = 6,02N + 1,76 + 3,01\log_2(OSR). \quad (2.4)$$

První dva členy odpovídají  $N$ -bitovému kvantování sinusového signálu, zatímco člen zahrnující  $OSR$  je přírůstek získaný převzorkováním. Každým zdvojnásobením  $OSR$  vzroste  $SQNR$  o 3 dB, respektive o 0,5 bitu při přepočtu podle 1.5. Linearita převodníku se však nezlepší a zůstává původní. Ze vztahu 2.4 si je možné všimnout, že požadovaného  $SQNR$  a tím efektivního počtu bitů je teoreticky možné dosáhnout i pomocí jednobitového jednoduchého kvantizačního obvodu, který je z principu lineární. Prakticky by však byla potřeba nereálně vysokých vzorkovacích frekvencí, proto se využívá přístupu popsaného dále.

### 2.3. Modulace $\Sigma\Delta$

V předchozí kapitole bylo ukázáno, že převzorkování vede ke zvýšení efektivního počtu bitů převodníku. Zavedením zpětné vazby v systému, která způsobí tzv. tvarování šumu, lze s výhodou zvýšit efektivitu tohoto procesu. Tvarování šumu znamená snížení jeho množství připadajícího do kmitočtového pásma vstupního signálu, zatímco jeho celkový výkon zůstává konstantní. Využitím této vlastnosti lze i při použití relativně jednoduchého kvantizačního obvodu s nízkým rozlišením dosáhnout vysokého rozlišení převodníku. Takového principu využívá převodník A/D  $\Sigma\Delta$ , jehož základní blokové schéma ukazuje obrázek 2.7. Vstupní antialiasingový filtr (AAF) limituje šířku pásma signálu na polovinu vzorkovací frekvence  $f_s$ . Po navzorkování následuje zpracování samotným modulátorem  $\Sigma\Delta$ , který převádí analogový signál do převzorkovaného digitálního s nízkým rozlišením a tvarovaným šumem. Bloky digitální filtrace a decimace odstraní šum mimo užitečnou šířku pásma  $f_b$ . Jejich výstupem je signál s vysokým rozlišením a nižší vzorkovací rychlostí. Ta již obvykle odpovídá Nyquistově frekvenci, tzn. dvojnásobku šířky pásma převodníku [9–12].


 Obrázek 2.7: Blokové schéma převodníku A/D  $\Sigma\Delta$ , upraveno dle [11]

 Obrázek 2.8: Linearizovaný model modulátoru  $\Sigma\Delta$ , upraveno dle [1]

Klíčovou částí celého převodníku je modulátor  $\Sigma\Delta$ , který je modelován diskretním linearizovaným obvodem na obrázku 2.8. Ten má dva nezávislé vstupy - signálový a šumový (kvantizační šum), proto můžeme odvodit signálovou *STF* a šumovou *NTF* přenosovou funkci:

$$STF(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)}, \quad (2.5)$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}, \quad (2.6)$$

kde  $X(z)$  je vstupní signál,  $Y(z)$  je výstup modulátoru,  $E(z)$  je kvantizační šum a  $H(z)$  je přenosová funkce filtru ve smyčce modulátoru. Výstup modulátoru je pak popsán vztahem:

$$Y(z) = STF(z) \cdot X(z) + NTF(z) \cdot E(z). \quad (2.7)$$

Vhodnou volbou filtru se docílí efektivního tvarování šumu. Čím vyšší je přenos  $H(z)$  na kmitočtech ležících v užitečném frekvenčním pásmu, tím větší je potlačení šumu na těchto kmitočtech, zatímco užitečný signál prochází nezeslaben.

### 2.3.1. Modulátor $\Sigma\Delta$ prvního řádu

Tvarování šumu prvního řádu se dosáhne, pokud má šumová přenosová funkce  $NTF$  nulu na nulovém kmitočtu. Jelikož nuly  $NTF$  odpovídají pólům  $H(z)$ , aplikováním této podmínky získáme přenos integrátoru:

$$H(z) = \frac{1}{1 - z^{-1}}. \quad (2.8)$$

Dosazením do vztahů 2.6 a 2.5 získáme přenosy:

$$STF = \frac{1/(z - 1)}{1 + 1/(z - 1)} = z^{-1}, \quad (2.9)$$

$$NTF = \frac{1}{1 + 1/(z - 1)} = 1 - z^{-1}. \quad (2.10)$$

Zajímá nás dosažitelné  $SQNR$  s využitím tvarování šumu, proto nejdříve zjistíme výkon šumu v užitečném pásmu [1, 11, 13, 14]:

$$U_{e2}^2 = \int_{-f_N/2}^{f_N/2} S_{e2} \cdot |NTF|^2 df = \int_0^{f_N/2} 2 \cdot S_{e2} \cdot |NTF|^2 df, \quad (2.11)$$

substitucí  $z = e^{j\omega f/f_s}$  a využitím Eulerovy identity získáme absolutní hodnotu  $NTF$ , kterou dosadíme do výše uvedeného vztahu a při zjednodušení  $\sin(x) \approx x$  platí:

$$U_{e2}^2 = \int_0^{f_N/2} 2 \cdot \frac{U_e^2}{f_s} \cdot 4 \sin^2\left(\frac{\pi f}{f_s}\right) df \approx \frac{U_e^2 \pi^2}{3} OSR^{-3} = \frac{LSB^2 \pi^2}{36} OSR^{-3}. \quad (2.12)$$

Poté lze již vyjádřit  $SQNR$  při sinusovém vstupním signálu:

$$\begin{aligned} SQNR &= 10 \log \left( \frac{U_{signal}^2}{U_e^2} \right) = 10 \log \left( \frac{3 \cdot 2^{2N} \cdot 3 \cdot OSR^3}{2\pi^2} \right) \\ &= 20 \log \left( \sqrt{\frac{3}{2}} 2^N \right) + 10 \log \left( \frac{3}{\pi^2} OSR^3 \right) \\ &= 6,02N + 1,76 - 5,17 + 9,03 \log_2(OSR). \end{aligned} \quad (2.13)$$

Je patrné, že každým zdvojnásobením převzorkování stoupne  $SQNR$  o 9 dB, což odpovídá asi 1,5 bitu. V porovnání s převzorkováním bez tvarování šumu, kdy  $SQNR$  rostlo o 3 dB s dvojnásobkem  $OSR$ , se dosáhlo výrazného zlepšení. Důsledkem je

možnost využít pouze jednobitový kvantizační obvod při dosažení požadovaného rozlišení i při rozumných hodnotách  $OSR$ .

### 2.3.2. Modulátor $\Sigma\Delta$ vyššího řádu

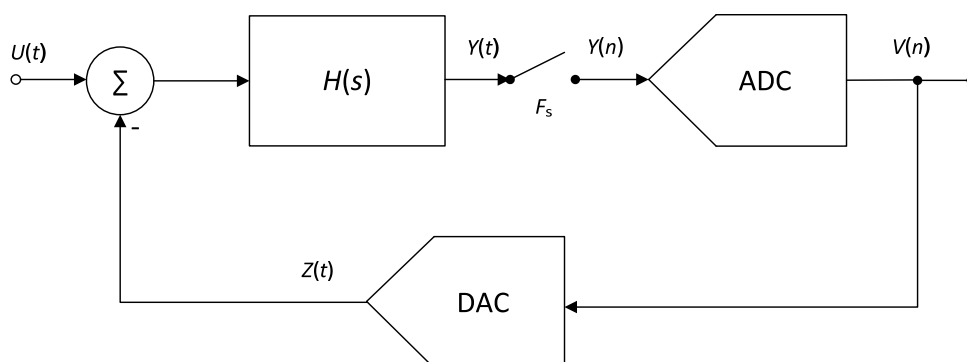
Při požadavku vysokého rozlišení je u modulátoru  $\Sigma\Delta$  prvního řádu potřeba vysokých hodnot  $OSR$ . Nevýhoda tohoto řešení spočívá v růstu korelace mezi vstupním signálem a kvantizační chybou. To vede k tzv. vzorovému šumu, který degraduje  $SQNR$ . Zlepšení nastává, pokud se kvantizátor nahradí dalším modulátorem. Taková struktura je pak druhého řádu a případným dalším nahrazováním kvantizátoru modulátorem se dosáhne  $L$ . řádu. Kvantizační chyba je u vyšších řádů filtrována vícekrát a tím pádem je i více potlačena. Maximální  $SQNR$  pak určuje vztah [1]:

$$\begin{aligned} SQNR &= 20 \log \left( \sqrt{\frac{3}{2}} 2^N \right) + 10 \log \left( \frac{2L+1}{\pi^{2L}} OSR^{2L+1} \right) \\ &= 6,02N + 1,76 - 10 \log \left( \frac{\pi^{2L}}{2L+1} \right) + 3,01(2L+1) \cdot \log_2(OSR). \end{aligned} \quad (2.14)$$

Použitím modulátoru vyššího řádu vede k výrazně strmějšímu nárůstu  $SQNR$  při zvyšování převzorkování, proto je to časté řešení pro dosažení vysokého rozlišení. Hlavní nevýhodou je ale možná nestabilita systému (třetí a vyšší řád), které se musí věnovat pozornost.

### 3. Sigma delta převodník A/D se spojitým časem

V předcházející kapitole bylo matematickým popisem ukázáno, že použitím  $\Sigma\Delta$  modulátoru lze i při jednoduché struktuře dosáhnout požadovaného rozlišení. Popis byl založen na modulátoru s diskretním časem, kdy přenosová funkce  $H(z)$  odpovídá analogovému diskretnímu filtru. Nahrazením tohoto filtru jeho spojitou alternativou ( $H(s)$ ) se dosáhne podobné funkce modulátoru a některých výhodných vlastností. Při pohledu na obrázek 3.1 si je možné všimnout, že vstupní signál je přímo připojen k modulátoru. Největší výhoda oproti diskretní variantě totiž spočívá v místě, kde se odehrává proces vzorkování. Ten je přenesen až před kvantizační obvod a všechny jeho neidealities jsou tím pádem potlačeny šumovou přenosovou funkcí  $NTF$ . Zároveň díky vlastnímu spojitému smyčkovému filtru není potřeba externí antialiasingový filtr [10, 15, 16].



Obrázek 3.1: Konceptní schéma CT  $\Sigma\Delta$  modulátoru, upraveno dle [10]

Mezi další výhody patří absence  $kT/C$  šumu a menší nároky na rychlost použitých aktivních prvků. To vyplývá z rozdílu mezi diskretní (DT- $\Sigma\Delta$ ) a spojitou (CT- $\Sigma\Delta$ ) implementací modulátoru  $\Sigma\Delta$ . Integrátor, respektive filtr, je v případě DT- $\Sigma\Delta$  realizován nejčastěji pomocí zapojení se spínanými kapacitami, zatímco u CT- $\Sigma\Delta$  se využívá aktivních RC, gm-C, případně filtrů s LC rezonančním obvodem. V zapo-

jeních se spínanými kapacitami je maximální spínací frekvence omezena frekvenční odezvou operačních zesilovačů a jejich rychlostí přeběhu, jelikož přesnost záleží na celém přenesení náboje a ustálení během zlomku periody hodinového signálu. U CT- $\Sigma\Delta$  realizace je na vstupu filtru spojitý signál s menší šířkou pásma kladoucí mírnější požadavky na kmitočtové charakteristiky a umožňující dosáhnout nižší spotřeby a plochy na čipu. Zejména při vysokých hodnotách  $OSR$  v submikronových procesech (rychlá digitální část) jsou modulátory CT- $\Sigma\Delta$  výhodnější oproti DT realizaci [10, 17].

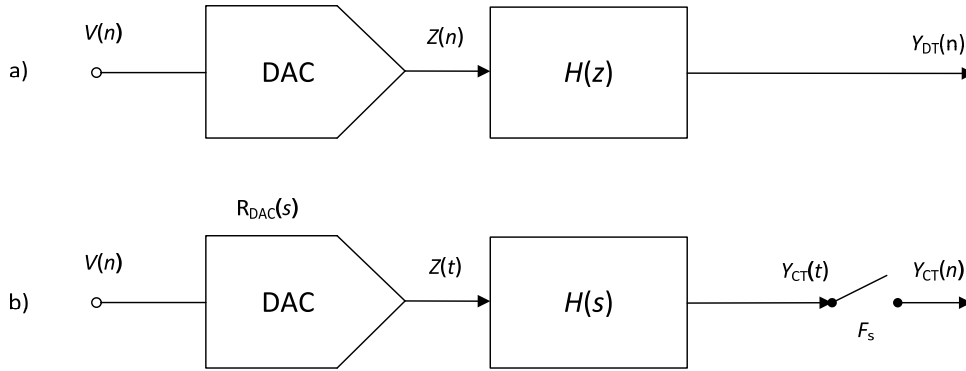
Sigma delta modulátor se spojitým časem má nicméně několik podstatných nevýhod. Jedná se především o citlivost na obvodové neidealities, jako je fázový neklid (jitter) hodinového signálu, rozptyl časových konstant a excess loop delay. Také matematický popis a v důsledku i syntéza je složitější z důvodu kombinace signálů v čase jak spojitých, tak i diskretních [18, 19].

Sigma delta modulátor se spojitým časem se ukazuje jako velmi vhodný pro jednoduchou implementaci převodníku A/D pro senzorová měření a tato práce se zabývá jeho návrhem a realizací.

### 3.1. Impulsně invariantní transformace

Mezi DT a CT implementací modulátoru  $\Sigma\Delta$  existuje podobnost v jejich funkci a obě varianty jsou si ekvivalentní, pokud jsou pro stejný vstupní signál stejné i napětí na vstupu kvantizačních obvodů. Časové odezvy obou modulátorů se v tomto případě shodují. Pro návrh modulátoru DT- $\Sigma\Delta$  lze využít mnoho literatury a softwaru, které nám umožní splnit definované požadavky. V případě návrhu CT varianty lze vycházet z návrhu DT modulátoru, kdy se získaná diskretní přenosová funkce  $H(z)$  transformuje na odpovídající spojitou funkci  $H(s)$ . Jednou z nejčastějších možností je využití metody impulsní invariace.

Na obrázku 3.2 jsou překreslená bloková zapojení modulátorů s rozpojenou zpětnou vazbou v místě kvantizátoru a při nulovém vstupu. Na vstupech se předpokládá stejný diskretní signál  $U(n)$ , který odpovídá výstupu z kvantizačního obvodu. V případě modulátoru CT- $\Sigma\Delta$  převodník D/A (DAC) převádí diskretní vzorky  $U(n)$  na spojitě pulzy  $Z(t)$ , které procházejí přes filtr  $H(s)$  a poté jsou opět vzorkovány. Tvar výstupu DAC  $Z(t)$  závisí na jeho přenosové funkci  $R_{DAC}(s)$ . Výstupy obou modu-



Obrázek 3.2:  $\Sigma\Delta$  modulátor s rozpojenou zpětnou vazbou: a) DT, b) CT, upraveno dle [14]

látorů jsou shodné za podmínky, kdy se sobě rovnají vstupy  $Y_{DT(n)}$  a  $Y_{CT(n)}$  jejich kvantizačních obvodů [14]:

$$Y_{DT(n)} = Y_{CT}(t) \big|_{t=nT_s}. \quad (3.1)$$

Rovnost mezi DT a CT zapojením je možné vyjádřit:

$$\mathcal{Z}^{-1}H(z) = \mathcal{L}^{-1}\{H(s) \cdot R_{DAC}(s)\} \big|_{t=nT_s}. \quad (3.2)$$

Takto lze získat potřebnou přenosovou funkci pro konkrétní implementaci modulátoru.

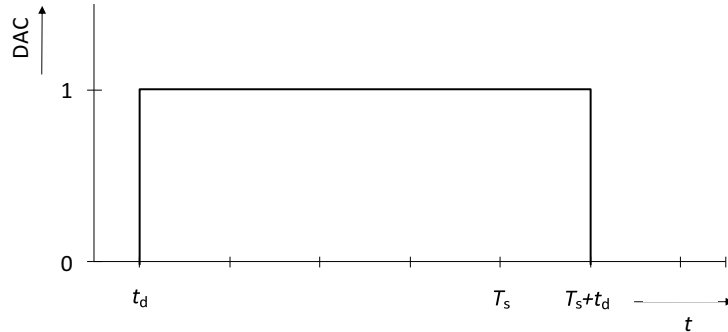
## 3.2. Vliv DAC ve zpětné vazbě modulátoru CT- $\Sigma\Delta$

Ve zpětné vazbě modulátoru je DAC většinou jediným prvkem a jeho vlastnosti výrazně ovlivňují parametry celého modulátoru. Počet úrovní DAC se shoduje s počtem úrovní kvantizačního obvodu. Jeho výstupní průběh může mít různé tvary, kterých existuje celá řada.

### 3.2.1. Excess loop delay (*ELD*)

Citlivost na *ELD* v CT implementaci vychází z ekvivalence mezi modulátorem DT a CT, která předpokládá, že kvantizační obvod a DAC okamžitě poskytují zpětnou vazbu po navzorkování vstupu. Ideálně výstup DAC reaguje ihned na hodinový signál kvantizačního obvodu, nicméně prakticky zde existuje zpoždění způsobené spínacími časy tranzistorů. To se označuje pojmem excess loop delay. Transformace mezi DT a CT realizací je platná pro určitý tvar DAC pulzu a jakákoliv odchylka způsobuje

rozdíl mezi očekávanou a reálnou přenosovou funkcí systému. To může zvýšit šum přítomný v užitečné šířce pásma.



Obrázek 3.3: NRZ výstup DAC, upraveno dle [20]

Obrázek 3.3 ukazuje pulz NRZ se zpožděním  $t_d$ . Ten je nejhorším případem, kdy pulz částečně přesahuje i do další vzorkovací periody. Důsledkem tohoto jevu je zvýšení řádu modulátoru vedoucí ke snížení maximálního stabilního vstupu a změně tvarování šumu. Pro potlačení jeho vlivu zejména ve vysokofrekvenčních aplikacích (krátké vzorkovací periody) je nutné s tímto zpožděním počítat a vybrat vhodnou méně citlivou architekturu nebo využít kompenzačních technik [3, 20–22].

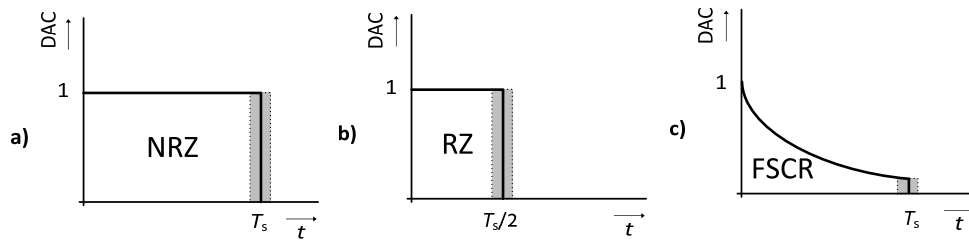
### 3.2.2. Vliv tvaru pulzu DAC

Jedna z největších nevýhod modulátoru CT- $\Sigma\Delta$  je jeho citlivost na fázový neklid (jitter) hodinového signálu, který se projevuje rozdílným trváním jednotlivých vzorkovacích period. Během těchto period se prostřednictvím DAC přenesou rozdílné množství náboje do integrátorů. Výsledkem je chybové napětí, respektive náhodný šum, který se vyskytuje i v užitečné šířce pásma, což degraduje *SNDR* a rozlišení převodníku.

Různé průběhy výstupu DAC mají vliv na odolnost vůči fázovému neklidu. Na obrázku 3.4 (a) je ukázán nejjednodušší a nejčastěji používaný obdélníkový tvar (NRZ). Fázový neklid ovlivňuje jeho tvar jen při změně výstupní polarity. V případě pulzů RZ se náběžná a sestupná hrana objevuje každou hodinovou periodu, takže fázový neklid ovlivňuje více hran než v případě NRZ. Proto je i méně odolný vůči fázovému neklidu. Výhodou je však menší vliv *ELD*, jelikož pulz i při velkém transportním zpoždění nepřesahuje do další vzorkovací periody.

Pro potlačení vlivu fázové neklidu se využívá speciálních neobdélníkových tvarů pulzů DAC. Jedná se například o exponenciálně klesající průběh dosažitelný pomocí spínaného kapacitoru a rezistoru (FSCR). Ten ukazuje obrázek 3.4 (c) a jak je vidět,

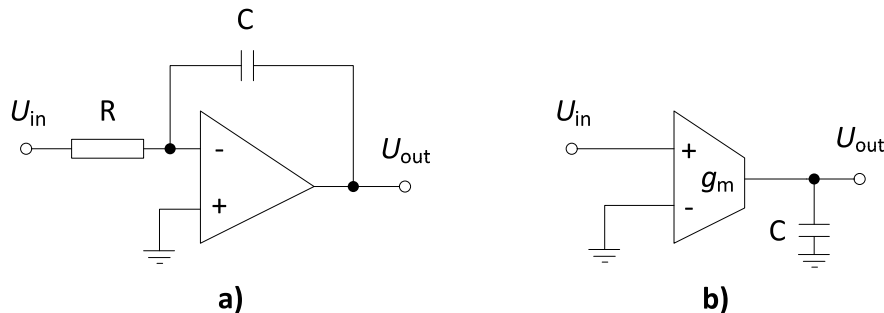
množství náboje přeneseného během jedné hodinové periody je mnohem méně závislé na přesném časování. Aby během jedné periody byl přenesen stejný náboj jako v případě NRZ, je potřeba dosáhnout velkého špičkového proudu. To vyžaduje přísnější požadavky na rychlost prvků v integrátoru, což smazává výhody modulátoru CT- $\Sigma\Delta$  a vede k hardwarově složitější struktuře [22–25].



Obrázek 3.4: Průběhy DAC výstupu, upraveno dle [22, 24]

### 3.2.3. Typy integrátorů

Základní stavební blok modulátorů  $\Sigma\Delta$  tvoří integrátory. Ty mohou být realizovány např. aktivní RC nebo strukturou gm-C, jako je ukázáno na obrázku 3.5 [26].



Obrázek 3.5: Zapojení integrátorů: a) aktivní RC, b) Gm-C

Aktivní RC integrátor je vhodný díky vysoké linearitě a jednoduché realizaci sumačního obvodu s více škálovanými vstupy. Výstup ideálního integrátoru je popsán funkcí:

$$U_{out} = \frac{1}{sRC} (k_1 U_1 + k_2 U_2 + \dots + k_n U_n), \quad (3.3)$$

kde  $k_n$  jsou koeficienty zisku pro jednotlivá vstupní napětí  $U_n$ .

Kmitočet jednotkového zisku integrátoru s koeficientem  $k_1 = 1$  je roven vzorkovací frekvenci  $F_s$  ( $\omega = 1/RC = F_s$ ). Nastavením velikostí rezistorů se dosáhne

odpovídajících hodnot koeficientů. Jelikož je operační zesilovač součástí jádra integrátoru, jeho neidealita ( $GBW$ ,  $SR$ ,..) ovlivňují přenosovou funkci. Rovněž si je možné všimnout, že vstupní napětí je převedeno na proud pomocí rezistoru zapojeného k virtuální nule. Vstupní impedance je tedy určena hodnotou tohoto rezistoru a není nulová.

Pro vysokofrekvenční aplikace je oblíbená realizace integrátorů pomocí transkonduktančního zesilovače (Gm-C). Ten na rozdíl od klasického aktivního RC integrátoru nemá uzavřenou zpětnou vazbu, a proto dosahuje vysoké stability. Za předpokladu vysoké výstupní impedance a parazitní kapacity menší než zátěže je výstupní napětí určeno vztahem:

$$U_{out} = \frac{gm}{sC} (U_{in+} - U_{in-}), \quad (3.4)$$

kde  $gm$  je transkonduktance a  $U_{in+}$ ,  $U_{in-}$  vstupní napětí.

Další výhodou zapojení Gm-C integrátoru je, že má vysokoimpeanční vstup tvořený hradlem tranzistoru MOS. Na druhou stranu integrátor s transkonduktančním zesilovačem nemusí dosahovat takové linearity jako s operačním zesilovačem. Nelinearity pak mohou způsobit vysoké harmonické zkreslení na výstupu, které limituje dosažitelné  $SNDR$  modulátoru.

### 3.3. Digitální filtrace a decimace

Výstup modulátoru  $\Sigma\Delta$  (označovaný jako PDM stream - pulzně hustotní modulace) je zpracován digitálními bloky filtrace a decimace, jejichž výstupem je signál s vyšším rozlišením a nižší frekvencí než PDM stream. Úkolem filtru je odstranění kvantizačního šumu, jenž je modulátorem posunut na vyšší frekvence. Filtr má obvykle charakter dolní propusti, přičemž v převodnicích  $\Sigma\Delta$  je velmi často využíván průměrovací filtr, který je ukázán i na obrázku 3.6. Tyto filtry se nazývají také sinc filtry podle jejich frekvenční charakteristiky a v případě, že jsou koeficienty filtru rovny jedné, není potřeba násobiček a implementace je snadná. V tomto případě má filtr obdélníkovou přenosovou funkci [9]:

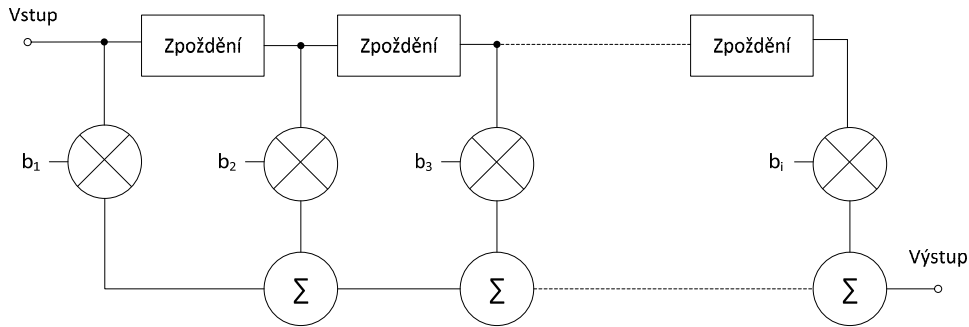
$$H(z) = \frac{1}{N} \sum_{i=0}^{N-1} z^{-i} = \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}}, \quad (3.5)$$

kde  $N$  je počet průměrovaných vzorků (decimační faktor). Z rovnice 3.5 je patrné, že filtr má  $N - 1$  rovnoměrně rozmístěných nul na jednotkové kružnici (kromě  $z^{-1}$ ). Kmitočtová charakteristika má tvar:

$$H(e^{j\omega}) = \left( \frac{1}{N} \frac{\sin(\omega N/2)}{\sin(\omega/2)} \right), \quad (3.6)$$

kde

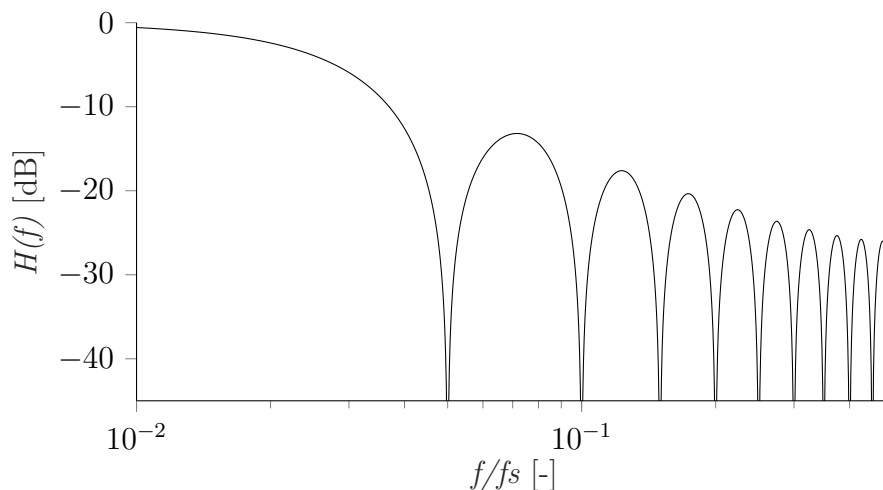
$$\omega = 2\pi \frac{f}{f_s}. \quad (3.7)$$



Obrázek 3.6: Blokové schéma průměrovacího filtru, upraveno dle [27]

Kmitočtovou charakteristiku pro  $N = 20$  zobrazuje obrázek 3.7. Je vidět, že filtr i v propustném pásmu potlačuje signál, což pro některé aplikace může být nevyhovující. Proto se používá ve spojení i s dalšími typy filtrů jako součást dvoustupňové decimace.

Jak již bylo zmíněno, další částí zpracování výstupního signálu je decimace, která odstraní přebytečná výstupní data. V principu se zachová jen každý  $N$ -tý vzorek, ale nedochází k žádné ztrátě informace, jelikož odstraněné vzorky jsou nadbytečné.



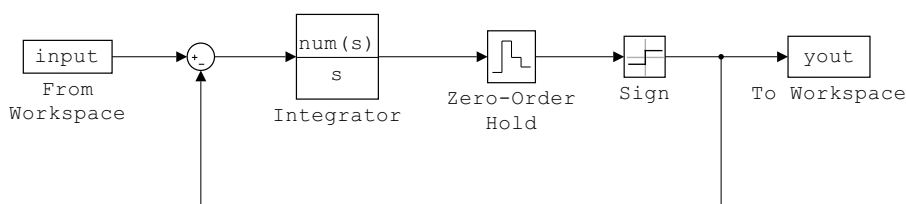
Obrázek 3.7: Kmitočtová charakteristika průměrovacího filtru

## 4. Návrh na systémové úrovni

Předcházející kapitoly seznamovaly s různými typy převodníků vhodných pro senzorové aplikace. Pro splnění požadavků shrnutých níže se díky své jednoduché struktuře jeví jako velmi vhodný převodník A/D se spojitým časem. Pro definici parametrů a ověření koncepce návrhu slouží behaviorální simulace systému např. v Matlabu, kterou se zabývá tato kapitola. [28].

### Shrnutí požadavků:

- aplikace měření teploty na čipu - stejnosměrný signál,
- rozlišení 8 bitů,
- *DNL* 1 LSB,
- *INL* 2 LSB,
- vysokoimpedanční jednostranný (single-ended) vstup,
- rozsah vstupního napětí 0 - 1,2 V,
- vzorkovací frekvence 20 MHz,
- napájecí napětí 3 - 3,6 V,
- teplotní rozsah -40 - 175 °C,
- použití nelineárních kondenzátorů MOSCAP,
- malá plocha na čipu,
- nízká spotřeba.

Obrázek 4.1: Model ideálního modulátoru  $\Sigma\Delta$ 

Simulován byl nejdříve model ideálního modulátoru  $\Sigma\Delta$  prvního řádu se spojitým časem, který ukazuje obrázek 4.1. Volba prvního řádu vychází z nízkého požadavku na rozlišení a šířku pásma převodníku. Funkci modulátoru přibližuje obrázek 4.2. Od vstupního napětí  $U_{in}$  je odečtena úroveň převodníku D/A, který nabývá kladného nebo záporného referenčního napětí podle stavu komparátoru. Pokud je vstupní napětí vysoké, je při integraci nízká strmost poklesu napětí  $u_2$  (hodnota  $U_{in} - U_{ref}$  je malá záporná). Komparátor je po tuto dobu v logické jedničce. Jakmile při hodinové náběžné hraně signál překročí nulovou úroveň, komparátor se přeplojí na logickou nulu a na výstupu převodníku D/A je záporná referenční úroveň. Napětí při integraci strmě roste (hodnota  $U_{in} - (-U_{ref})$  je vysoká kladná) a k přeplovení komparátoru dojde dříve. Výsledkem je posloupnost jedniček a nul, přičemž střední hodnota odpovídá převáděnému signálu. Čím vyšší je vstupní napětí, tím větší počet jedniček a tedy širší pulz. Tento výstup bývá označován jako PDM stream (pulzně hustotní modulace).

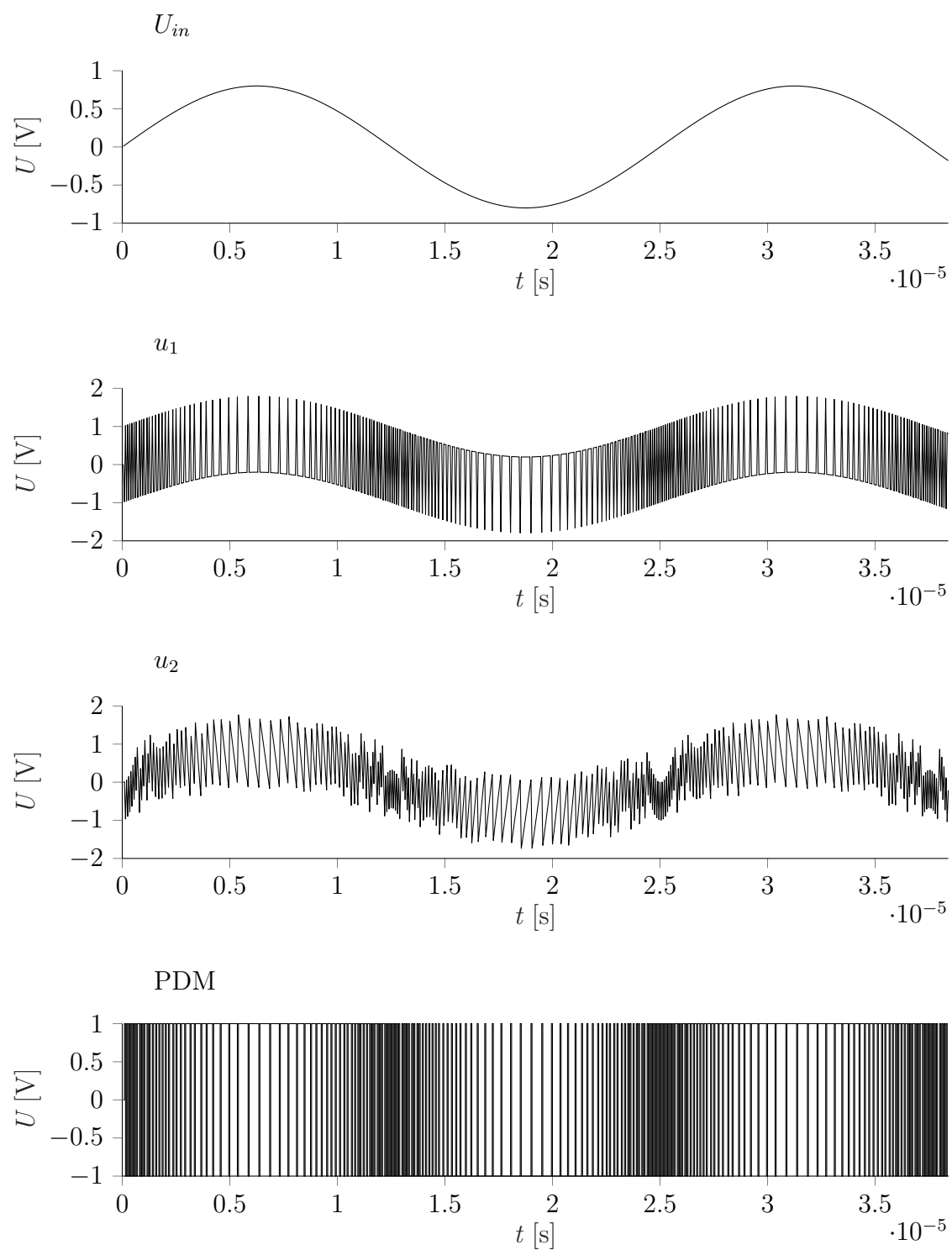
Pro dosažení požadovaného rozlišení 8 bitů, kterému odpovídá kvantizační šum

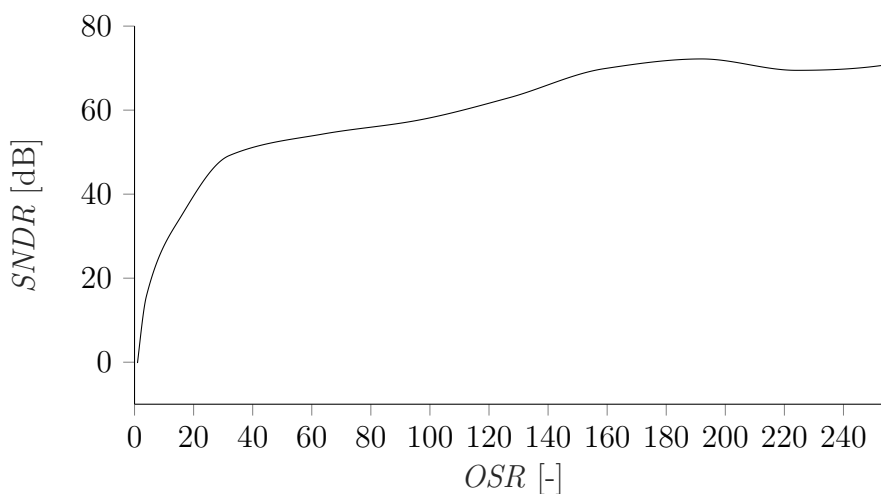
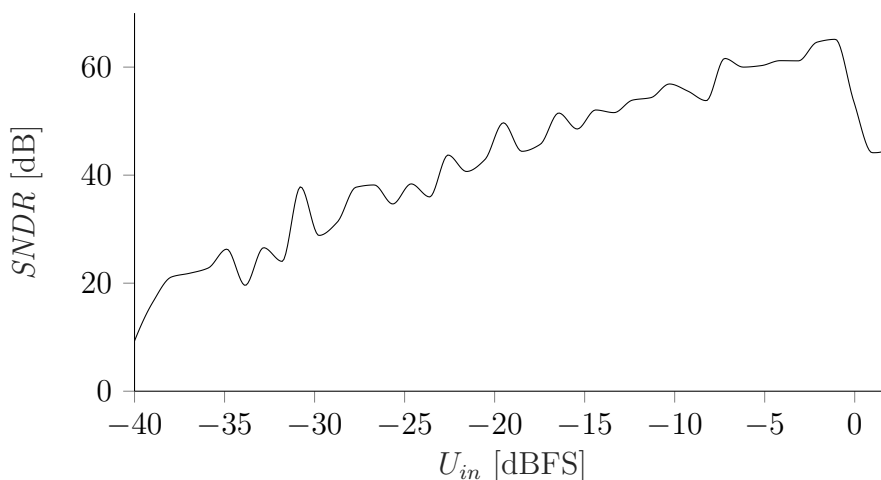
$$SQNR = 6,02N + 1,76 \text{ dB} \doteq 50 \text{ dB} \quad (4.1)$$

by podle vztahu 2.13 a 1.5 měla pro ideální modulátoru  $\Sigma\Delta$  prvního řádu s jedno-bitovým kvantizačním obvodem stačit teoretická hodnota  $OSR$ :

$$OSR = 2^{\frac{6,02(N-1)+5,17}{9,03}} \doteq 37,8. \quad (4.2)$$

Závislost  $SNDR$  tohoto modulátoru na koeficientu převzorkování pak ukazuje (obrázek 4.3). Ta odpovídá poznatku z kapitoly 2.3, kdy při zdvojnásobení  $OSR$  roste  $SNDR$  asi o 9 dB. Obrázek 4.4 zobrazuje jeho závislost na vstupní amplitudě. Zajímavé je chování kolem napětí blízko referenčních hodnot, kde dochází k výraznému poklesu  $SNDR$ . Ve výstupním signálu PDM se objevují dlouhé periodické sekvence jedniček nebo nul jen občas narušené opačnou úrovní. Ve frekvenční charakteristice se pak vyskytují složky spadající i do užitečného pásma (tzv. limitní cykly), které

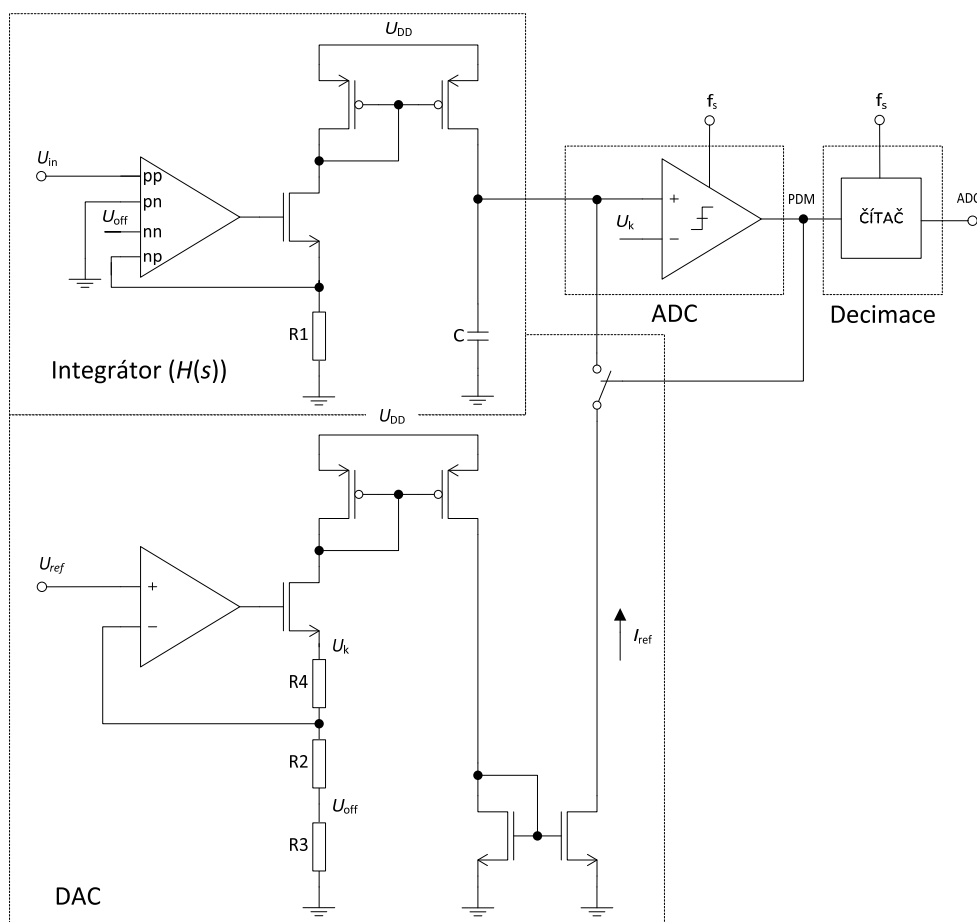
Obrázek 4.2: Průběhy signálu v jednotlivých uzlech ideálního modulátoru  $\Sigma\Delta$

Obrázek 4.3: Závislost  $SNDR$  na koeficientu převzorkováníObrázek 4.4: Závislost  $SNDR$  na amplitudě vstupního signálu

se projeví právě snížením  $SNDR$ . Tento jev se projevuje především u modulátorů prvního řádu a limituje tak jeho použitelnost pro převodníky s vysokým rozlišením.

#### 4.1. Navržená struktura modulátoru $\Sigma\Delta$

Jedním z požadavků kladených na návrh převodníku A/D pro určenou aplikaci je vysoká vstupní impedance a schopnost pracovat se vstupními signály od 0 V. Úpravou základního konceptu modulátoru  $\Sigma\Delta$  se spojitým časem a návrhem v proudovém režimu je toho možné dosáhnout. Pokud se ke vstupnímu napětí přičte konstantní napětí  $U_{off}$  a zavede tak definovaná chyba nuly (offset), nebude i při nulovém

Obrázek 4.5: Blokové zapojení navrženého modulátoru  $\Sigma\Delta$ 

napětí (rovno záporné referenční hodnotě) docházet k propadu  $SNDR$  popsaného v předešlé kapitole. Digitální kód odpovídající zavedené chybě nuly se posléze od převedené hodnoty po decimaci odečte, čímž se získá správný kód patřící vstupnímu signálu. Velikost napětí  $U_{off}$  byla zvolena tak, aby její odpovídající převedený digitální kód  $ADC_0$  byl celé binární číslo a zároveň byla dostatečná pro správnou funkci při vstupních napětí blízko referenčním úrovním:

$$U_{off} = \frac{ADC_0}{LSB} = \frac{ADC_0 \cdot U_{ref}}{2^N - 1} = \frac{17 \cdot U_{ref}}{255} = \frac{U_{ref}}{15} = 80 \text{ mV}. \quad (4.3)$$

Nevýhodou tohoto řešení je snížení potenciálního dynamického rozsahu převodníku o dvojnásobek napětí  $U_{off}$ .

Blokové zapojení modulátoru  $\Sigma\Delta$  je na obrázku (4.5). Pro realizaci integrátoru a stejnosměrného posunutí byl využit diferenčně diferenciální operační zesilovač (DDA). Pro jeho výstupní napětí  $U_{out}$  platí [29]:

$$U_{out} = A_0 \cdot [(U_{pp} - U_{pn}) - (U_{np} - U_{nn})], \quad (4.4)$$

kde  $A_0$  je zisk otevřené smyčky DDA a  $U_{pp}$ ,  $U_{pn}$ ,  $U_{np}$  a  $U_{nn}$  jsou jeho jednotlivé vstupy.

Zesilovač DDA s rezistorem  $R_1$  tvoří převodník napětí na proud  $i_1$  (transkonduktanční zesilovač), přičemž napětí na rezistoru  $R_1$  je rovno:

$$\begin{aligned} U_{np} &= U_{pp} + U_{nn} - U_{pn} & \text{pro } A_0 \rightarrow \infty. \\ U_{R_1} &= U_{in} + U_{off} \end{aligned} \quad (4.5)$$

Hodnota rezistoru  $R_1$  určuje velikost výstupního proudu  $i_1$ , který ovlivňuje celkovou spotřebu a velikost integračního kondenzátoru. Jeho hodnota byla zvolena 100 k $\Omega$ . Pro proud  $i_1$  pak platí::

$$\begin{aligned} i_1 &= \frac{U_{R_1}}{R_1} = \frac{U_{in} + U_{off}}{R_1} \\ &= \begin{cases} \frac{U_{off}}{R_1} = \frac{U_{ref}}{15 \cdot R_1} = 0,8 \mu A & U_{in} = 0 \text{ V} \\ \frac{U_{ref} + U_{off}}{R_1} = \frac{16 \cdot U_{ref}}{15 \cdot R_1} = 12,8 \mu A & U_{in} = U_{ref} = 1,2 \text{ V}. \end{cases} \end{aligned} \quad (4.6)$$

Vlastnost, že i při nulovém vstupním napětí protéká převodníkem U/I proud, je výhodná i z pohledu jeho výstupního tranzistoru. V případě, že by jím tekly velmi malé proudy (pro vstupní napětí blízko 0 V), došlo by k poklesu jeho transkonduktance, čemuž se tímto zabrání.

Výstupním proudem z převodníku U/I je nabíjen integrační kondenzátor  $C$ , jehož výstupní napětí určuje vztah:

$$u_c = \frac{1}{C} \int i_1 \cdot dt = \frac{1}{C} \int \frac{U_{R_1}}{R_1} dt = \frac{1}{C} \int \frac{U_{in} + U_{off}}{R_1} dt. \quad (4.7)$$

Výše bylo ukázáno, že výstupní napětí integrátoru v první fázi roste a jakmile překročí určitou prahovou úroveň při náběžné hraně hodin, kdy překlopí komparátor, jeho napětí klesá opět pod prahovou úroveň. Ve výsledné realizaci převodníku A/D bude použit jako integrační kondenzátor nelineární MOSCAP, jehož optimální pracovní napětí je přibližně mezi 1,4 až 2 V. Proto byla prahová úroveň komparátoru zvolena ve středu tohoto intervalu - 1,7 V. Pro výpočet kapacity kondenzátoru

poslouží hraniční případ. Ten nastává při největší strmosti integrace (vstupní signál roven referenčnímu napětí  $U_{ref}$ ) a výstupním napětí blízko prahové hodnotě 1,7 V, kdy během jedné periody hodinového signálu dojde k nabití kondenzátoru na 2 V. Proto při využití vztahů 4.6 a 4.7 platí:

$$U_c = \frac{1}{C} \int_0^{T_s} i_1 dt = \frac{1}{C} \int_0^{T_s} \frac{16 \cdot U_{ref}}{15 \cdot R_1} dt = \frac{1}{C} \frac{16 \cdot U_{ref}}{15 \cdot R_1} \cdot T_s + U_k \quad (4.8)$$

$$C = \frac{16 \cdot U_{ref}}{15 \cdot R_1 \cdot (U_c - U_k)} \cdot T_s = \frac{12,8 \cdot 10^{-6}}{0,3} \cdot \frac{1}{20 \cdot 10^6} \doteq 2,13 \text{ pF},$$

kde  $U_k$  je prahová úroveň komparátoru a  $T_s$  vzorkovací perioda.

Dále je určen potřebný referenční proud  $I_{ref}$  pro převodník D/A. V případě, že by zavedené napětí  $U_{off}$  bylo nulové, pak by jeho velikost byla dána referenčním napětím  $U_{ref}$  a stejně velkým rezistorem, jaký byl použit v převodníku U/I pro vstupní signál. Pro nenulové  $U_{off}$  se pak jeho dvojnásobek přičte k referenčnímu napětí tak, aby pracovní rozsah ( $U_{off}, U_{ref} + U_{off}$ ) ležel ve středu rozsahu převodníku ( $0, U_{ref} + 2 \cdot U_{off}$ ). Hodnota referenčního proudu je pak dána:

$$I_{ref} = \frac{U_{ref} + 2 \cdot U_{off}}{R_1} = \frac{17 \cdot U_{ref}}{15 \cdot R_1} = 13,6 \mu\text{A} \quad (4.9)$$

a jelikož je jeho velikost určena součtem odporu  $R_2$  a  $R_3$ , vyjádříme jejich hodnotu:

$$I_{ref} = \frac{17 \cdot U_{ref}}{15 \cdot R_1} = \frac{U_{ref}}{R_2 + R_3} \quad (4.10)$$

$$R_2 + R_3 = \frac{15 \cdot R_1}{17} \doteq 88,2 \text{ k}\Omega.$$

Úbytek na rezistoru  $R_3$  je využit jako napětí  $U_{off}$ , které se přičítá k vstupnímu signálu. Proto pro něho s využitím vztahů 4.3 a 4.10 platí:

$$U_{off} = \frac{U_{ref}}{15} = \frac{U_{ref} \cdot R_3}{R_2 + R_3} \quad (4.11)$$

$$R_3 = \frac{R_2}{14} = \frac{15 \cdot R_1}{17 \cdot 14} - \frac{17 \cdot R_3}{17 \cdot 14} = \frac{R_1}{17} \doteq 6 \text{ k}\Omega,$$

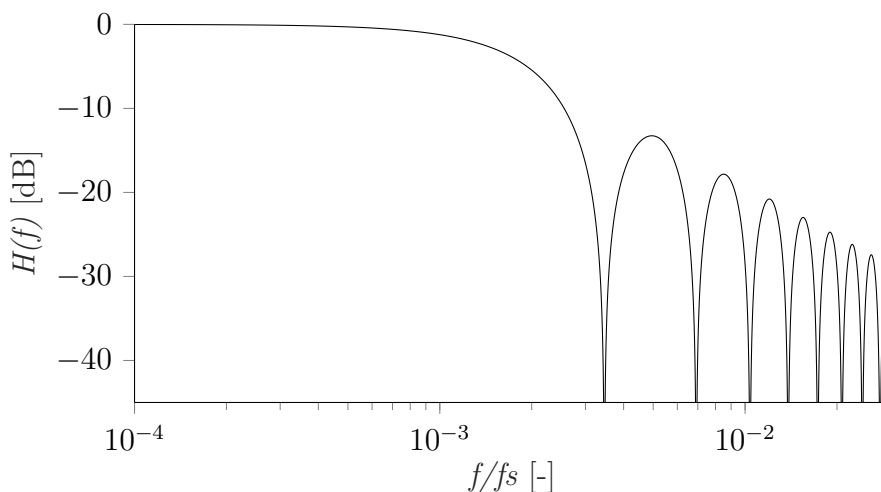
pak

$$R_2 = \frac{14 \cdot R_1}{17} \doteq 82,4 \text{ k}\Omega. \quad (4.12)$$

Prahová hodnota komparátoru 1,7 V je tvořena úbytkem napětí na rezistorech  $R_2$ ,  $R_3$  a  $R_4$ . Velikost  $R_4$  tedy určíme následovně:

$$\begin{aligned} U_k &= U_{ref} \cdot \left(1 + \frac{R_4}{R_2 + R_3}\right) = 1,7 \text{ V} \\ R_4 &= \frac{(R_2 + R_3)(U_k - U_{ref})}{U_{ref}} = \frac{15R_1 \cdot (U_k - U_{ref})}{17 \cdot U_{ref}} \cong \frac{6R_1}{17} \doteq 35,3 \text{ k}\Omega. \end{aligned} \quad (4.13)$$

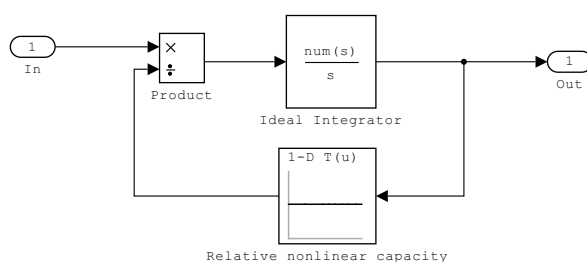
Výstupní signál modulátoru PDM je zpracován digitálním průměrovacím sinc filtrem. Ten je ve své nejjednodušší variantě tvořen resetovatelným čítačem. Pro dosažení rozlišení 8 bitů je zapotřebí 256 stavů. Jelikož máme zavedené rozšíření rozsahu převodníku o dvojnásobek  $U_{off}$ , které odpovídá 17 LSB, je potřeba celkem 290 stavů. Tomu vyhoví 9-bitový čítač. Jeho hodnota je platná každou 289 hodinovou periodu, při které je i resetován. Koeficient převzorkování  $OSR$  je tedy roven 289, což je výrazně více než minimální teoretická hodnota (37,8). To poskytuje i dostatečnou rezervu při započítání neidealit skutečného modulátoru  $\Sigma\Delta$ . Při vzorkovací frekvenci 20 MHz a  $OSR$  289 odpovídá šířka užitečného pásma modulátoru asi 35 kHz. Obrázek 4.6 pak ukazuje frekvenční charakteristiku navrženého filtru, jehož šířka propustného pásma je rovna 30 kHz. Vlastnost, že dochází k potlačení signálu i pro nižší kmitočty lze tolerovat, jelikož je převodník určen pro zpracování výhradně stejnosměrných signálů.



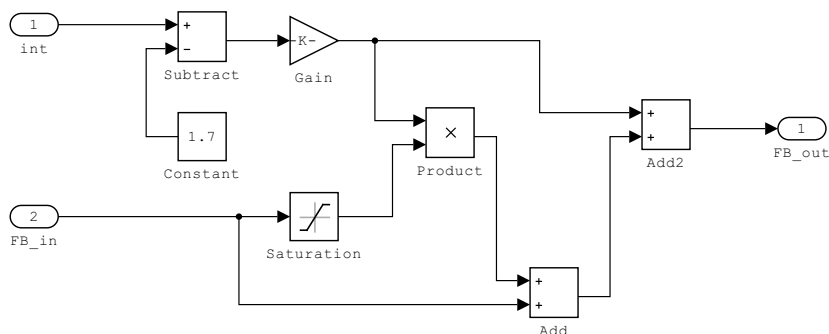
Obrázek 4.6: Kmitočtová charakteristika navrženého průměrovacího filtru

Obrázek 4.7 ukazuje simulační model modulátoru  $\Sigma\Delta$  v Simulinku i s uvážením neidealit, jakými jsou fázový neklid (jitter) hodinového signálu, tepelný šum, hystereze komparátoru, zpoždění D/A převodníku, nesymetrii hran při jeho spínání,





Obrázek 4.9: Model integrátoru



Obrázek 4.10: Model výstupního odporu proudových zrcadel

Jelikož je v zapojení modulátoru  $\Sigma\Delta$  použit nelineární kondenzátor MOSCAP, byl uvažován i jeho vliv. Model byl odvozen ze vztahu pro napětí na kondenzátoru:

$$u(t) = \frac{1}{C(u)} \int i(t) \cdot dt = \frac{1}{C(u)} \int gm \cdot U_{in}(t) \cdot dt = \frac{gm}{C_0} \int \frac{U_{in}(t)}{C_R(u)} dt, \quad (4.15)$$

kde  $C_0$  je typická hodnota kapacity kondenzátoru,  $gm$  odpovídá převrácené hodnotě odporu  $R_1$  a  $C_R$  je relativní koeficient určující závislost kapacity na napětí. Uvedený vztah 4.15 reprezentuje model integrátoru 4.9, ve kterém je nelinearita  $C_R$  je modelována náhledovou tabulkou.

Dále byl vytvořen model konečného výstupního odporu proudových zrcadel použitých v převodníku U/I a D/A (obrázek 4.10). Ten vychází z následujícího vztahu:

$$i = I_0 + \frac{\Delta u}{R_D}, \quad (4.16)$$

kde  $I_0$  je typická hodnota proudu proudového zrcadla v daném pracovním bodě a  $R_D$  jeho dynamický odpor. Jelikož se v simulačním modelu modulátoru  $\Sigma\Delta$  pracuje

s napětím, které je transformováno v proud až v rámci integrátoru v rámci jeho parametru  $gm/C$ , je rovnice 4.16 upravena:

$$u_i = U_0 + \frac{\Delta u}{R_D \cdot gm}, \quad (4.17)$$

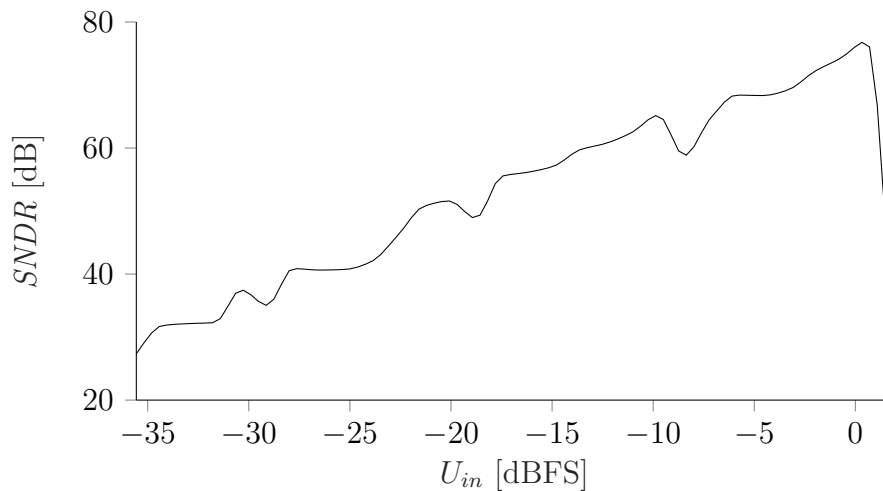
kde  $U_0$  reprezentuje přepočtenou hodnotu proudu  $I_0$ . Výstup D/A převodníku není aktivní trvale, proto se druhý člen rovnice 4.17 násobí logickou hodnotou výstupu komparátoru  $y_{out}$ , který vstupuje do D/A převodníku. Uvedený model reprezentuje jak výstupní odpor D/A, tak převodníku U/I současně. Výsledný vztah tedy odpovídá:

$$u_i = U_{in} + \frac{\Delta u}{R_D \cdot gm} + U_{DA} + \frac{\Delta u}{R_D \cdot gm} \cdot y_{out}, \quad (4.18)$$

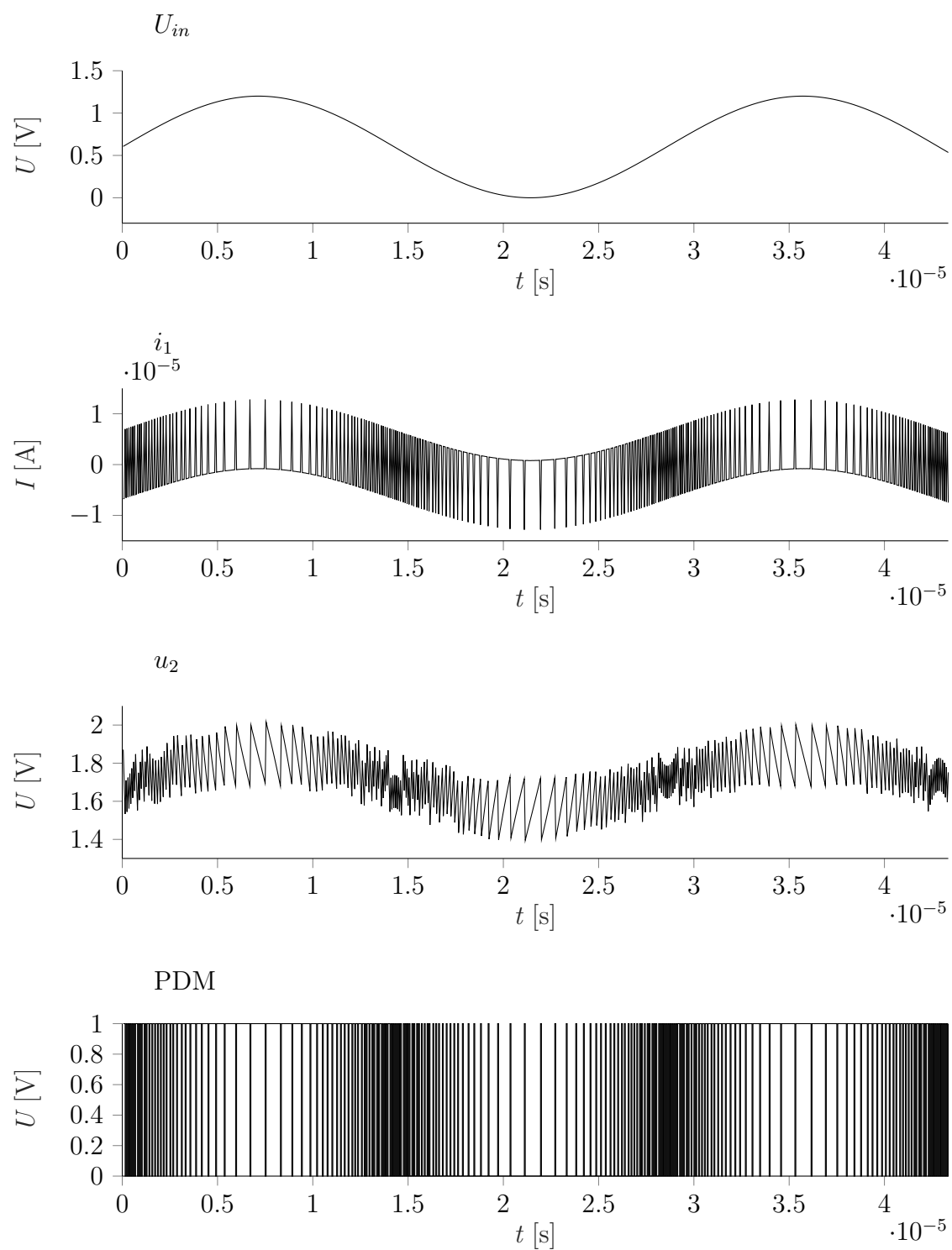
kde  $U_{in}$  je vstupní napětí a  $U_{DA}$  je napětí, které odpovídá přepočtenému výstupnímu proudu převodníku D/A. První člen rovnice 4.18 je již zahrnut na vstupu modelu modulátoru  $\Sigma\Delta$ , a proto není modelován v rámci tohoto bloku.

Obrázek 4.12 pak již ukazuje průběhy simulovaného modulátoru  $\Sigma\Delta$ , které korespondují s provedeným návrhem.

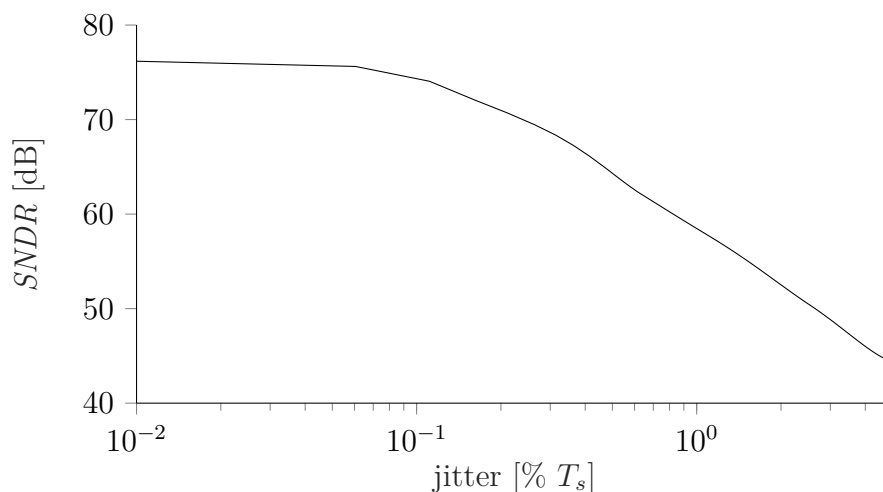
Obrázek 4.11 ukazuje závislost  $SNDR$  na amplitudě vstupního signálu s frekvencí 10 kHz, která byla použita i pro všechny další simulace. Šířka užitečného pásma modulátoru je 35 kHz a je v něm tedy zahrnuta i třetí harmonická složka vstupního signálu, která je dominantní. Lze si povšimnout, že i pro maximální amplitudu, při které vstup dosahuje referenčního napětí, nedochází k poklesu  $SNDR$  tak, jako v případě klasického modulátoru simulovaného výše.



Obrázek 4.11: Závislost  $SNDR$  modulátoru  $\Sigma\Delta$  na amplitudě vstupního signálu

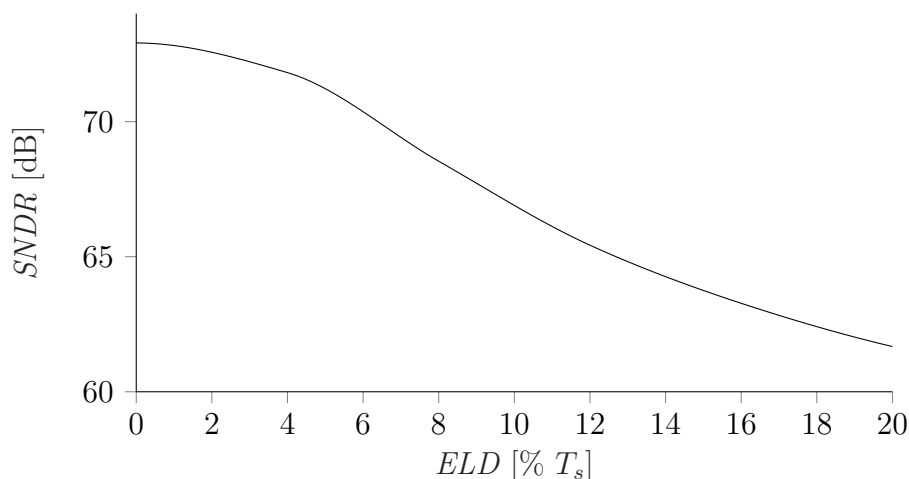
Obrázek 4.12: Průběhy signálu v jednotlivých uzlech navrženého modulátoru  $\Sigma\Delta$

Vliv fázového neklidu zobrazuje obrázek 4.13. Z něho je patrné, že k poklesu  $SNDR$  dochází zhruba pro směrodatnou odchylku fázového neklidu 0,1 % hodinové periody. To při vzorkovací frekvenci 20 MHz představuje 50 ps. Dosažitelná hodnota pro oscilátor, se kterým bude použit tento převodník A/D, je 30 ps (0,06 %) a je zde tedy rezerva.



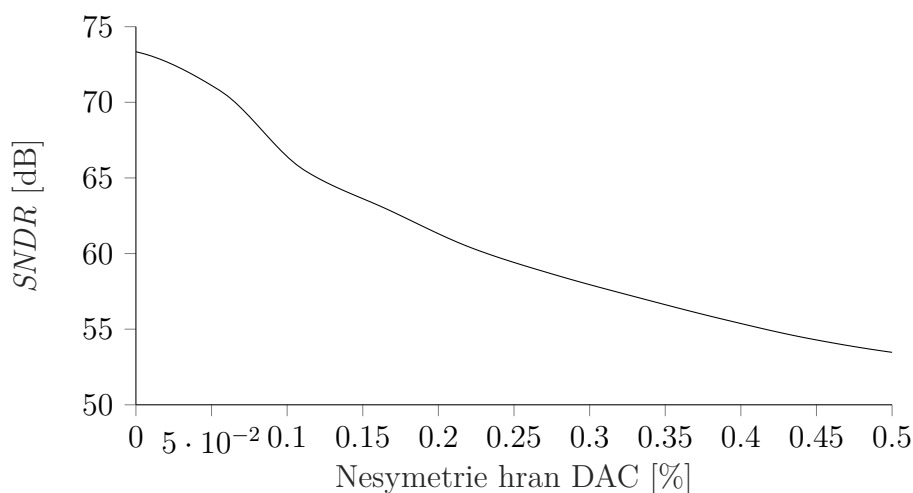
Obrázek 4.13: Vliv fázového neklidu (jitter) na  $SNDR$  modulátoru  $\Sigma\Delta$

Obrázek 4.14 ukazuje závislost  $SNDR$  na zpoždění převodníku D/A ve zpětné vazbě, které ho výrazně ovlivňuje asi přibližně od 5 % vzorkovací periody (2,5 ns). Proto se při následném návrhu na tranzistorové úrovni bude dbát na jeho co nejmenší hodnotu.

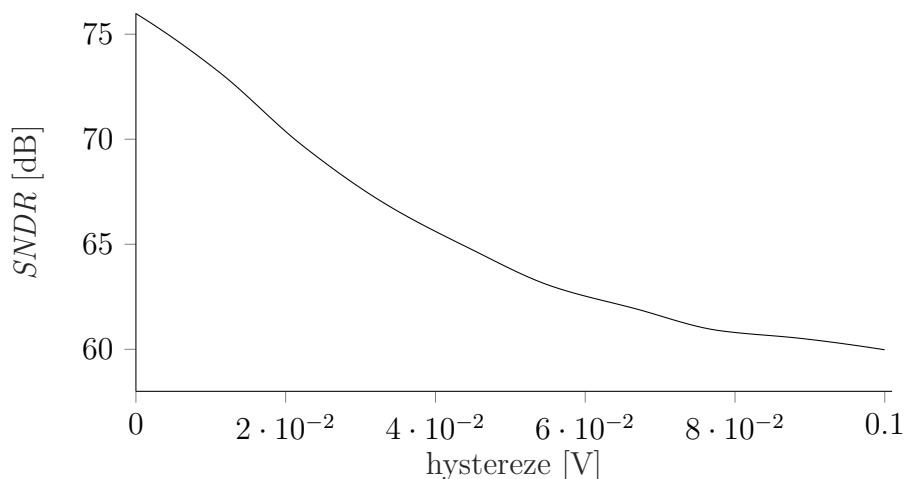


Obrázek 4.14: Vliv  $ELD$  na  $SNDR$  modulátoru  $\Sigma\Delta$

Vliv nesymetrie náběžné vůči sestupné hraně výstupu DAC na  $SNDR$  modulátoru  $\Sigma\Delta$  zobrazený na obrázku 4.15 má velmi výrazný vliv. K poklesu  $SNDR$  dochází i pro nízké hodnoty nesymetrie hran. Je to dáno tím, že neidealita převodníku D/A se na výstup modulátoru  $\Sigma\Delta$  přenáší neutlumeny v jeho užitečné šířce pásma, jelikož signálová přenosová funkce je  $STF = \frac{1}{1+p}$  a výstup převodníku D/A se přímo sčítá se vstupním signálem. Jednou z možností jak potlačit vliv této nesymetrie by bylo použití RZ tvaru výstupních pulzů DAC.



Obrázek 4.15: Vliv nesymetrie hran výstupu DAC na  $SNDR$  modulátoru  $\Sigma\Delta$

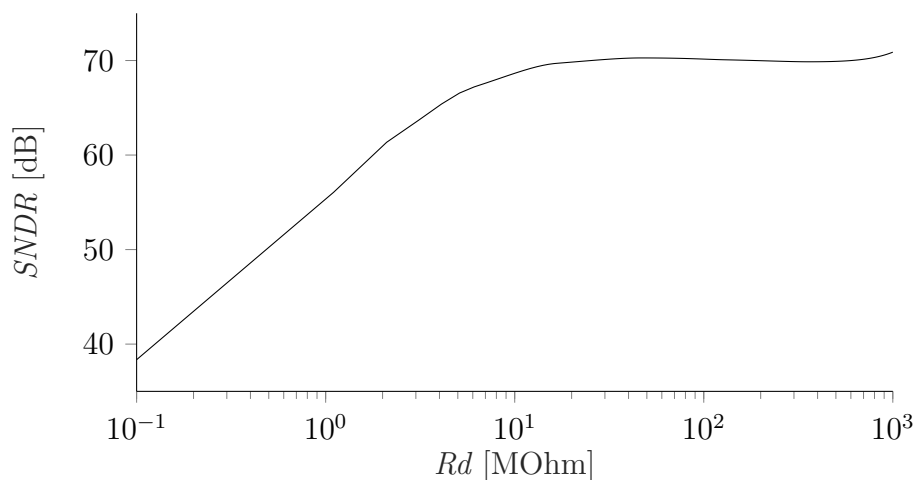


Obrázek 4.16: Vliv hystereze komparátoru na  $SNDR$  modulátoru  $\Sigma\Delta$

Sledován byl i vliv hystereze komparátoru na  $SNDR$ , jenž je zobrazen na obrázku 4.16. K poklesu  $SNDR$  dochází prakticky již od nulové hodnoty hystereze

a není tedy žádoucí. Modelovaná hystereze odpovídá časově spojitému komparátoru s D klopným obvodem na výstupu. Jelikož se s výhodou využívá spínaných komparátorů, které jsou každou hodinovou periodu resetovány, je hystereze z principu jejich funkce nulová a nemusí se tedy uvažovat.

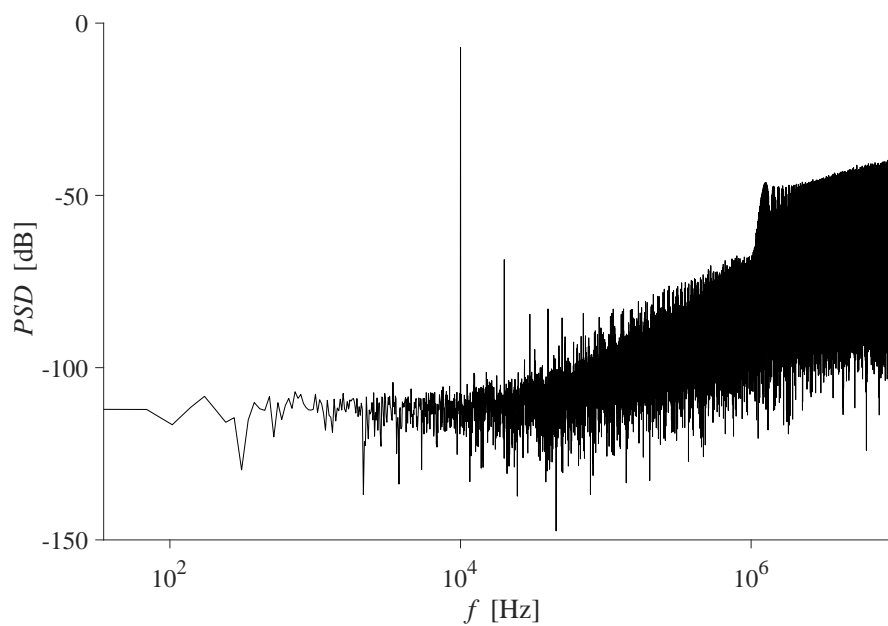
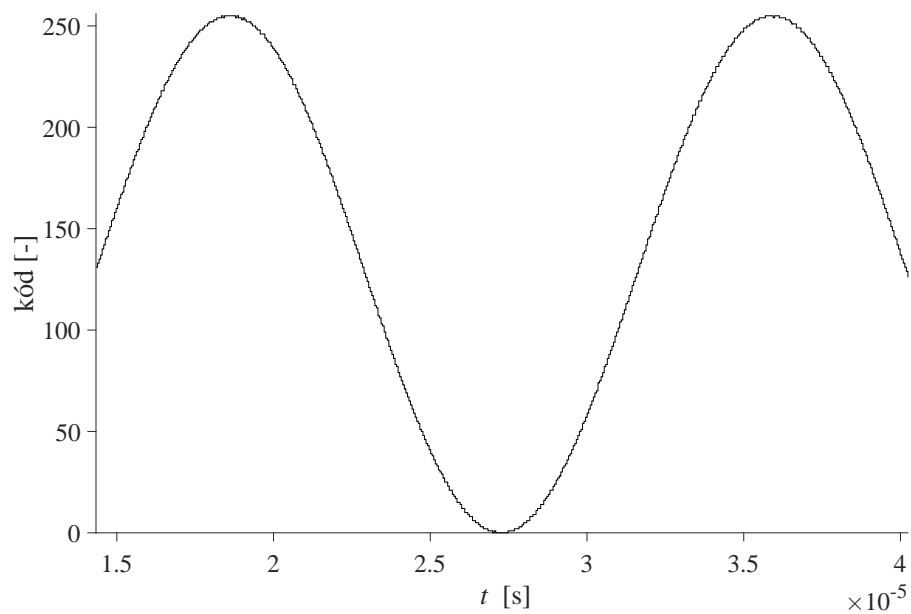
Závislost  $SNDR$  na velikosti výstupního odporu proudových zrcadel převodníku U/I a D/A je na obrázku 4.17. Pro nízké hodnoty  $R_D$  má značný vliv a  $SNDR$  klesá. Přibližně od  $3\text{ M}\Omega$  se pokles zastaví a dosáhne se maximální úrovně. Výhodné je tedy použití proudových zrcadel s vyšším výstupním odporem, např. kaskody.



Obrázek 4.17: Vliv výstupního odporu proudových zrcadel na  $SNDR$  modulátoru  $\Sigma\Delta$

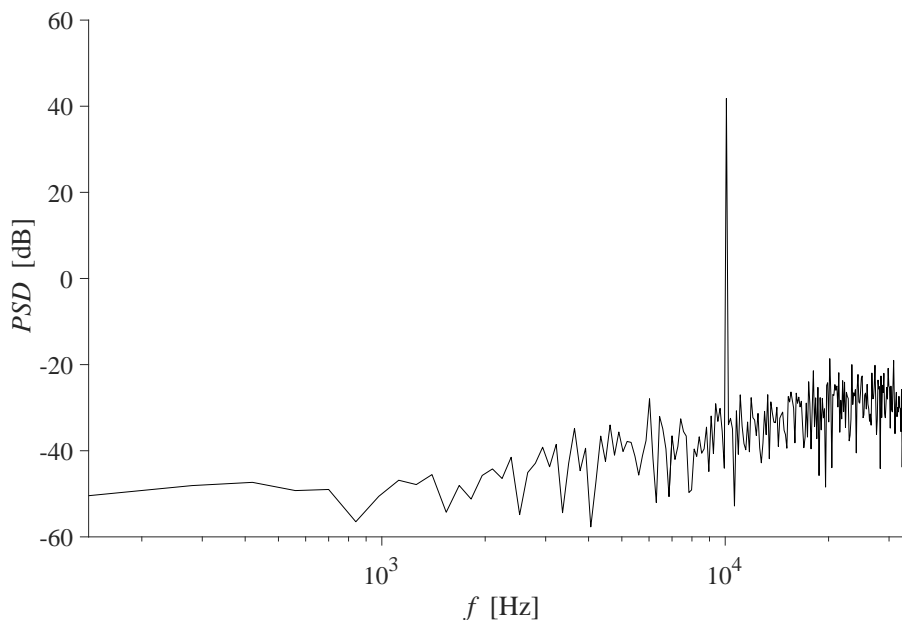
Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$  se všemi neidealitami ukazuje obrázek 4.18. Ve spektru jsou patrné i vyšší harmonické tóny vstupního signálu, které spadají do užitečného pásma modulátoru a omezují  $SNDR$ . Zahrnut byl fázový neklid se směrodatnou odchylkou  $0,06\%$   $T_s$ , nesymetrie hran výstupu DAC  $0,2\%$ ,  $ELD$   $4\%$   $T_s$ ,  $R_D$   $500\text{ M}\Omega$ , hystereze  $0\text{ V}$  a tepelný šum  $150\text{ nV}/\sqrt{\text{Hz}}$ . Při těchto parametrech dosahuje  $SFDR$   $61,5\text{ dB}$  a  $SNDR$   $61,2\text{ dB}$ , což odpovídá  $9,87$  efektivním bitů ( $ENOB$ ). To je více než požadovaných  $8$  bitů.

Použitím decimálního filtru v podobě čítače, jak bylo popsáno výše, se dosáhne rozlišení navržených  $8$  bitů. Výstup tohoto filtru pro sinusový signál o frekvenci  $200\text{ Hz}$  je ukázán na obrázku 4.19. Pokud provedeme Fourierovu analýzu výstupu převodníku A/D po decimaci, obdržíme graf rozložení spektrální hustoty 4.20. Výsledné  $SNDR$  je  $58,2\text{ dB}$ ,  $SFDR$   $45,9\text{ dB}$  a  $ENOB$   $7,32$  bitů pro vstupní signál o frekvenci  $10\text{ kHz}$ . Patrné je však postupné zvyšování výkonové spektrální hustoty ve spektru pro vyšší frekvence. Je to dáno nízkým potlačením filtru v nepropustném

Obrázek 4.18: Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$ 

Obrázek 4.19: Ukázka výstupu převodníku po decimaci

pásmu, do kterého připadá většina tvarovaného kvantizačního šumu. Ten je tak překládán do užitečného pásma modulátoru a omezuje dosažitelné  $SNDR$ . Použitím filtru s vyšším potlačením v jeho nepropustném pásmu, např. FIR filtru, by se bylo možné přiblížit až k hodnotám  $SNDR$  samotného modulátoru  $\Sigma\Delta$ .



Obrázek 4.20: Rozložení výkonové spektrální hustoty převodníku A/D po decimaci

## 4.2. Dosažené parametry

Následující tabulka (4.1) shrnuje dosažené parametry ze simulace v prostředí Simulink. Bylo dosaženo  $SNDR$  61,5 dB, což odpovídá 9,87 efektivního počtu bitů pro samotný modulátor  $\Sigma\Delta$  při vzorkovací frekvenci 20 MHz a koeficientu převzorkování 289. Po decimaci navrženým filtrem je  $SNDR$  58,2 dB a  $ENOB$  7,32 bitů při rozlišení 8 bitů. Uvedené hodnoty platí pro fázový neklid se směrodatnou odchylkou 0,06 %  $T_s$ , nesymetrie hran DAC 0,2 %,  $ELD$  4 %  $T_s$ ,  $R_D$  500 M $\Omega$ , hystereze 0 V a tepelný šum 150 nV/ $\sqrt{\text{Hz}}$ .

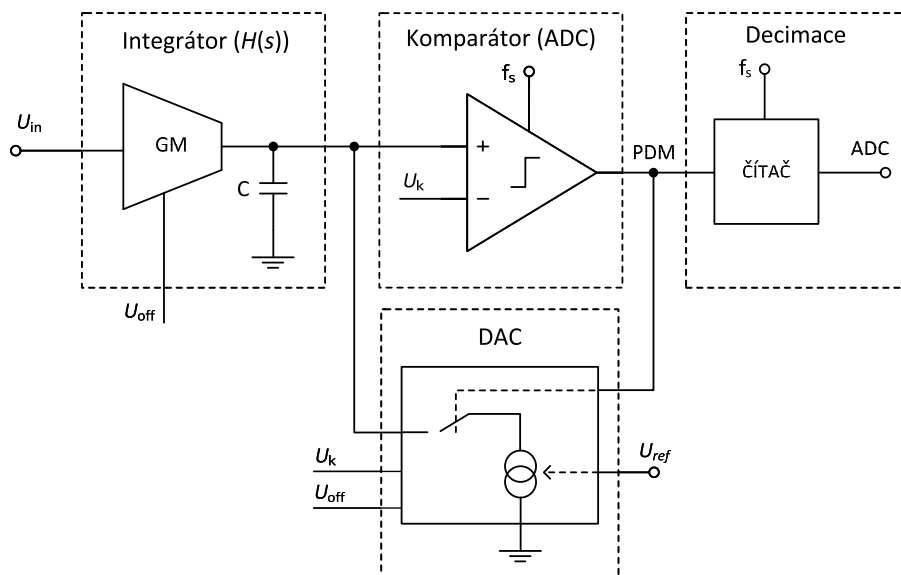
Tabulka 4.1: Dosažené parametry

<b>Parametr</b>	<b>Hodnota</b>	<b>Jednotka</b>	
Vzorkovací frekvence $f_s$	20	MHz	
Rozlišení	8	bit	
Vstupní napěťový rozsah	0 - 1,2	V	
$OSR$	289	-	
Šířka užitečného pásma $f_b$	35	kHz	
	$SNDR$	61,5	dB
Před decimací	$SFDR$	61,2	dB
	$ENOB$	9,87	bit
	$SNDR$	58,2	dB
Po decimaci	$SFDR$	45,9	dB
	$ENOB$	7,32	bit

## 5. Návrh na tranzistorové úrovni

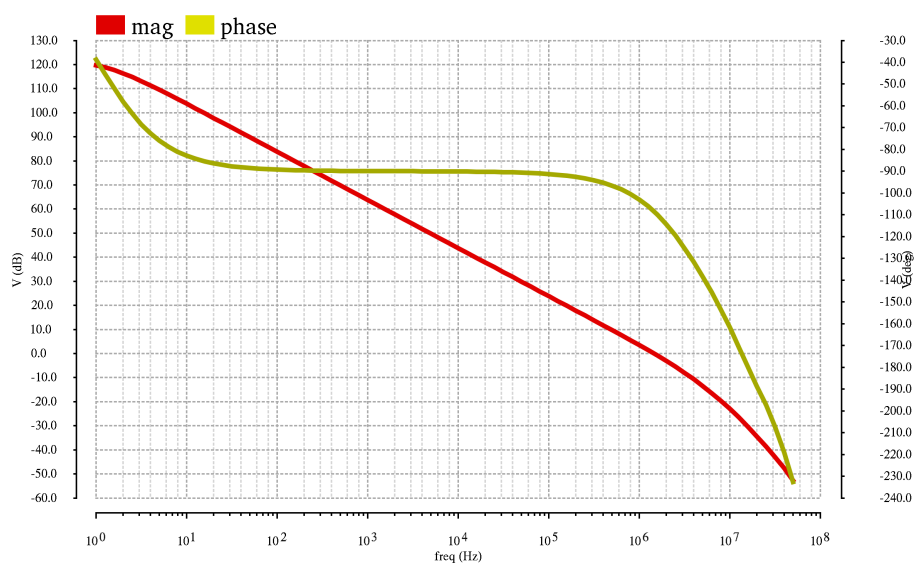
Navržená struktura modulátoru byla realizována a simulována na tranzistorové úrovni v prostředí Cadence ve výrobní technologii ONC18/I4T s uvažováním procesních vlivů (corner a Monte Carlo analýza), teploty od  $-40$  do  $175$  °C a napájecího napětí  $3 - 3,6$  V.

Modulátor  $\Sigma\Delta$  vychází z obvodu na obrázku 4.5 a jeho schéma je uvedeno na obrázku 5.1. Kompletní zapojení včetně všech buněk je pak v příloze. Zapojení se skládá ze čtyř hlavních částí: integrátoru, komparátoru ve funkci 1-bitového kvantizačního obvodu (ADC), 1-bitového převodníku DA a dále pak digitálního decimačního filtru. Modulátor pracuje v proudovém režimu a jeho funkce byla přiblížena v předcházející kapitole behaviorálního návrhu. Následující kapitoly popisují jeho jednotlivé bloky.



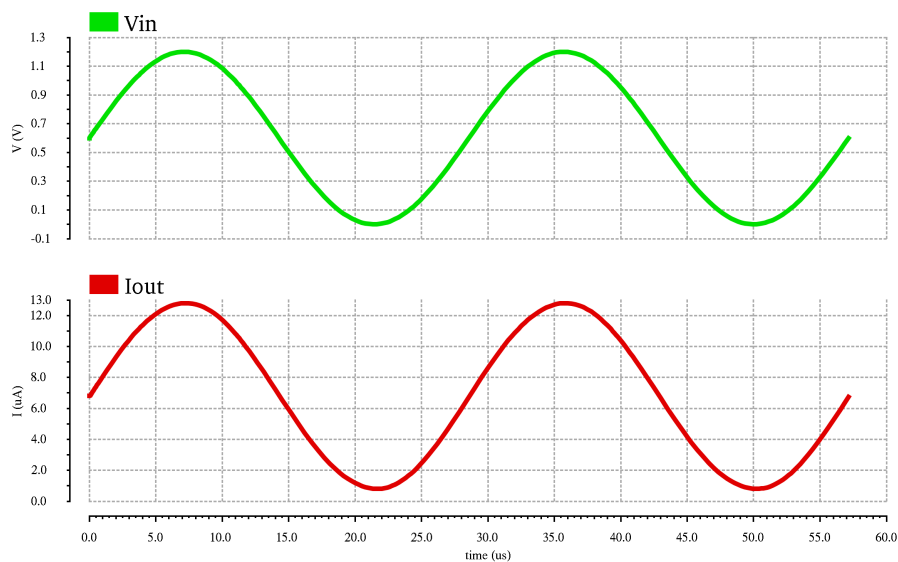
Obrázek 5.1: Zapojení navrženého modulátoru  $\Sigma\Delta$





Obrázek 5.3: Frekvenční charakteristika zpětnovazební smyčky integrátoru (typ. proces)

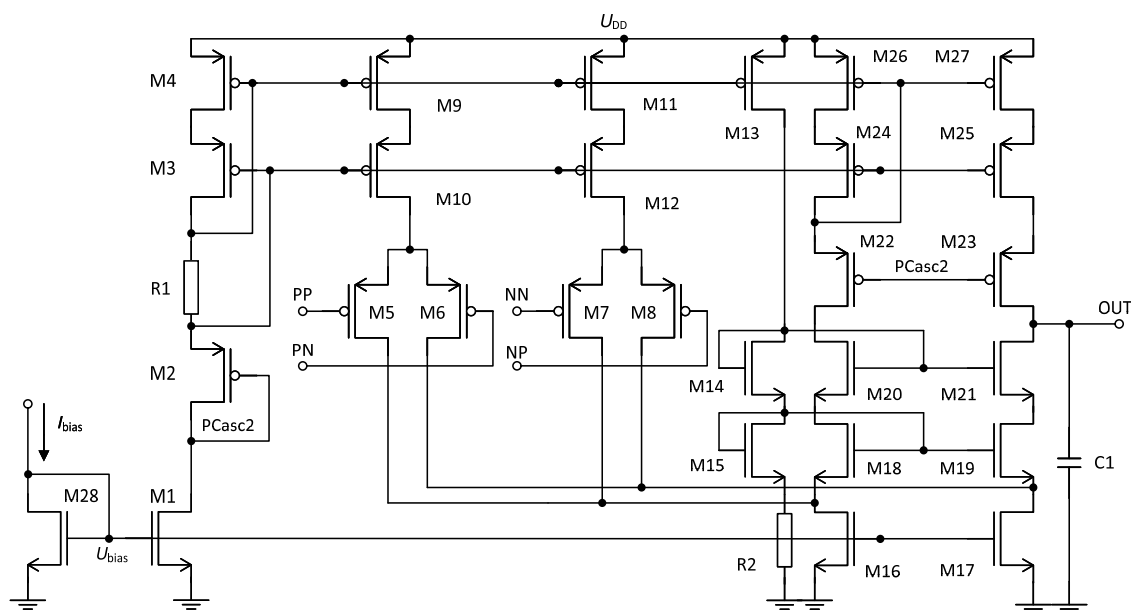
Obrázek 5.3 ukazuje frekvenční charakteristiku zpětnovazební smyčky a obrázek 5.4 ukázkou časového průběhu výstupu převodníku U/I při sinusovém vstupním signálu o frekvenci 35 kHz.



Obrázek 5.4: Časový průběh výstupu převodníku U/I

### 5.1.1. Diferenčně diferenciální zesilovač (DDA)

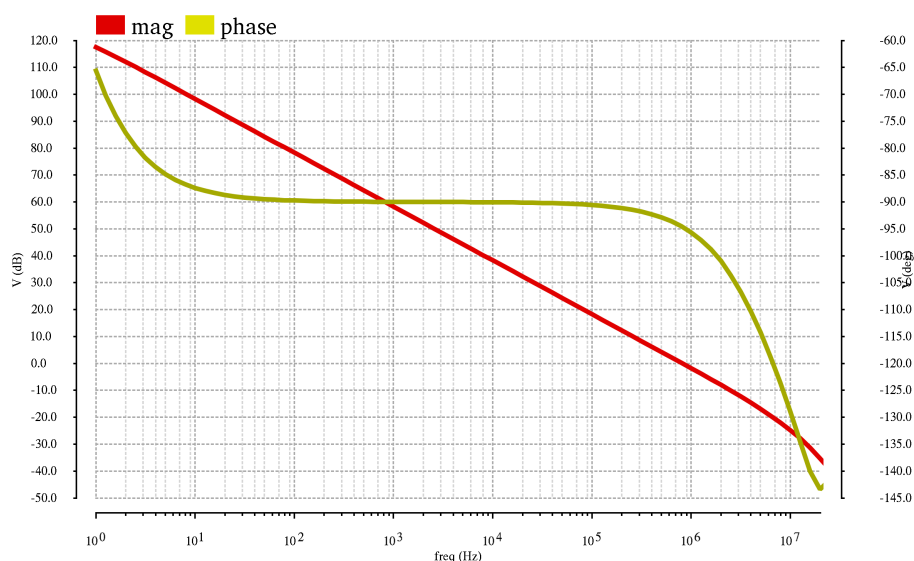
Pro realizaci integrátoru a posunutí vstupního pracovního rozsahu převodníku je využit diferenčně diferenciální zesilovač. Jeho zapojení je zobrazeno na obrázku 5.5.



Obrázek 5.5: Zapojení DDA

Základem je operační zesilovač se strukturou složené kaskody s dvěma vstupními PMOS diferenčními páry. Tímto zapojením je možné dosáhnout vstupního napětového rozsahu od 0 V nutného pro správnou funkci integrátoru. Struktura složené kaskody má díky svému vysokému výstupnímu odporu velký zisk. Avšak ten klesá při malých, nebo naopak vysokých výstupních napětích. Pro dosažení dostatečného zisku v celém výstupním rozsahu je proto použito trojitě kaskody i přesto, že v krajních polohách vždy jeden její tranzistor ( $M_{23}$ ,  $M_{21}$ ) pracuje v triodové oblasti. Tranzistory vstupních diferenčních páru pracují v podprahovém režimu (slabá inverze), čímž je při daném proudu dosaženo vyšší transkonduktance a spolu s dostatečnou délkou jejich kanálu i nízké napětové nesymetrie, která ovlivňuje chybu nuly převodníku. Jelikož šířka pásma převodníku, se kterou pracuje i integrátor, potažmo DDA, je asi 35 kHz, není na jednotkovou šířku pásma DDA ( $GBW$ ) kladen vysoký požadavek. Pro nastavení pracovních bodů tranzistorů je využit biasovací proud o velikosti  $2,5 \mu\text{A}$ , který je generován externě z referenčního napětí.

Na obrázku 5.6 je zobrazena kmitočtová a fázová frekvenční charakteristika navrženého diferenčně diferenčního zesilovače. Kmitočet jednotkového zisku je 1,1 MHz a fázová bezpečnost  $84^\circ$ . Maximální zesílení ve středu výstupního rozsahu je 120 dB, při nízkém výstupním napětí však klesá na 83 dB. Celkový proudový odběr je typicky  $13,9 \mu\text{A}$ . Vlastnosti shrnuje tabulka 5.1.



Obrázek 5.6: Frekvenční charakteristika DDA (typ. proces)

Tabulka 5.1: Parametry DDA

Parametr	Min	Typ	Max	Jednotka
Zesílení	83	119	120	dB
Šířka pásma	0,7	1,1	1,6	MHz
Fázová rezerva	82	84	86	°
Rychlost přeběhu (pozitivní)	1,4	1,8	2,7	V/ $\mu$ s
Rychlost přeběhu (negativní)	0,3	0,7	1,3	V/ $\mu$ s
PSRR (20 MHz)	76	91	94	dB
Napěťová nesymetrie ( $3\sigma$ )			9,5	mV
Proudová spotřeba	9,4	13,9	21,8	$\mu$ A

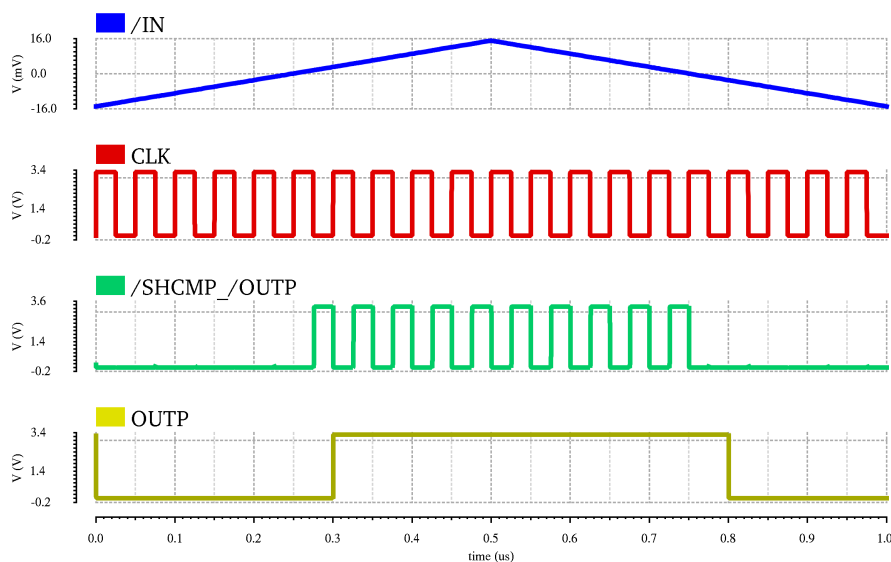
Pozn.:  $C_L = 100$  fF, výstupní rozsah 0,9 - 2,1 V

## 5.2. Komparátor

Komparátor slouží jako 1-bitový kvantizační obvod. Porovnává napětí na integračním kondenzátoru s referenčním napětím, které určuje střed napěťového rozkmitu na tomto kondenzátoru. To je voleno s ohledem na pracovní oblast kondenzátoru MOSCAP i požadavky na napěťový prostor výstupních proudových zrcadel integrátoru a obvodu DAC a nachází se přibližně v polovině napájecího napětí (1,7 V). Komparátor zároveň slouží jako vzorkovací obvod, proto je využito spínaného komparátoru, který má v několika ohledech výhodné vlastnosti. Jeho spotřeba je oproti



Ten zajistí stabilní výstup komparátoru i po dobu resetovací fáze. Vstup, na který je přivedena rozhodovací napěťová úroveň komparátoru, je oddělen RC filtrem, který potlačuje pronikání spínacího rušení do obvodu reference DAC.



Obrázek 5.8: Časové průběhy napětí v uzlech komparátoru

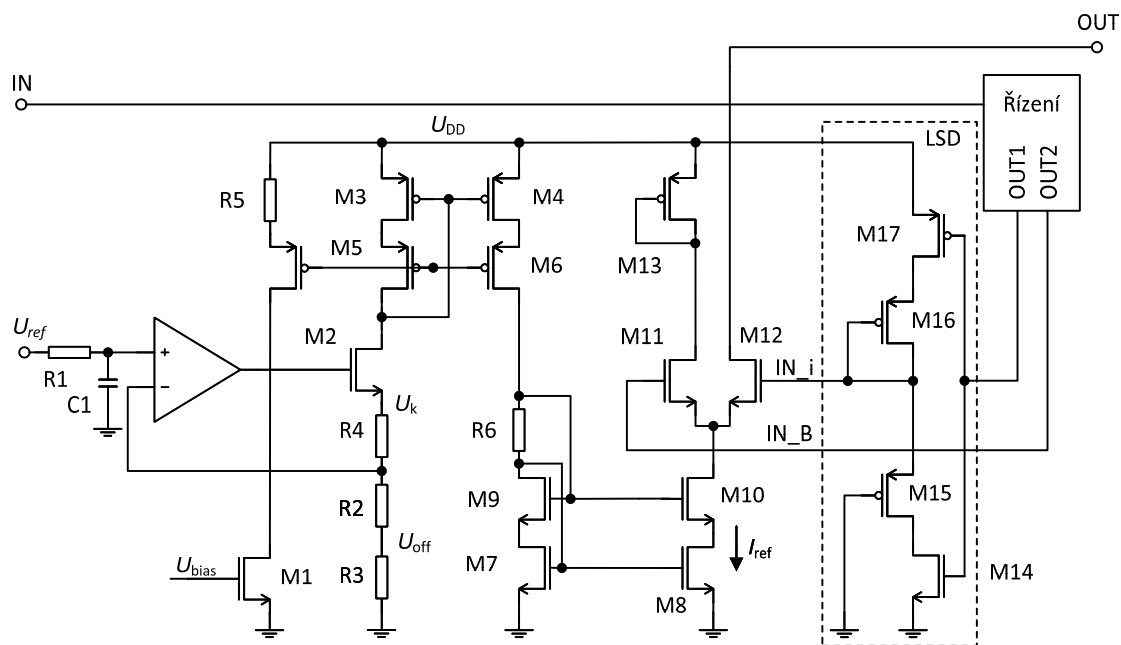
Na obrázku 5.8 je ukázána funkce komparátoru s průběhy vstupního signálu, napětí v uzlu *OUTP* a výstupu komparátoru. Tabulka 5.2 pak shrnuje jeho základní parametry. Proudová spotřeba komparátoru je nejvyšší při přepínání jednotlivých fází, zatímco v ustáleném stavu je nulová. Proto je spočítána jako střední hodnota, která závisí na frekvenci hodinového signálu. Pro 20 Mhz je typicky  $3,9 \mu\text{A}$ . Propagační zpoždění dosahuje typicky pod 1 ns, v nejhorším případě pak 3,5 ns.

Tabulka 5.2: Parametry komparátoru

Parametr	Min	Typ	Max	Jednotka
Propagační zpoždění do uzlu <i>OUTP</i>	0,59	0,76	3,5	ns
Propagační zpoždění do uzlu <i>OUTN</i>	0,59	0,86	3,3	ns
Propagační zpoždění na výstup	25,1	25,2	25,4	ns
Proudová spotřeba	3	3,9	5,7	$\mu\text{A}$

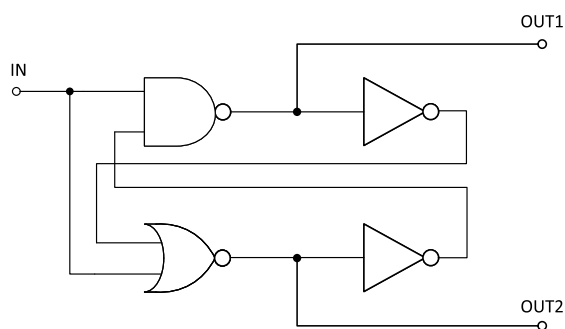
### 5.3. Převodník DA (DAC)

Jak bylo popsáno i v kapitole 4.1, převodník DA (obrázek 5.9) zapojený ve zpětné vazbě modulátoru  $\Sigma\Delta$  má dominantní vliv na jeho parametry. Základ tvoří generátor proudu z referenčního napětí pomocí operačního zesilovače, tranzistoru  $M_2$  a rezistoru  $R_2$  a  $R_3$ . Použitím tranzistoru  $M_2$  s trvalým kanálem, který má posunuté prahové napětí, není zapotřebí spojeného substrátu se sourcem (eliminace body efektu a zajištění saturačního režimu tranzistorů na výstupu OZ) a tím vlastní kapsy, jež by zabírala velkou plochu na čipu. Rezistory  $R_2$  a  $R_3$  jsou navrženy ve vhodném poměru, který zajišťuje možnost rozdělení na stejně velké segmenty spolu s rezistorem  $R_1$  v integrátoru pro dosažení jejich dobrého souběhu, a který určuje velikost napětí  $U_{off}$ . Hodnoty byly vypočítány v předcházející kapitole. Referenční proud je zrcadlen nejdříve PMOS a poté NMOS kaskodovým proudovým zrcadlem. Souběh těchto zrcadel se spolu se vstupní napětovou nesymetrií OZ projevuje na chybě zisku převodníku. Celková chyba zisku způsobená souběhem je dána součtem nekorelovaných chyb obvodu DAC a převodníku U/I v integrátoru. Proto byl převodník DA navržen s obdobnou přesností jako převodník U/I a dosahuje přibližně 2 % ( $3\sigma$ ).



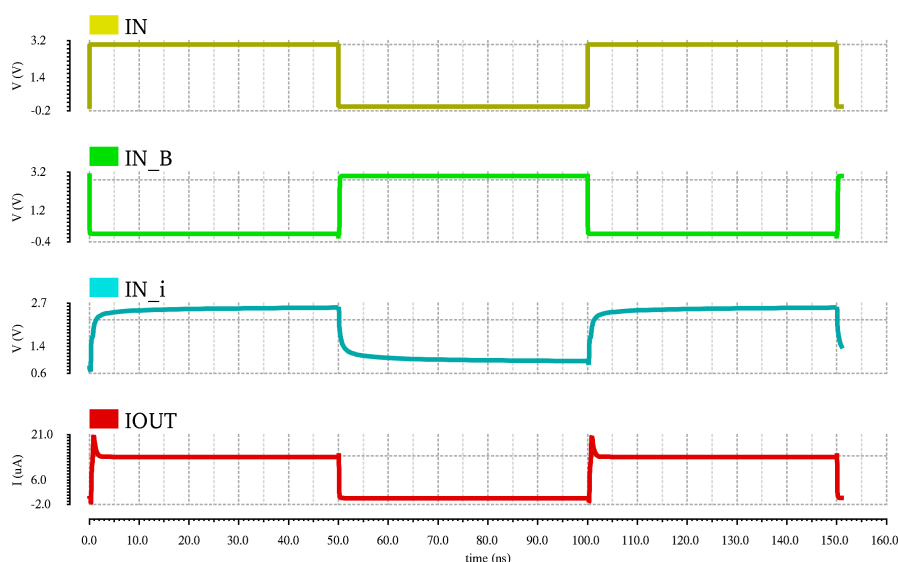
Obrázek 5.9: Zapojení DAC

Proud DAC je spínán k integračnímu kondenzátoru  $C_1$ , nebo k napájení. To zaručuje funkci tranzistorů NMOS proudového zrcadla ( $M_8, M_{10}$ ) vždy v saturač-



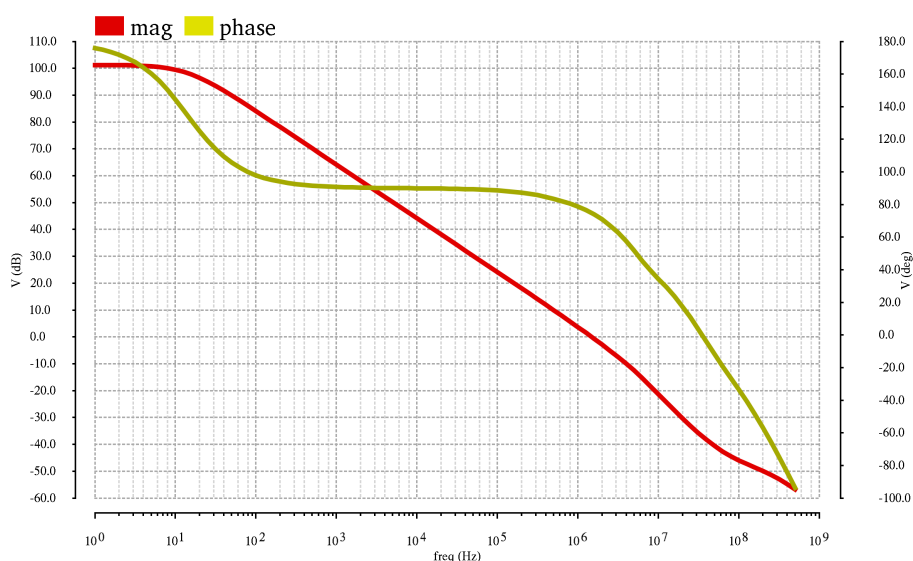
Obrázek 5.10: Zapojení generátoru řídicích signálů

ním režimu a tím malého zpoždění při spínání proudu. Přepínání proudu je řízeno nepřekrývajícími se signály, které zamezí vybíjení integračního kondenzátoru přes sepnutý tranzistor  $M_{11}$ . Obvod generování těchto signálů je ukázán na obrázku 5.10. Je použit NRZ tvar pulzů, kdy je výstup DAC sepnut po celou dobu při aktivním výstupu komparátoru. Jelikož nedokonalosti ve tvaru tohoto pulzu, jako např. překmity, nesymetrie hran apod., se projevují v nelinearitě převodníku a ovlivňují tím jeho přesnost, bylo pro spínání tranzistoru  $M_{12}$  navrženo řízení tvořené modifikovaným invertorem s omezeným výstupním rozkmitem (LSD), který redukuje chybu vzniklou injekcí náboje. Rozkmit řídicího napětí na hradle tranzistoru  $M_{12}$  je pak omezeno prahovým napětím PMOS tranzistoru shora i zdola.



Obrázek 5.11: Průběhy signálu v jednotlivých uzlech obvodu DAC

Obrázek 5.11 ukazuje funkci obvodu DAC s průběhy signálů na jeho vstupu, hradle spínacího tranzistoru  $M_{12}$  řízeného invertorem s omezeným rozkmitem, tran-

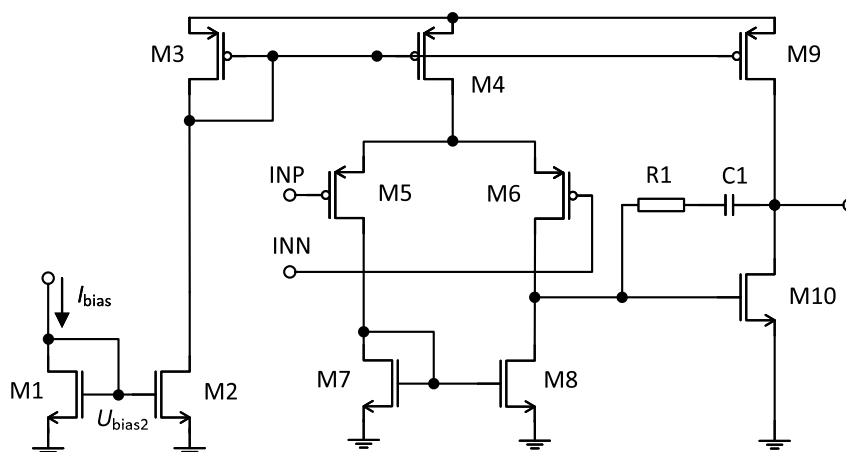


Obrázek 5.12: Frekvenční charakteristika zpětnovazební smyčky DAC (typ. proces)

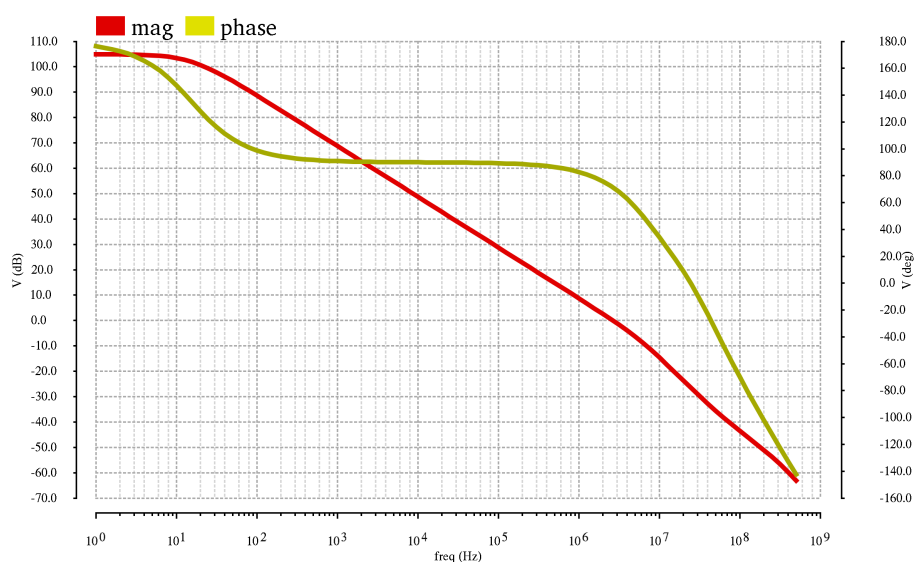
zistoru  $M_{11}$  a výstupního proudu. Patrný je mírný překmit výstupního proudu při sepnutí. Jeho velikost a délka je však dostatečně nízká vzhledem k celkovému integrovanému proudu. Obrázek 5.12 pak zobrazuje kmitočtovou charakteristiku zpětnovazební smyčky v obvodu DAC.

### 5.3.1. Operační zesilovač

Pro funkci proudové reference je využit standardní dvoustupňový Miller OTA operační zesilovač, který je zobrazen na obrázku 5.13. Náhodná napěťová nesymetrie OZ má vliv na velikost referenčního proudu a tím i chybu zisku převodníku, proto byla snaha ji snížit. Jelikož OZ pracuje se stejnosměrným signálem napěťové reference, není rychlost přeběhu nebo šířka pásma jednotkového zisku kritická. Cílem však bylo dosáhnout nízké proudové spotřeby. Obrázek 5.14 ukazuje typickou frekvenční charakteristiku navrženého OZ (výsledky corner analýzy jsou v příloze) a tabulka 5.3 pak shrnuje jeho základní parametry.



Obrázek 5.13: Zapojení operačního zesilovače



Obrázek 5.14: Frekvenční charakteristika operačního zesilovače (typ. proces)

Tabulka 5.3: Parametry OZ

Parametr	Min	Typ	Max	Jednotka
Zesílení	97	105	113	dB
Šířka pásma	1,8	2,6	4,6	MHz
Fázová rezerva	62	72	79	°
PSRR (20 MHz)	82	87	96	dB
Napětová nesymetrie ( $3\sigma$ )			4	mV
Proudová spotřeba	6,9	10	16,1	$\mu$ A

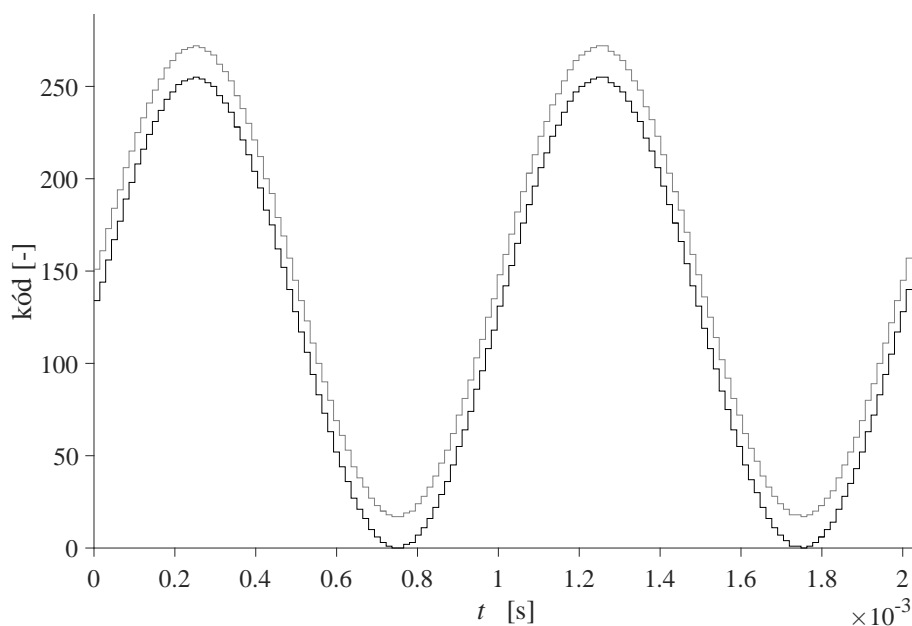
Pozn.:  $C_L = 100$  fF

## 5.4. Decimační filtr

Jako digitální filtrační a decimační blok slouží průměrovací filtr, který je realizován resetovatelným čítačem tak, jak je popsáno v kapitole behaviorálního návrhu. Pro ověření správné funkce převodníku v simulaci byl vytvořen jeho popis v jazyce Verilog-A, který je v příloze. Od decimované hodnoty je následně zapotřebí odečíst zavedenou chybu nuly, která činí 17 LSB.

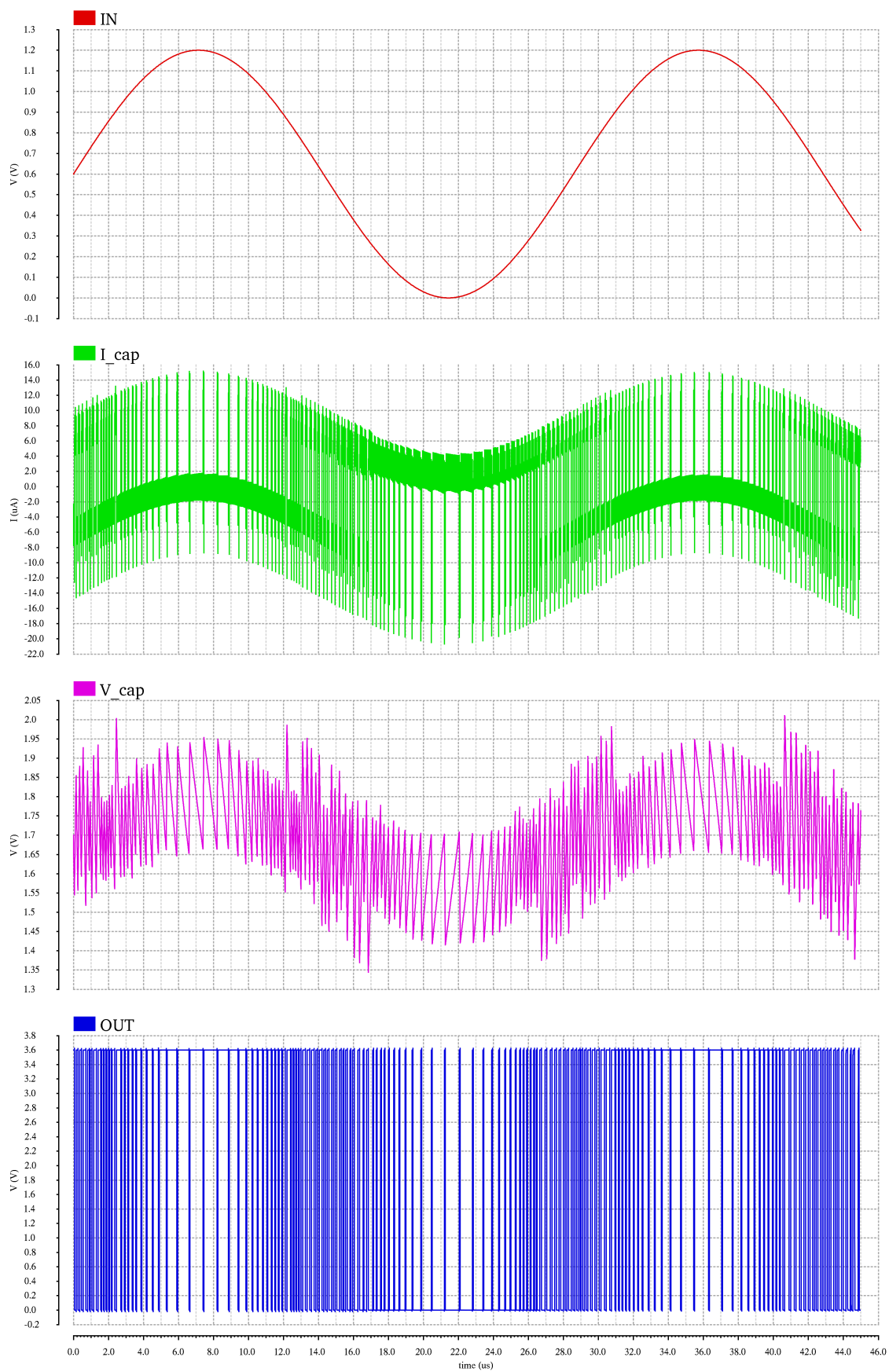
## 5.5. Výsledky simulace převodníku AD

Kompletní zapojení převodníku bylo simulováno na tranzistorové úrovni a chová se podle očekávání vytvořeného behaviorálního modelu. Na obrázku 5.16 jsou ukázány průběhy napětí vstupního signálu, proudu převodníku U/I, napětí na integračním kondenzátoru a výstupního PDM signálu. Obrázek 5.15 pak zobrazuje časový průběh výstupu převodníku AD po decimaci před i po odečtení zavedené chyby nuly (17 LSB) pro vstupní sinusový signál o frekvenci 1 kHz a amplitudě 1,2 V.

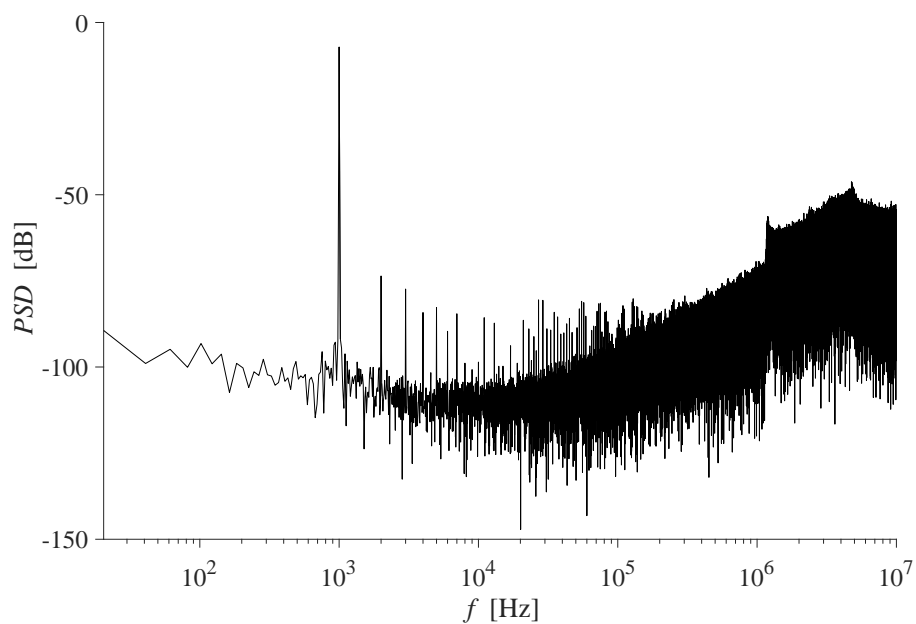
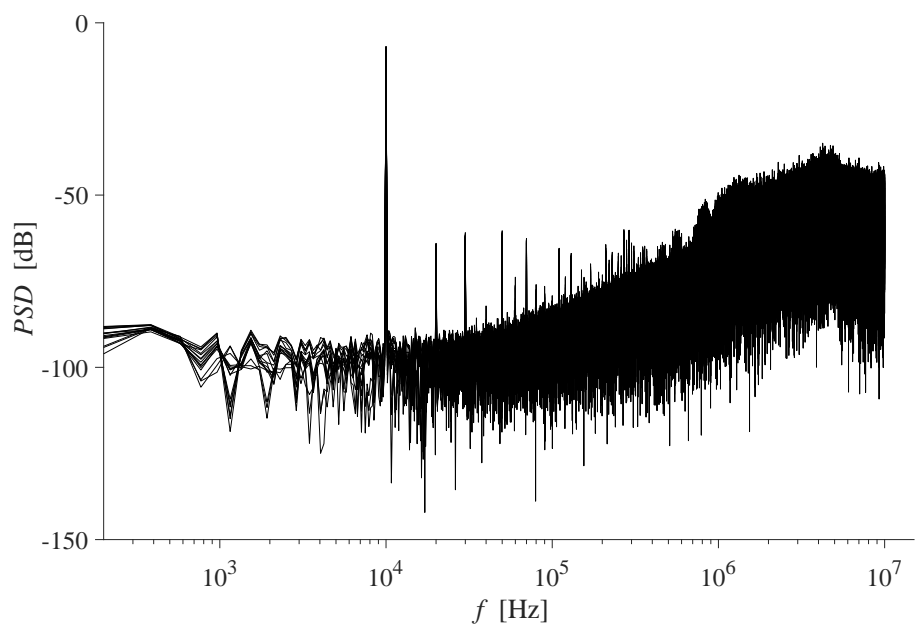


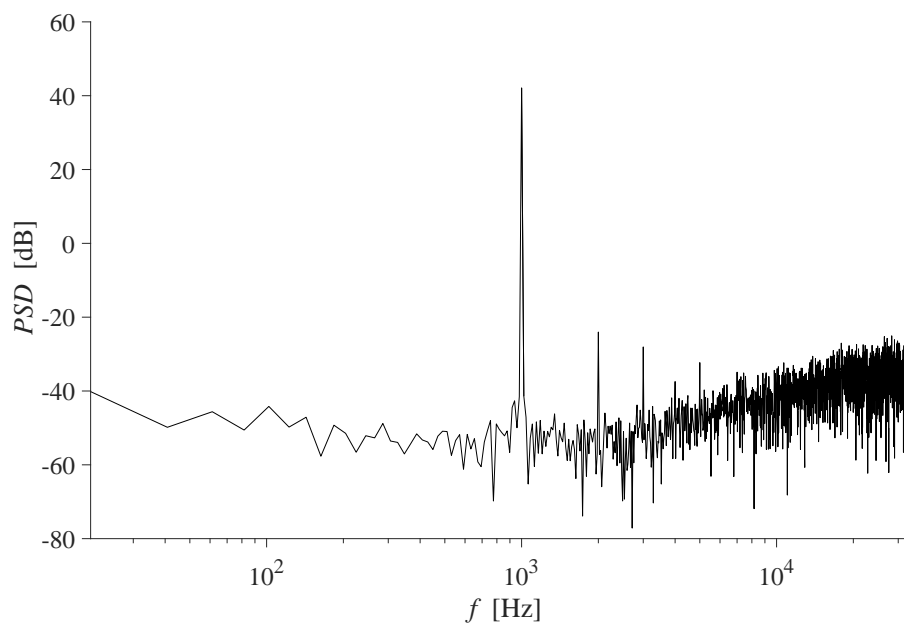
Obrázek 5.15: Průběh výstupu převodníku AD po decimaci před (šedá) i po odečtení (černá) zavedené chyby nuly

Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$  pro vstupní sinusový signál o frekvenci 1 kHz a amplitudě 1,2 V ukazuje obrázek 5.17. Jelikož je časová simulace obvodu nutná pro výpočet FFT v Matlabu výpočetně velmi náročná, byl zvolen jeden simulační corner (konkrétní nastavení odchýlení teploty, nap. napětí

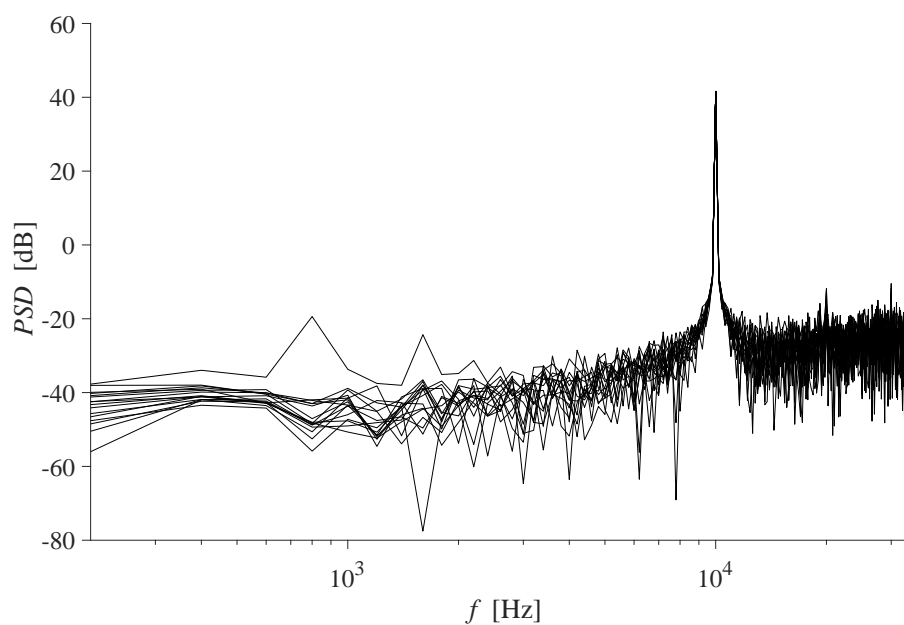


Obrázek 5.16: Průběhy signálu v jednotlivých uzlech navrženého modulátoru  $\Sigma\Delta$

Obrázek 5.17: Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$ Obrázek 5.18: Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$  z Monte Carlo analýzy

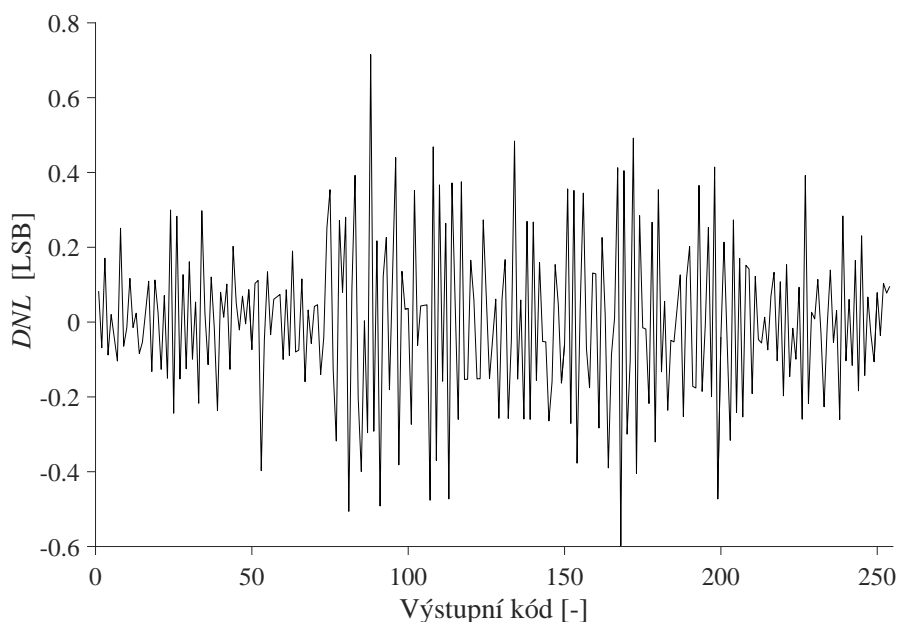


Obrázek 5.19: Rozložení výkonové spektrální hustoty převodníku  $\Sigma\Delta$  A/D po deциmaci



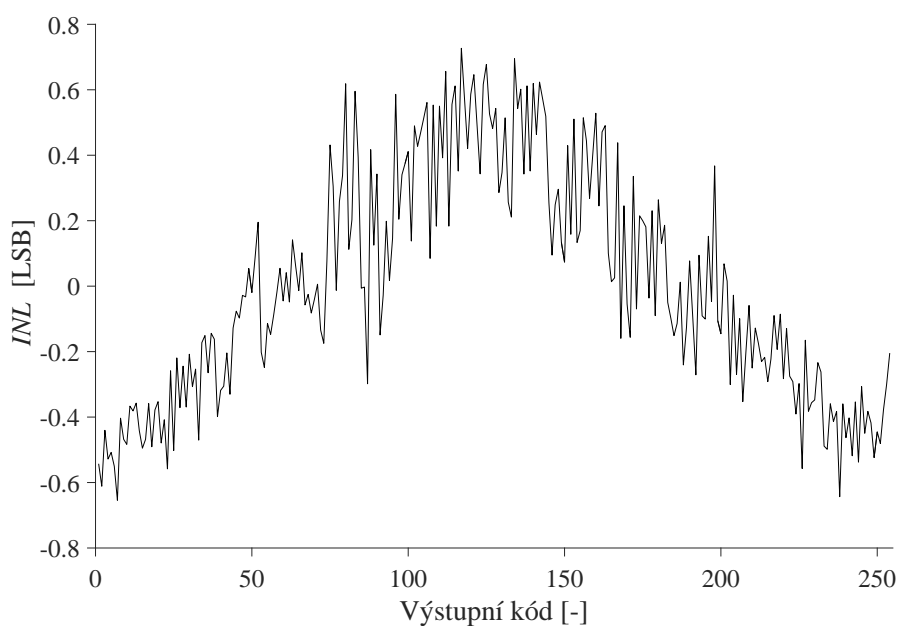
Obrázek 5.20: Rozložení výkonové spektrální hustoty převodníku  $\Sigma\Delta$  A/D po deциmaci z Monte Carlo analýzy

a parametrů modelů součástek od jejich typické hodnoty), ve kterém jsou na základě simulací jednotlivých bloků (zejména neidealit při spínání v bloku DAC) předpokládány nejhorší parametry celého převodníku (teplota 175 °C, nap. napětí 3,6 V, MOS slow\_5s, res spec\_hi, cap spec\_hi). Pro ověření správně funkce byla provedena i analýza Monte Carlo s 20 běhy a vstupním signálem o frekvenci 10 kHz. Jednotlivé vypočítané rozložení spektrálních výkonových hustot modulátoru jsou pak zobrazeny v zákrytu v jednom grafu na obrázku 5.18. Rozložení výkonové spektrální hustoty modulátoru  $\Sigma\Delta$  po decimaci pak znázorňuje obrázek 5.19 a výsledky z Monte Carlo analýzy obrázek 5.20. Žádný z běhů Monte Carlo analýzy nevybočuje od ostatních. Podobně jako v kapitole 4.1 je patrné postupné zvyšování spektrální výkonové spektrální hustoty při vyšších frekvencích z důvodu nízkého potlačení filtru v nepropustném pásmu. Dosažitelné *SNDR* je tím omezeno na 45,5 dB.



Obrázek 5.21: Rozložení chyby diferenciální nelinearity (předpokládaný nejhorší případ)

Diferenciální a integrální chyba převodníku byla určena na základě porovnání rozložení četnosti dostatečného množství jednotlivých převedených kódů pro vstupní sinusový signál (1 kHz) s předpokládaným ideálním rozložením pro daný vstupní signál (metoda histogramu) v programu Matlab. Nelinearitu převodníku ovlivňuje zejména nedokonalé spínání proudu bloku DAC. Proto byla simulace stejně jako v předchozím případě z důvodu výpočetní náročnosti provedena pro jeden simulační corner, který byl vybrán na základě simulací bloku DAC a u něhož se předpokládají nejhorší parametry (teplota 175 °C, nap. napětí 3,6 V, MOS slow\_5s, res spec\_hi,



Obrázek 5.22: Rozložení chyby integrální nelinearity (předpokládaný nejhorší případ)

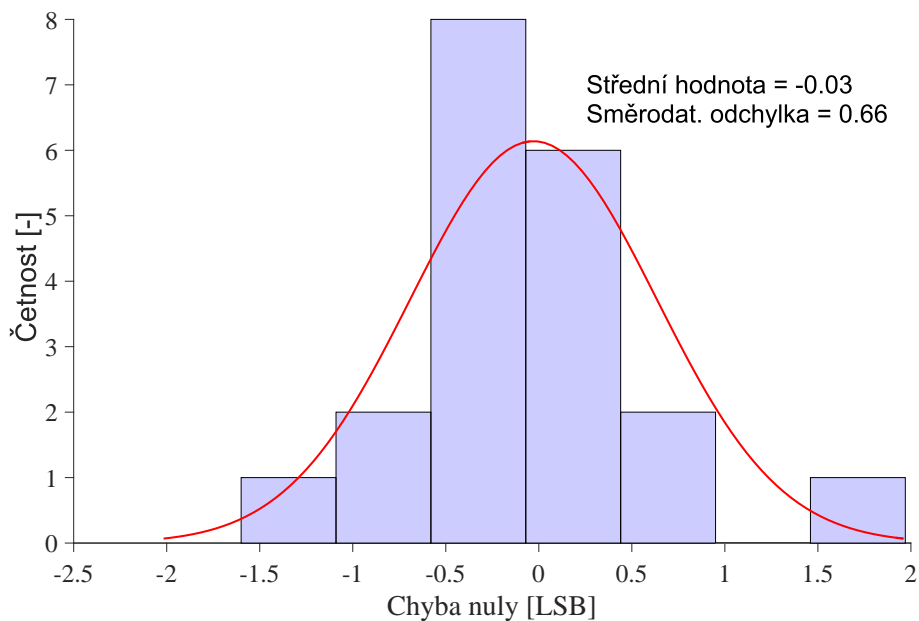
cap spec\_hi). Výsledné rozložení diferenciální nelinearity ukazuje obrázek 5.21 a integrální nelinearity pak obrázek 5.22. Nejvyšší chyba linearity ( $INL$  0,7 LSB) se objevuje ve středu rozsahu převodníku. Je to z toho důvodu, že právě v tomto případě je hustota pulzů PDM signálu nejvyšší a neidealita spínání proudu blokem DAC se tedy projevují nejvíce. Vliv nedokonalého spínání proudu DAC by bylo možné potlačit použitím RZ tvaru výstupních pulzů. V tomto případě by jeho nedokonalosti vedly především k chybě zisku, na linearitě by se však významně nepodílely.

Tabulka 5.4: Rozptyl převedených kódů pro jednotlivé napěťové úrovně

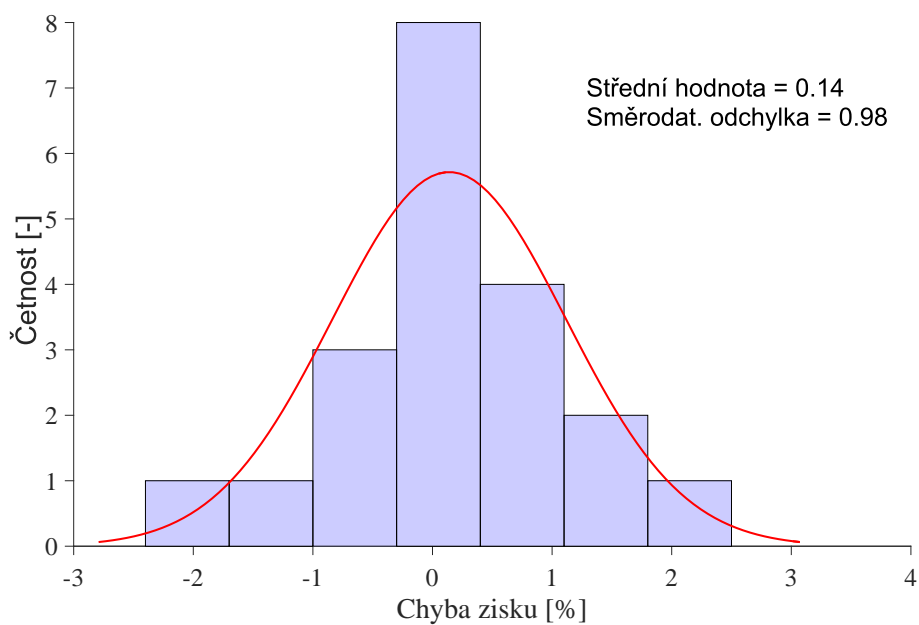
Vstupní napětí	Ideální hodnota	Střední hodnota	$\sigma$	Jednotka
0 V	0	0,158	0,602	LSB
0,24 V	51	51	0,918	LSB
0,48V	102	101,8	1,424	LSB
0,72 V	153	153,2	2,067	LSB
0,96 V	204	204,3	2,13	LSB
1,2 V	255	255,4	2,664	LSB

Analýzou Monte Carlo převedených kódů s 20 běhy pro šest vstupních napěťových úrovní byly metodou nejmenších čtverců získány převodní charakteristiky

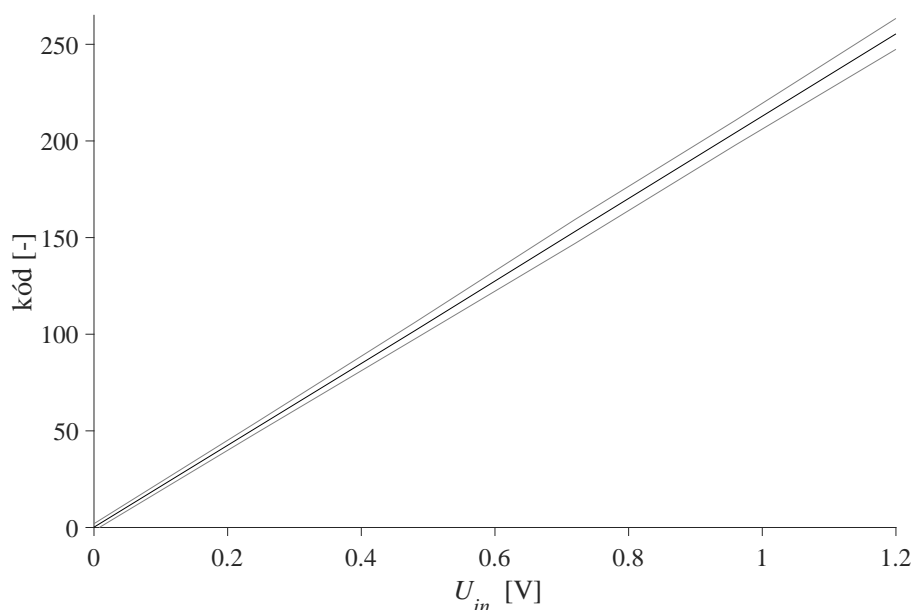
a vypočítány chyby nuly a zisku. Statistické rozložení chyby nuly pak ukazuje obrázek 5.23 a chyby zisku obrázek 5.24. Směrodatná odchylka chyby nuly činí 0,64 LSB a chyby zisku 0,95 %. Tabulka 5.4 shrnuje simulované odchylky pro jednotlivé úrovně, ze kterých je na obrázku 5.25 vykreslena převodní charakteristika i se zobrazením maximálního odklonu od typického průběhu pro odchylku odpovídající  $3\sigma$ .



Obrázek 5.23: Statistické rozložení chyby nuly



Obrázek 5.24: Statistické rozložení chyby zisku



Obrázek 5.25: Převodní charakteristika

## 5.6. Dosažené parametry

Následující tabulka 5.5 shrnuje dosažené parametry převodníku ze simulace na tranzistorové úrovni. Bylo dosaženo 10 efektivního počtu bitů pro samotný modulátor  $\Sigma\Delta$  při vzorkovací frekvenci 20 MHz a koeficientu převzorkování 289. Po decimaci navrženým filtrem je *ENOB* 7,3 bitů při rozlišení 8 bitů. Integrální a diferenciální nelinearita nepřekračuje  $\pm 0,7$  LSB, chyba nuly dosahuje 1,9 LSB a chyba zisku 2,9 %. Spotřeba celého převodníku je typicky  $100 \mu\text{A}$ . Parametry reálného zapojení převodníku AD na tranzistorové úrovni plně odpovídají výsledkům získaných behaviorální simulací v kapitole 4.1.

Základní parametry navrženého modulátoru  $\Sigma\Delta$  byly srovnány s jinými převodníky. Byly vybrány dva převodníky s architekturou sigma delta a jeden typu SAR. Z tabulky je patrné, že navržené zapojení má v porovnání s ostatními nejmenší plochu na čipu. Spotřeba oproti obvodu [31] je vyšší z důvodu vyššího napájecího napětí a oproti převodníkům SAR je mnohem užší šířka pásma, která je však porovnatelná s ostatními převodníky  $\Sigma\Delta$ .

Tabulka 5.5: Dosažené parametry převodníku

Parametr	Hodnota	Jednotka	
Vzorkovací frekvence $f_s$	20	MHz	
Rozlišení	8	bit	
Vstupní napěťový rozsah	0 - 1,2	V	
$OSR$	289	-	
Šířka užitečného pásma	35	kHz	
	$SNDR$	61,9	dB
Před decimací	$SFDR$	66,5	dB
	$ENOB$	10	bit
	$SNDR$	45,5	dB
Po decimaci	$SFDR$	66,1	dB
	$ENOB$	7,3	bit
$DNL$	$\pm 0,7$	LSB	
$INL$	$\pm 0,7$	LSB	
Chyba nuly ( $3\sigma$ )	1,9	LSB	
Chyba zisku ( $3\sigma$ )	2,9	%	
Proudová spotřeba (typ/max) <sup>1) 2)</sup>	99/135	$\mu A$	
Spotřeba (typ/max) <sup>1) 2)</sup>	326/486	mW	
Plocha na čipu <sup>2)</sup>	0,011	mm <sup>2</sup>	

<sup>1)</sup> Vstupní napětí 1,2 V

<sup>2)</sup> Bez decimačního filtru

Tabulka 5.6: Porovnání parametrů navrženého modulátoru SD s jinými převodníky

Parametry	Tato práce	[32]	[33]	[31]
Technologie [nm]	180	130	350	180
Typ převodníku	CT SD	SAR	SD	SD
Vzorkovací frekvence [MHz]	20	1	1	0,64
Šířka pásma [kHz]	35	500	5	5
$ENOB$ [bit]	10	6,9	13,67	7,6
Napájecí napětí [V]	3,3	1,2	3,3	0,8
Spotřeba [mW]	0,486	1,2	17,2	0,18
Plocha [mm <sup>2</sup> ]	0,011	0,1	0,65	0,05

# Závěr

Tato diplomová práce se zabývá návrhem sigma delta převodníku A/D pro senzornou aplikaci měření teploty na čipu v automobilovém prostředí.

Nejdříve byly popsány principy, parametry a nejčastější architektury převodníků A/D se zaměřením na modulátory  $\Sigma\Delta$ . Pozornost byla věnována i jevům ovlivňujícím výsledné parametry převodníku.

Dále byla navržena upravená struktura modulátoru  $\Sigma\Delta$  se spojitým časem pracujícím v proudovém režimu a proveden ideový návrh a výpočty. Výhoda navržené struktury spočívá v posunutí a rozšíření vstupního napětového rozsahu pro zpracování signálů od 0 V do 1,2 V při vysoké vstupní impedanci a relativně nízké obvodové komplexnosti. Vlastnosti byly ověřeny vytvořeným behaviorálním simulačním modelem v prostředí Simulink. Zjištěny byly vlivy neidealit na výsledné parametry systému. Simuloval se fázový neklid, nesymetrie náběžné a sestupné hrany výstupu DAC, zpoždění zpětné vazby, hystereze komparátoru, nelinearita integračního kondenzátoru, výstupní odpor proudových zrcadel apod.

Modulátor  $\Sigma\Delta$  byl následně navržen na tranzistorové úrovni ve výrobní technologii ONC18/I4T společnosti ON Semiconductor. Všechny dílčí bloky byly simulovány v návrhovém prostředí CADENCE s uvážením rozptylu teploty, napájecího napětí, výrobního procesu apod. Byly charakterizovány důležité parametry převodníku, ze kterých vyplývá, že návrh splňuje očekávané požadavky. Dosaženo bylo 10 efektivního počtu bitů samotného modulátoru  $\Sigma\Delta$  při vzorkovací frekvenci 20 MHz a koeficientu převzorkování 289. Po decimaci navrženým filtrem je *ENOB* 7,3 bitů při rozlišení 8 bitů. Chyba nuly je 1,9 LSB, chyba zisku 2,9 % vstupního rozsahu a integrální a diferenciální nelinearita nepřekračuje  $\pm 0,7$  LSB. Výhoda navrženého převodníku AD spočívá v posunutí a rozšíření vstupního napětového rozsahu pro zpracování signálů od 0 V do 1,2 V při vysoké vstupní impedanci, použití pouze nelineárních kondenzátorů MOSCAP, nízké obvodové komplexnosti a tím i plochy na čipu (0,011 mm<sup>2</sup>) a také nízké proudové spotřeby, jež typicky dosahuje 100  $\mu$ A.

# Literatura

- [1] CARUSONE, Tony Chan, David JOHNS, Kenneth W. MARTIN a David JOHNS. *Analog integrated circuit design*. 2nd ed. Hoboken, NJ: John Wiley & Sons, 2012. ISBN 978-0-470-77010-8. OCLC: ocn751717304.
- [2] SMITH, Steven W. *The scientist and engineer's guide to digital signal processing*. San Diego (Calif.): California Technical Pub., 1999. ISBN 978-0-9660176-4-9 978-0-9660176-7-0 978-0-9660176-6-3. OCLC: 493473234.
- [3] CHERRY, James A. *Theory, Practice, and Fundamental Performance Limits of High-Speed Data Conversion Using Continuous-Time Delta-Sigma Modulators* [online]. Carleton University, [cit. 2016-12-11]. Dostupné z: [http://www.ee.iitm.ac.in/videolectures/lib/exe/fetch.php?media=ee658\\_2008:cherry-thesis.pdf](http://www.ee.iitm.ac.in/videolectures/lib/exe/fetch.php?media=ee658_2008:cherry-thesis.pdf).
- [4] *Understanding Flash ADCs - Tutorial - Maxim*. [online]. [Cit. 2016-12-11]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/810>.
- [5] *Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs - Tutorial - Maxim*. [online]. [Cit. 2016-12-11]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1080>.
- [6] KLEDROWETZ, Vilém. *Vliv rozlišení MDAC na bloky řetězového převodníku AD*. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 82 s.
- [7] *Understanding Pipelined ADCs - Tutorial - Maxim*. [online]. [Cit. 2016-12-11]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1023>.
- [8] *Understanding Integrating ADCs - Tutorial - Maxim*. [online]. [Cit. 2016-12-11]. Dostupné z: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1041>.

- 
- [9] SCHREIER, Richard a Gabor C. TEMES. *Understanding delta-sigma data converters*. Piscataway, NJ : Hoboken, N.J. ; Chichester: IEEE Press ; Wiley, 2005. ISBN 978-0-471-46585-0. OCLC: ocm53156181.
- [10] ROSA, J. M. de la. Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2011, roč. 58, č. 1, s. 1–21. ISSN 1549-8328. Dostupné z: doi:10.1109/TCSI.2010.2097652.
- [11] MARIN, Jorge Vicente De la Cruz. *INTEGRATED CIRCUIT DESIGN OF SIGMA-DELTA MODULATOR FOR ELECTRIC ENERGY MEASUREMENT APPLICATIONS* [online]. 2013 [cit. 2016-12-11]. Dostupné z: <http://www.pee.ufrj.br/teses/textocompleto/2013100701.pdf>.
- [12] PARK, Sangil. *Principles of Sigma-Delta Modulation for Analog-to-Digital Converters* [online]. MOTOROLA. Dostupné z: <http://www.engr.colostate.edu/ECE423/docs/APR8-sigma-delta.pdf>.
- [13] MLADENOV, Valeri, Panagiotis KARAMPELAS, Georgi TSENOV a Vassiliki VITA. Approximation Formula for Easy Calculation of Signal-to-Noise Ratio of Sigma-Delta Modulators. *ResearchGate* [online]. 2011 [cit. 2016-11-22], roč. 2011, č. 1. ISSN 2090-5041. Dostupné z: doi:10.5402/2011/731989. Dostupné z: [https://www.researchgate.net/publication/48227261\\_Approximation\\_Formula\\_for\\_Easy\\_Calculation\\_of\\_Signal-to-Noise\\_Ratio\\_of\\_Sigma-Delta\\_Modulators](https://www.researchgate.net/publication/48227261_Approximation_Formula_for_Easy_Calculation_of_Signal-to-Noise_Ratio_of_Sigma-Delta_Modulators).
- [14] TAO, Sha. *Power-efficient continuous-time incremental sigma-delta analog-to-digital converters* [online]. Stockholm: Information a Communication Technology, KTH Royal Institute of Technology, 2015 [cit. 2016-12-13]. Dostupné z: <http://urn.kb.se/resolve?urn=urn:nbn:se:kth:diva-164282>. OCLC: 942610071.
- [15] KELLER, M., A. BUHMANN, F. GERFERS, M. ORTMANN a Y. MANOLI. On the Implicit Anti-Aliasing Feature of Continuous-Time Cascaded Sigma-Delta Modulators. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2007, roč. 54, č. 12, s. 2639–2645. ISSN 1549-8328. Dostupné z: doi:10.1109/TCSI.2007.906070.
- [16] PEEV, P., B. D. VUYST, P. ROMBOUTS a A. A. HAMOUI. An anti-aliasing filter inspired by continuous-time sigma-delta modulation. In: *2008 15th*

- 
- IEEE International Conference on Electronics, Circuits and Systems*. 2008, s. 854–857. Dostupné z: doi:10.1109/ICECS.2008.4674988.
- [17] MESADRI, Conrado Kamienski. *Continuous – Time  $\Delta\Sigma$  Modulation* [online]. 2011 [cit. 2016-12-11]. Dostupné z: <http://www.cricte2004.eletrica.ufpr.br/ufpr2/tccs/213.pdf>.
- [18] CHANG, Hairong. *Design of a Fourth-Order Continuous-Time Delta-Sigma A/D Modulator with Clock Jitter Correction* [online]. University of Minnesota Duluth, 2009 [cit. 2016-12-11]. Dostupné z: [http://conservancy.umn.edu/bitstream/handle/11299/59768/Chang\\_Hairong\\_October2009.pdf?sequence=1&isAllowed=y](http://conservancy.umn.edu/bitstream/handle/11299/59768/Chang_Hairong_October2009.pdf?sequence=1&isAllowed=y).
- [19] JUANG, Philip Weimin. *A Continuous Time Sigma-Delta Modulator for Digitizing Carrier Band Measurements* [online]. MASSACHUSETTS INSTITUTE OF TECHNOLOGY, 2001 [cit. 2016-12-11]. Dostupné z: <https://dspace.mit.edu/bitstream/handle/1721.1/86681/49210217-MIT.pdf?sequence=2>.
- [20] CALDWELL, Trevor. *Clock Jitter and Excess Loop Delay in Continuous-Time Delta-Sigma Modulators* [online]. 2002 [cit. 2016-12-11]. Dostupné z: [http://www.eecg.toronto.edu/~kphang/papers/2002/tcaldwell\\_oversampled.pdf](http://www.eecg.toronto.edu/~kphang/papers/2002/tcaldwell_oversampled.pdf).
- [21] ANDERSSON, Mattias. *Continuous-Time Delta-Sigma Modulators for Wireless Communication* [online]. Lund Institute of Technology, 2014 [cit. 2016-12-11]. Dostupné z: <http://www.lunduniversity.lu.se/lup/publication/840014a8-f65f-44cb-83b4-ded07a3dc327>.
- [22] CHERRY, James A. a W. Martin SNELGROVE. *Continuous-time delta-sigma modulators for high-speed A/D/ conversion: theory, practice, and fundamental performance limits*. Boston: Kluwer Academic Pub, 2000. Kluwer international series in engineering and computer science ; Analog circuits and signal processing. ISBN 978-0-7923-8625-4.
- [23] JIANG, Y., K. F. WONG, C. Y. CAI, S. W. SIN, S. P. U a R. P. MARTINS. A reduced jitter-sensitivity clock generation technique for continuous-time  $\Delta\Sigma$  modulators. In: *2010 IEEE Asia Pacific Conference on Circuits and Systems*. 2010, s. 1011–1014. Dostupné z: doi:10.1109/APCCAS.2010.5774943.

- 
- [24] TAO, Sha, Julian GARCIA, Saul RODRIGUEZ a Ana RUSU. Analysis of exponentially decaying pulse shape DACs in continuous-time sigma-delta modulators. In: [online]. IEEE, 2012 [cit. 2016-12-13], s. 424–427. ISBN 978-1-4673-1260-8 978-1-4673-1261-5 978-1-4673-1259-2. Dostupné z: doi:10.1109/ICECS.2012.6463659. Dostupné z: <http://ieeexplore.ieee.org/document/6463659/>.
- [25] ZARE-HOSEINI, H. a I. KALE. Continuous time delta sigma modulators with reduced clock jitter sensitivity. In: *2006 IEEE International Symposium on Circuits and Systems*. 2006, s. 4 pp.–. Dostupné z: doi:10.1109/ISCAS.2006.1693847.
- [26] PAVAN, Shanthi a Yannis TSIVIDIS. *High frequency continuous time filters in digital CMOS processes*. Boston: Kluwer Academic Publishers, 2000. ISBN 978-0-7923-7773-3.
- [27] BAKER, Bonnie. *How delta-sigma ADCs work, Part 2* [online]. Texas Instruments Incorporated, 2011 [cit. 2016-12-11]. Dostupné z: <http://www.ti.com/lit/an/slyt438/slyt438.pdf>.
- [28] KAALD, R., I. LØKKEN, B. HERNES a T. SÆTHER. High-level continuous-time sigma delta design in Matlab/Simulink. In: *NORCHIP, 2009*. 2009, s. 1–6. Dostupné z: doi:10.1109/NORCHP.2009.5397821.
- [29] DUQUE-CARRILLO, J. F., G. TORELLI, R. PÉREZ-ALOE, J. M. VALVERDE a F. MALOBERTI. Fully Differential Basic Building Blocks Based on Fully Differential Difference Amplifiers with Unity-Gain Difference Feedback. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* [online]. 1995, roč. 42, č. 3, s. 190–192. Dostupné z: <http://ims.unipv.it/%20franco/JournalPaper/56.pdf>.
- [30] SAAD, Ramy, Sebastian HOYOS a Samuel PALERMO. Analysis and Modeling of Clock-Jitter Effects in Delta-Sigma Modulators. [online]. 2012 [cit. 2016-12-11]. Dostupné z: doi:10.5772/46453. Dostupné z: <http://www.intechopen.com/books/matlab-a-fundamental-tool-for-scientific-computing-and-engineering-applications-volume-1/analysis-and-modeling-of-clock-jitter-effects-in-delta-sigma-modulators>.
- [31] LEE, S. Y. a C. J. CHENG. A Low-Voltage and Low-Power Adaptive Switched-Current Sigma-Delta ADC for Bio-Acquisition Microsystems. *IEEE Transacti-*

- ons on Circuits and Systems I: Regular Papers*. 2006, roč. 53, č. 12, s. 2628–2636. Dostupné z: doi:10.1109/TCSI.2006.883854.
- [32] TRAKIMAS, M., R. D'ANGELO a S. AERON. A Compressed Sensing Analog-to-Information Converter With Edge-Triggered SAR ADC Core. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2013, roč. 60, č. 5, s. 1135–1148. Dostupné z: doi:10.1109/TCSI.2013.2244435.
- [33] KLEDROWETZ, Vilém. *Nová struktura modulátoru delta-sigma nízkého řádu s vysokým rozlišením*. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 108 s.

# Seznam použitých zkratek a symbolů

$A$	náboj přenesený během jedné periody
A/D	analogově-digitální
$A_0$	zisk otevřené smyčky
AAF	antialiasingový filtr
ADC	analogově-digitální převodník
$ADC_0$	výstupní kód ADC při nulovém vstupním napětí
$C_0$	typická hodnota kapacity
$C_R$	relativní koeficient kapacity
CT	system se spojitým časem
DAC	digitálně-analogový převodník
DDA	diferenčně diferenciatní zesilovač
$\Delta t$	časová chyba hodinové hrany
$DNL$	diferenciatní nelinearita
DT	system s diskretním časem
$E$	kvantizační šum
$\varepsilon_j$	chyba fázového neklidu
$ELD$	zpoždění zpětné vazby
$ENOB$	efektivní počet bitů
$f$	frekvence
$f_b$	šířka pásma vstupního signálu

---

$f_e$	pravděpodobnostní funkce kvantizační chyby
FFT	rychlá Fourierova transformace
$f_N$	Nyquistova frekvence
$f_s$	vzorkovací frekvence
FSCR	typ průběhu výstupu DAC - Full-Clock Period switched capacitor-resistor
$gm$	transkonduktance
$H$	přenosová funkce
$I_0$	typická hodnota proudu
$i_1$	proud převodníku napětí na proud
$INL$	integrální nelinearita
$I_{ref}$	referenční proud
$k_n$	koeficient zisku
$L$	řád modulátoru SD
$LSB$	nejméně významný bit
MOS	typ tranzistoru kov-oxid-polovodič
$MSB$	nejvíce významný bit
$N$	rozlišení
NRZ	typ průběhu výstupu DAC - non return to zero
$NTF$	šumová přenosová funkce
$OSR$	koeficient převzorkování
PDM	pulzně hustotní modulace
$P_{noise}$	RMS hodnota výkonu šumu signálu
$P_{signal}$	RMS hodnota výkonu šumu signálu
$RC$	časová konstanta
$R_D$	dynamický odpor
$R_{DAC}$	přenosová funkce DAC
$RMS$	efektivní hodnota
RZ	typ výstupu průběhu DAC - return to zero

---

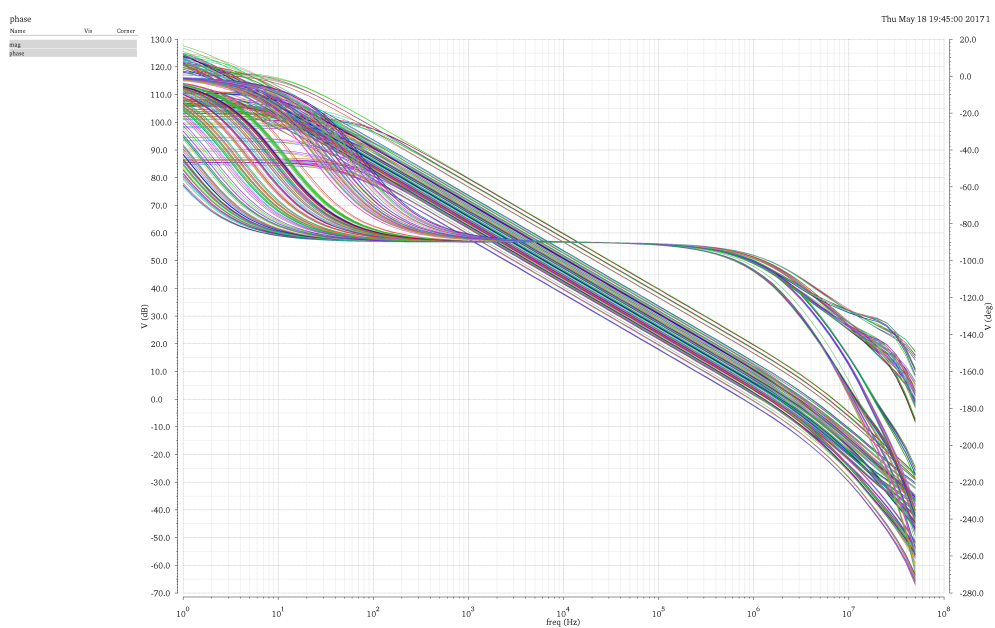
$SAR$	registr s postupnou aproximací
$SD$	sigma delta
$S_{e2}$	spektrální hustota výkonu šumu při převzorkování
$SFDR$	dynamický rozsah bez intermodulačního zkreslení
$SNDR$	odstup signálu od šumu a zkreslení
$SNR$	odstup signálu od šumu
$SQNR$	odstup signálu od kvantizačního šumu
$STF$	signálová přenosová funkce
$t_d$	zpoždění
$THD$	harmonické zkreslení
$U$	výstup kvantizačního obvodu
$U_{DA}$	přepočtenné výstupní napětí DAC
$U_e$	RMS hodnota kvantizační chyby
$U_{e2}$	RMS hodnota kvantizačního šumu při převzorkování
$U_{in}$	vstupní napětí
$U_k$	prahové napětí komparátoru
$U_{nn}$	vstup DDA
$U_{noise}$	RMS hodnota šumu signálu
$U_{np}$	vstup DDA
$U_{off}$	offsetové napětí
$U_{out}$	výstupní napětí
$U_{pn}$	vstup DDA
$U_{pp}$	vstup DDA
$U_{ref}$	referenční napětí
$U_{signal}$	RMS hodnota šumu signálu
$X$	vstupní signál
$Y$	výstup modulátoru
$Y_{CT}$	vstup kvantizačního obvodu CT modulátoru

## SEZNAM POUŽITÝCH ZKRATEK A SYMBOLŮ

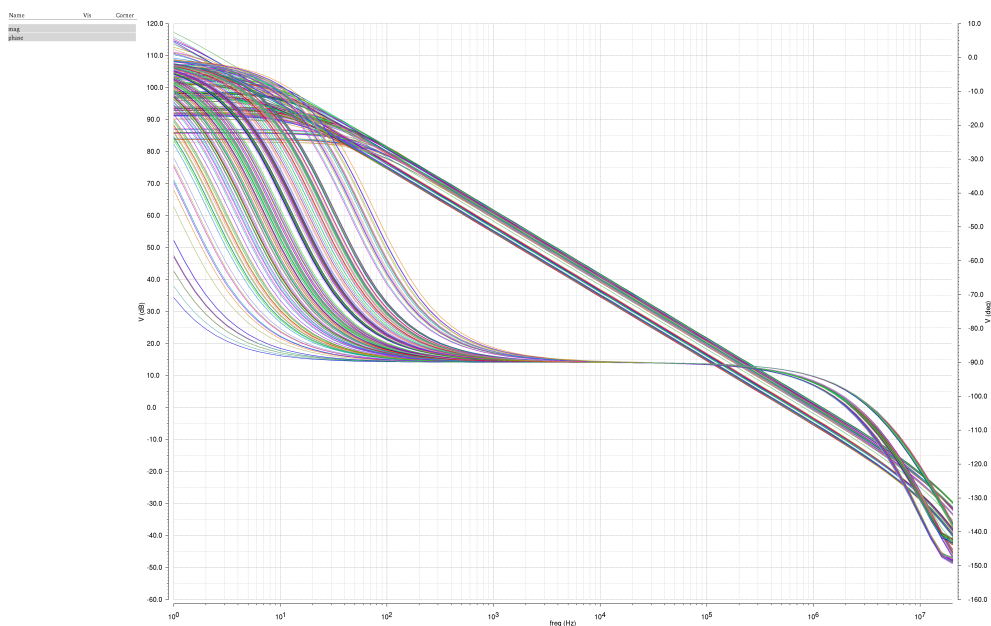
---

$Y_{DT}$	vstup kvantizačního obvodu DT modulátoru
$y_{oout}$	výstup komparátoru
$Z$	výstup DAC

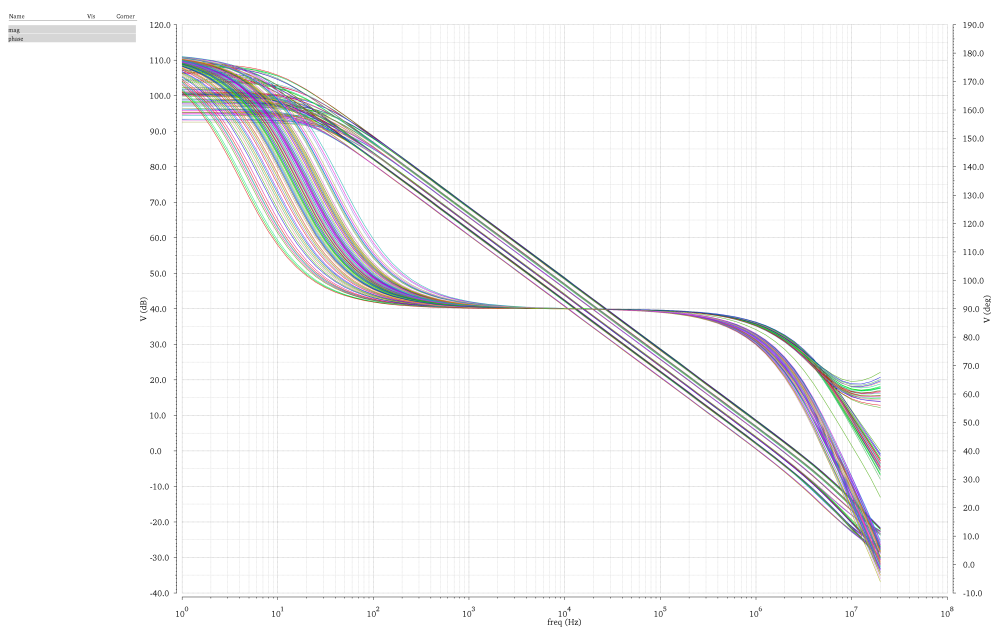
# A. Doplnující simulace



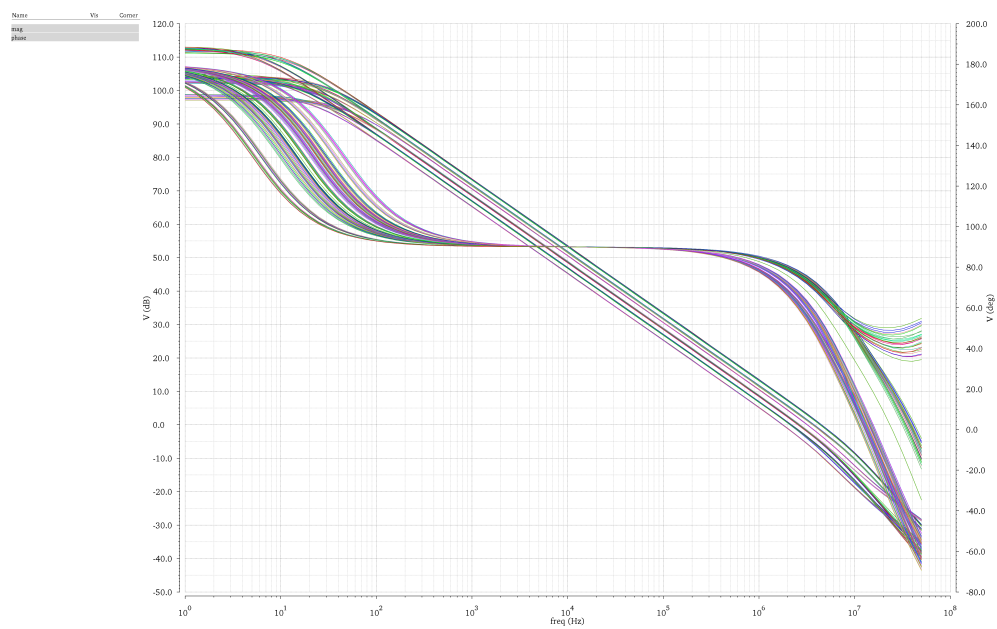
Obrázek A.1: Frekvenční charakteristika zpětnovazební smyčky integrátoru (corner analýza)



Obrázek A.2: Frekvenční charakteristika DDA (corner analýza)

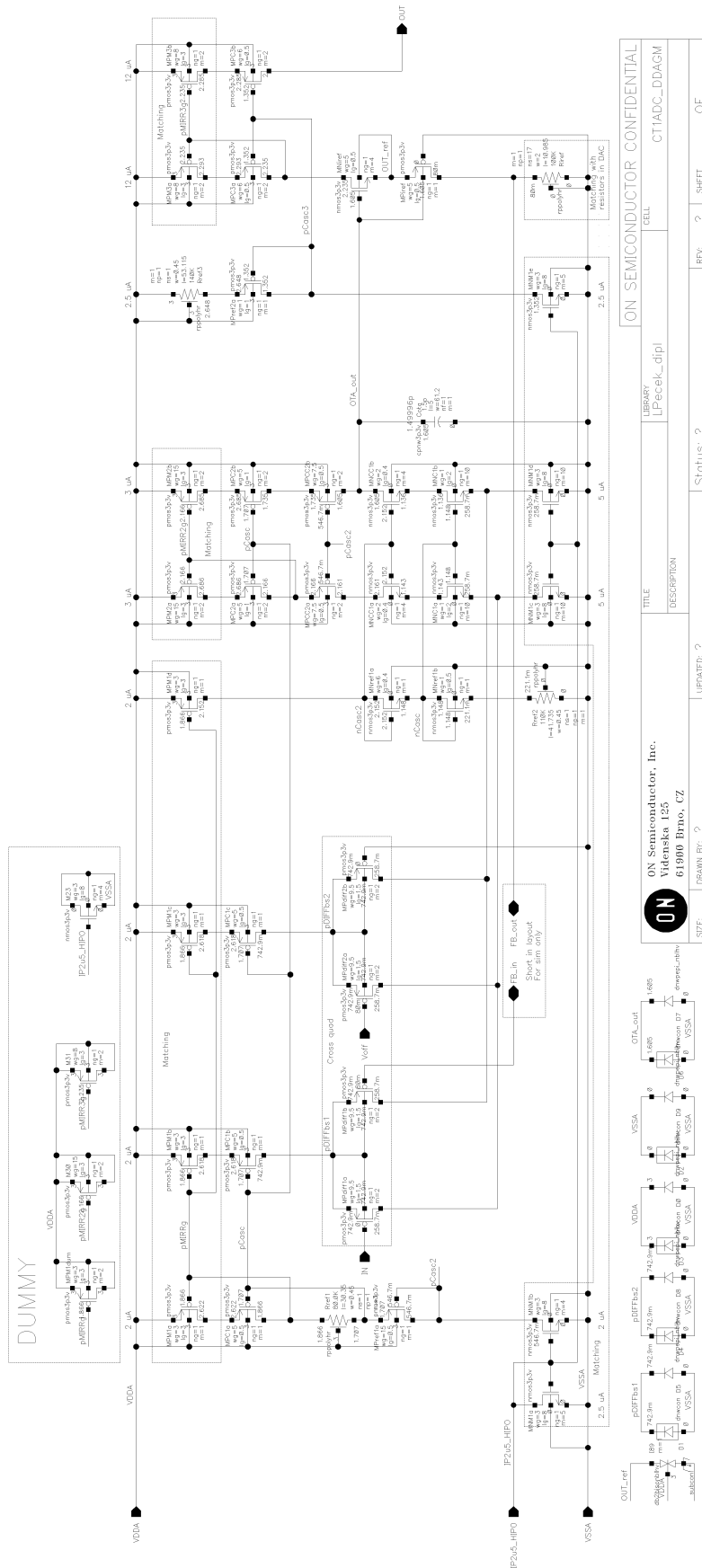


Obrázek A.3: Frekvenční charakteristika zpětnovazební smyčky DAC (corner analýza)



Obrázek A.4: Frekvenční charakteristika operačního zesilovače (corner analýza)





Obrázek B.2: Zapojení převodníku U/I (GM)





## C. Decimační filtr (Verilog-A)

```
'include "constants.vams"
'include "disciplines.vams"

//-----
// decimator
// vin:  [V,A]
// vout:  [V,A]
// vclk:  [V,A]
//
// INSTANCE parameters
//   vtrans      = transition voltage [V]
//   tdel, trise , tfall = {usual} [s]
//
module decimator(vin, vout, vclk, vrst);
input vin, vclk, vrst; output vout;
electrical vin, vout, vclk, vrst;
parameter real vtrans=1.7;
parameter real tdel = 0 from [0:inf);
parameter real trise = 0 from [0:inf);
parameter real tfall = 0 from [0:inf);

    integer cnt, f_pointer;
    integer count;
    integer sum;
    real vout_val;

analog begin
    @(initial_step) begin
        f_pointer = $fopen("/home/zbcwvn/Desktop/sim/sd_decim%P_%T.txt ");
        cnt = 0;
    end
    @(final_step) begin
        $fclose(f_pointer);
    end

    end

    @( cross(V(vclk) - vtrans, 1.0) ) begin
        if (V(vin)>1.5) begin
            sum = sum + 1;
        end
    end

end
```

```
@ (cross(V(vrst) - vtrans, -1.0)) begin
    vout_val = sum;
    cnt = cnt + 1;
    $fstrobe(f_pointer,"%d \t %d",cnt,sum);
end

if (V(vrst)<vtrans_clk) begin
    sum = 0.0;
end

V(vout) <+ transition(vout_val,tdel, trise, tfall);
end
endmodule
```

# D. Základní zdrojové kódy Matlab

## D.1. Modulátor $\Sigma\Delta$

```
clear all; % reset everything
Vref = 1.2; % range
offset = Vref/15; % added range offset
numbit = 8; % ADC resolution
Fs = 20e6;
osr = ceil((2^numbit-1)*(1 + 2*offset/Vref)); % over-sampling ratio
fmod = 70E3; % sampling freq/osr
fmod2 = 10010; % input frequency
nmod = 1000; % number of cycles of fmod to simulate
kmod = 1; % number of cycles of fmod to leave for
    startup
acmag = 0.6; % input amplitude
A1 = 0;
jitter = 0.00054; % clock jitter relative to sampling
    period
tQ = 1/(osr*fmod); % sampling period
jitter = jitter^2; % jitter std. deviation
F1 = 0.3/(Vref*tQ); % gm/C of integrator
loop_del = tQ*0.04; % excess loop delay
hysteresis = 0.0; % comparator hysteresis
thermal_noise = 600e-6; % integral noise
thermal_noise = thermal_noise^2;
gm = 1/50e3;
Rd = 500e6; % dynamic resistance
slope_asymmetry = 0.002; % asymmetry of DAC output switching
cap_table = [0.72 0.78 0.85 0.88 0.91 0.96 0.97 0.98 0.987 0.99 1];

%input signal generation—————
t = tQ*[0:osr*(nmod+kmod)]';
uin = acmag*sin(2*pi*fmod2*t)+Vref/2;
input = [t, uin];
%—————
sim('sigmadelta_adc_nonideal4'); % run Simulink model
lasty = yout(length(yout)-osr*nmod+1:length(yout)); % limit to last osr*nmod samples
lasty1 = yout1(length(yout1)-osr*nmod+1:length(yout1)); % limit to last osr*nmod samples
lasty2 = yout2(length(yout2)-osr*nmod+1:length(yout2)); % limit to last osr*nmod samples
lastt = t(length(t)-osr*nmod+1:length(t)); % limit to last osr*nmod samples
lastuin = uin(length(uin)-osr*nmod+1:length(uin)); % limit to last osr*nmod samples
```

```
Pout = fft((lasty))/(osr*nmod/2);
%-----
figure1 = figure(1);
axes1 = axes('Parent',figure1);
hold(axes1,'on');
F = (0:(osr*nmod/2-1)) / (osr*nmod*tQ);
semilogx(F, 20*log10(abs(Pout(1:osr*nmod/2))), 'Color',[0 0 0])
title('Spektrální hustota výkonu')
xlabel('\it f \rm [Hz]')
ylabel('\it PSD \rm [dB]')
xlim(axes1,[fmod/nmod osr*fmod/2]);
set(axes1,'TickDir','out','XScale','log');
box(axes1,'off');
matlab2tikz('psd.tikz','height','\figureheight','width','\figurewidth');
%-----
figure(2)
stairs(lastt,lasty)
hold on; grid on;
plot(lastt,lastuin)
hold off;
title('Výstupní signál')
xlabel('t [s]')
ylabel('U [V]')
figure(1)
%-----
figure3 = figure(3);
subplot(4,1,1);
plot(lastt,lastuin,'Color',[0 0 0])
title('Uin')
xlabel('t [s]')
ylabel('U [V]')
subplot1 = subplot(4,1,1,'Parent',figure3);
xlim(subplot1,[0 lastt(length(lastt))]);
ylim(subplot1,[-0.3 1.5]);
set(subplot1,'TickDir','out');
box(subplot1,'off');

subplot(4,1,2);
lasty1 = lasty1.*gm;
plot(lastt,lasty1,'Color',[0 0 0])
title('i')
xlabel('t [s]')
ylabel('I [A]')
subplot2 = subplot(4,1,2,'Parent',figure3);
xlim(subplot2,[0 lastt(length(lastt))]);
ylim(subplot2,[-0.6e-4 0.6e-4]);
set(subplot2,'TickDir','out');
box(subplot2,'off');

subplot(4,1,3);
plot(lastt,lasty2,'Color',[0 0 0])
title('u2')
xlabel('t [s]')
ylabel('U [V]')
```

```

subplot3 = subplot(4,1,3,'Parent',figure3);
xlim(subplot3,[0 lastt(length(lastt))]);
ylim(subplot3,[1.3 2.1]);
set(subplot3,'TickDir','out');
box(subplot3,'off');

subplot(4,1,4);
lasty = (lasty)./(Vref + 2*offset);
stairs(lastt,lasty,'Color',[0 0 0])
title('out')
xlabel('t [s]')
ylabel('U [V]')
subplot4 = subplot(4,1,4,'Parent',figure3);
xlim(subplot4,[0 lastt(length(lastt))]);
set(subplot4,'TickDir','out');
box(subplot4,'off');

matlab2tikz('prubeh.tikz','height','\figureheight','width','\figurewidth');
%-----
x = transpose((Pout(2:nmod/2+1)));
sfdr = 20*log10(abs(max(x)/(max(x(x==max(x))))));
spec = fft(transpose(lasty).*ds_hann(osr*nmod));
spec(1:2) = 0;
snr = SNRcalc(spec(1:ceil(osr*nmod/(2*osr))+1),fmod2*osr*nmod*tQ)
Neff = (snr-1.76)/6.02

```

## D.2. Převodník $\Sigma\Delta$

```

clear all; % reset everything
Vref = 1.2; % range
offset = Vref/15; % added range offset
numbit = 8; % ADC resolution
Fs = 20e6;
osr = ceil((2^numbit-1)*(1 + 2*offset/Vref)); % over-sampling ratio
fmod = 70E3; % sampling freq/osr
fmod2 = 10010; % input frequency
nmod = 1000; % number of cycles of fmod to simulate
kmod = 1; % number of cycles of fmod to leave for startup
acmag = 0.6; % input amplitude
A1 = 0;
jitter = 0.00054; % clock jitter relative to sampling period
tQ = 1/(osr*fmod); % sampling period
jitter = jitter^2; % jitter std. deviation
F1 = 0.3/(Vref*tQ); % gm/C of integrator
loop_del = tQ*0.04; % excess loop delay
hysteresis = 0.0; % comparator hysteresis
thermal_noise = 600e-6; % integral noise
thermal_noise = thermal_noise^2;
gm = 1/50e3;
Rd = 500e6; % dynamic resistance
slope_asymmetry = 0.002; % asymmetry of DAC output switching
cap_table = [0.72 0.78 0.85 0.88 0.91 0.96 0.97 0.98 0.987 0.99 1];

```

```

%input signal generation————
t = tQ*[0:osr*(nmod+kmmod)]';
uin = acmag*sin(2*pi*fmod2*t)+Vref/2;
input = [t, uin];
%—————
sim('sigmadelta_adc_nonideal4'); % run Simulink model
lasty = yout(length(yout)-osr*nmod+1:length(yout)); % limit to last osr*nmod samples
lastt = t(length(t)-osr*nmod+1:length(t)); % limit to last osr*nmod samples
code = zeros(1,nmod); % codes from adc
tsam = zeros(1,nmod); % codes from adc
lasty = (lasty)./(Vref + 2*offset);
for j = 1:nmod
    adc = sum(lasty(osr*(j-1)+1:osr*j));
    code(j) = adc - ceil((2^numbit-1)*(offset/Vref));
    tsam(j) = lastt(j);
end
code = min(code, 2^numbit-1); % limit to max code
code = max(code, 0); % limit to min code

figure8 = figure(8);
axes8 = axes('Parent',figure8);
stairs(tsam,code,'Color',[0 0 0])
xlabel('t [s]')
ylabel('kód [-]')
xlim(axes8,[tsam(1) tsam(length(tsam))]);
ylim(axes8,[0 2^numbit]);
set(axes8,'TickDir','out');
box(axes8,'off');
matlab2tikz('adc_kody.tikz','height','\figureheight','width','\figurewidth');

Pout = fft((code))/(nmod/2);
x =(Pout(2:nmod/2+1));
sfdr = 20*log10(abs(max(x)/(max(x(x~=max(x))))))
%—————
figure9 = figure(9);
axes9 = axes('Parent',figure9);
F = (0:(nmod/2)) / (osr*nmod*tQ);
semilogx(F, 20*log10(abs(Pout(1:nmod/2+1))),'Color',[0 0 0])
title('Spektrální hustota výkonu')
xlabel('f [Hz]')
ylabel('PSD [dB]')
xlim(axes9,[fmod/nmod fmod/2]);
set(axes9,'TickDir','out','XScale','log');
box(axes9,'off');
matlab2tikz('psd_adc.tikz','height','\figureheight','width','\figurewidth');

spec = fft(code.*ds_hann(nmod));
spec(1:2) = 0;
snr = SNRcalc(spec(1:ceil(nmod/2)+1), round(fmod2*osr*nmod*tQ),1)
Neff = (snr-1.76)/6.02

```

## D.3. Funkce SNRcalc

```
function snr = SNRcalc(hwfft, f, nsig)
if nargin<3
    nsig = 1;
end
signalBins = [f-nsig+1:f+nsig+1];
signalBins = signalBins(signalBins>0);
signalBins = signalBins(signalBins<=length(hwfft));
s = norm(hwfft(signalBins));
noiseBins = 1:length(hwfft);
noiseBins(signalBins) = [];
n = norm(hwfft(noiseBins));
if n==0
    snr = Inf;
else
    snr = dbv(s/n);
end
```