

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

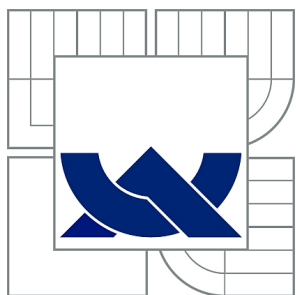
IMPLEMENTACE FREKVENČNÍ A AMPLITUDOVÉ MODULACE DO
OBVODU FPGA

BAKALÁŘSKÁ PRÁCE
BACHELOR'S THESIS

AUTOR PRÁCE
AUTHOR

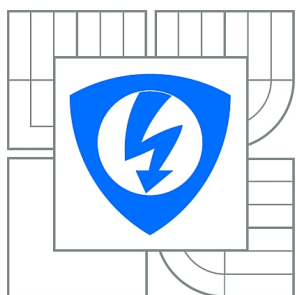
FILIP VEŠKRNA

BRNO 2013



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

IMPLEMENTACE FREKVENČNÍ A AMPLITUDOVÉ MODULACE DO OBVODU FPGA

IMPLEMENTATION OF FREQUENCY AND AMPLITUDE MODULATION TO THE FPGA CIRCUIT

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

FILIP VEŠKRNA

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. LUKÁŠ FUJCIK, Ph.D.

BRNO 2013



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Filip Veškna

ID: 134434

Ročník: 3

Akademický rok: 2012/2013

NÁZEV TÉMATU:

Implementace frekvenční a amplitudové modulace do obvodu FPGA

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte možnosti implementace frekvenční a amplitudové modulace do obvodu FPGA. Vyberte a navrhnete v jazyce VHDL jednu z modulací a následně implementujte do obvodu FPGA, který bude vybrán vedoucím. Rozhraní pro vstup linkového zvukového signálu a případné výstupní převodníky budou realizovány na rozšiřující desce.

DOPORUČENÁ LITERATURA:

Podle doporučení vedoucího práce

Termín zadání: 11.2.2013

Termín odevzdání: 6.6.2013

Vedoucí práce: doc. Ing. Lukáš Fajcik, Ph.D.

Konzultanti bakalářské práce:

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Tato bakalářská práce se zabývá návrhem amplitudového modulátoru v obvodu FPGA. Teoretická část obsahuje popis principů amplitudové, frekvenční a Sigma-Delta modulace a shrnuje normy pro rozhlasové vysílání v České republice. V praktické části je řešen návrh vstupního Sigma-Delta A/D převodníku s využitím jednoduchých pasivních součástek včetně návrhu vstupních digitálních filtrů CIC a FIR pomocí programu MATLAB. Je také popsán návrh náhledové tabulky pro funkci sinus, bloků pro úpravu a násobení vzorků signálu a také výstupní Sigma-Delta D/A převodník. Celý obvod je popsán v jazyce VHDL.

KLÍČOVÁ SLOVA

FPGA, FM, AM, Sigma-delta, MATLAB, VHDL

ABSTRACT

This bachelor's thesis deals with design of amplitude modulator in FPGA circuit. Theoretical part describes principles of amplitude, frequency and Sigma-Delta modulation and summarizes standards for radio broadcasting in the Czech republic. Practical part is focused on design of Sigma-Delta A/D converter using simple passive circuit components including design of input digital filters CIC and FIR with program MATLAB. There is also designed lookup table for function sinus, blocks for modify samples and signal multiplication and D/A Sigma-Delta converter on the output. The entire circuit is described in VHDL language.

KEYWORDS

FPGA, FM, AM, Sigma-delta, MATLAB, VHDL

VEŠKRNA, Filip *Implementace frekvenční a amplitudové modulace do obvodu FPGA*: bakalářská práce. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, 2012. 61 s. Vedoucí práce byl doc. Ing. Lukáš Fucik, PhD.

PROHLÁŠENÍ

Prohlašuji, že svou bakalářskou práci na téma „Implementace frekvenční a amplitudové modulace do obvodu FPGA“ jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této bakalářské práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno

.....

(podpis autora)

PODĚKOVÁNÍ

Rád bych poděkoval vedoucímu bakalářské práce panu doc. Ing. Lukáši Fucikovi, Ph.D. za odborné vedení, konzultace, trpělivost a podnětné návrhy k práci, dále panu Ing. Marku Bohrnovi za konzultace a cenné rady a panu Ing. Mariánu Pristachovi za umožnění přístupu ke specifickému softwaru.

Brno

.....

(podpis autora)

OBSAH

Úvod	10
1 Teoretická část	11
1.1 Úvod	11
1.2 Analogové modulace	11
1.3 Amplitudová modulace	12
1.3.1 Modulace DSB	12
1.3.2 Modulace DSBSC	14
1.3.3 AM v rozhlasovém vysílání	15
1.4 Frekvenční modulace	17
1.4.1 FM v rádiovém vysílání	18
1.5 $\Sigma - \Delta$ modulace	19
1.5.1 Použití $\Sigma - \Delta$ modulace	20
1.6 FPGA Virtex-5	21
1.7 MATLAB	21
1.7.1 Simulink	21
1.8 Xilinx ISE 14.2	22
1.9 ASIC Filter Generator	22
2 Praktická část	23
2.1 Úvod	23
2.2 A/D převodník	24
2.2.1 $\Sigma - \Delta$ modulátor	25
2.2.2 CIC decimační filtr	28
2.2.3 FIR filtr	29
2.2.4 VHDL popis	33
2.3 Změna rozsahu	35
2.3.1 VHDL popis	37
2.4 Náhledová tabulka (ROM) funkce sinus	38
2.4.1 VHDL popis	39
2.5 Amplitudový modulátor	40
2.6 D/A převodník	41
2.6.1 $\Sigma - \Delta$ modulátor	41
2.6.2 VHDL popis	42
2.6.3 Dolní propust	42
2.7 Verifikace VHDL popisu	44
2.8 Výsledný obvod	45

2.9 Naměřené hodnoty	46
3 Závěr	48
Literatura	49
Seznam symbolů, veličin a zkratk	53
Seznam použitých přístrojů a softwaru	55
3.1 Software	55
3.2 Přístroje	55
Seznam příloh	56
A Zdrojové kódy v programu MATLAB	57
A.1 CIC filtr	57
A.2 FIR filtr	58
A.3 Převodní tabulka	59
A.4 Paměť ROM funkce sinus	60
B Schéma pro simulaci v nástroji simulink	61

SEZNAM OBRÁZKŮ

1.1	Příklad amplitudové modulace DSB	13
1.2	Spektrum amplitudově modulovaného (DSB) signálu [5]	14
1.3	Příklad amplitudové modulace DSBSC	15
1.4	Příklad frekvenčně modulovaného signálu	17
1.5	Spektrum frekvenčně modulovaného harmonického signálu [5]	18
1.6	Blokové schéma $\Sigma - \Delta$ modulace [10]	19
1.7	Časový průběh $\Sigma - \Delta$ modulace	20
1.8	Spektrum $\Sigma - \Delta$ modulátoru v závislosti na převzorkování a řádu [12]	21
2.1	Blokové schéma	23
2.2	Blokové schéma vstupního A/D převodníku	26
2.3	Blokové schéma $\Sigma - \Delta$ modulátoru v nástroji Simulink [19]	26
2.4	$\Sigma - \Delta$ modulátor prvního řádu v obvodu FPGA [16]	27
2.5	Zapojení s vazebním kondenzátorem pro A/D převodník	27
2.6	Kmitočtová charakteristika CIC filtru s decimálním faktorem 32	28
2.7	Kmitočtová charakteristika FIR filtru 252. řádu	30
2.8	Kmitočtová charakteristika kaskádně zapojených filtrů	31
2.9	Kmitočtová charakteristika CIC, FIR filtru a kaskádně zapojených filtrů	31
2.10	Průběhy v částech A/D převodníku ze simulace v programu Simulink	32
2.11	Schéma zapojení propojení CIC a FIR filtru	34
2.12	Převodní charakteristika pro změnu rozsahu audiosignálu	35
2.13	Vzorky na vstupu a výstupu převodníku rozsahu	36
2.14	Vzorky funkce sinus v paměti ROM	38
2.15	Zapojení náhledové tabulky pro vzorky funkce sinus	39
2.16	Zapojení amplitudového modulátoru v obvodu FPGA	40
2.17	Výstup z násobičky	41
2.18	Model výstupního Sigma-Delta modulátoru v nástroji Simulink [19]	42
2.19	Výstup z komponenty <i>Analog Butterworth LP filter</i> v nástroji Simulink	43
2.20	Schéma zapojení pasivní dolní propusti s obvodem FPGA	43
2.21	Verifikace CIC filtru v prostředí iSim	44
2.22	Vstupní modul na vývojové desce ML-506	45
2.23	Naměřené hodnoty vstupního a výstupního signálu	46
B.1	Blokové schéma v nástroji Simulink	61

SEZNAM TABULEK

1.1	Některé údaje normy rozhlasového vysílání AM pro ČR [6]	16
1.2	Některé údaje normy rozhlasového vysílání FM pro ČR [9]	19
2.1	Parametry amplitudového modulátoru	24
2.2	Parametry vstupního A/D převodníku	25
2.3	Parametry navrženého CIC filtru	28
2.4	Parametry výsledného FIR filtru	29
2.5	Srovnání syntézy VHDL popisu FIR filtru	33
2.6	Příklad VHDL popisu náhledové tabulky pro převod rozsahu	37
2.7	Příklad VHDL popisu náhledové tabulky vzorků funkce sinus [31]	39
2.8	Využití prostředků dostupným v FPGA obvodu Virtex-5 po implementaci	45
2.9	Hodnoty pro výpočet hloubky modulace na výstupu modulátoru	47

ÚVOD

Od prvního rádiového přenosu pomocí amplitudové modulace v roce 1906, uskutečněného panem Reginaldem Fessendenem (1866 - 1931) uplynulo více jak 100 let [1]. Navzdory špatné energetické účinnosti a nízké kvalitě přenášeného zvuku, má amplitudová modulace v rozhlasovém vysílání své místo dodnes, a to hlavně díky dalekému dosahu a velice jednoduchému přijímači. Prvním takovým rozhlasovým přijímačem, který se používal, byla jednoduchá a primitivní krystalka. Výhoda spočívající ve funkčnosti bez napájení je vykoupena velice malou hlasitostí přijímaného signálu – nedochází k žádnému zesílení.

Dalším milníkem ve vývoji rozhlasových technologiích bylo spuštění první komerční rozhlasové stanice využívající frekvenční modulaci dne 1.1.1941 v Nashville, USA pod názvem W47NV (nyní WSM-FM) [2]. Tato stanice vysílala zatím pouze monofonní signál. Prvními stereofonními FM stanicemi se staly WEFM Chicago a WGFM Schenectady, které začaly vysílat dne 6.1.1961 [2].

V dnešní době většina komerčních rozhlasových stanic vysílá v pásmu velmi krátkých vln frekvenčně modulovaný stereofonní signál včetně systému RDS, který může obsahovat název rozhlasové stanice, alternativní kmitočty, na kterých stanice vysílá, informace o dopravním vysílání apod. Zvyšující oblíbenosti se dostává také internetovým rádiím, které jsou pro provozovatele cenově dostupnější a oproti provozování např. rozhlasové stanice v pásmu VKV (FM) jednodušší na realizaci.

Cílem této bakalářské práce je popis amplitudové a frekvenční modulace pro rozhlasové vysílání, v teoretické části jsou zmíněny normy používané při rozhlasovém vysílání v České republice v pásmu středních a velmi krátkých vln. Dále je věnována kapitola $\Sigma - \Delta$ modulaci, která je v práci využívána. V praktické části je řešena implementace amplitudové modulace do obvodu FPGA, která byla vybrána vedoucím práce. Frekvenční modulace v obvodech FPGA je také možná (viz [3], [4]), ale její implementace přesahuje rámec bakalářské práce. Popsán je výběr FPGA obvodu, návrh vstupního A/D převodníku ($\Sigma - \Delta$ modulátor včetně digitálních filtrů CIC a FIR), části upravující vzorky signálu tak, aby se dali násobit, samotného amplitudového modulátoru a nakonec výstupního $\Sigma - \Delta$ modulátoru pro realizaci výstupní D/A převodníku. Simulace navrženého zapojení je provedena v programu MATLAB a funkce VHDL popisu je provedena v nástroji iSim od firmy Xilinx.

1 TEORETICKÁ ČÁST

1.1 Úvod

V první části jsou vysvětleny principy amplitudové a frekvenční modulace a jsou popsány normy pro rozhlasové vysílání. Další část je věnována popisu $\Sigma - \Delta$ modulace, která je následně použita pro realizaci jednoduchého A/D a D/A převodníku. V závěru je popsán cílový FPGA obvod.

1.2 Analogové modulace

Při analogové modulaci je použit signál harmonického průběhu jako nosná složka. Podle způsobu modulace rozdělujeme modulaci na:

- Amplitudová modulace
- Frekvenční modulace
- Fázová modulace

Dále se dá modulace rozdělit na lineární a nelineární. [5]

Při lineární modulaci dochází pouze k frekvenčnímu posunutí spektra signálu, nevznikají tedy žádné nové frekvenční složky, které by předtím neobsahoval modulační signál. Amplitudová modulace patří mezi lineární modulace.

Při nelineární modulaci vznikají nové frekvenční složky, které v modulačním signálu nejsou obsaženy. Typickým příkladem nelineární modulace je frekvenční a fázová modulace.

Harmonický nosný signál $n(t)$ s počáteční fází $\varphi = 0$ je definován v rovnici 1.1:

$$n(t) = A \cdot \cos(\Omega t) \quad (1.1)$$

Kde:

- A je vrcholová hodnota nosného signálu
- Ω je úhlová rychlost
- t je časová proměnná

Modulační signál $x(t)$ (ten, který je modulován na nosný) může dosahovat v podstatě libovolných tvarů. Pro názornost budeme uvažovat opět harmonický průběh s počáteční fází $\varphi = 0$ (rovnice 1.2).

$$x(t) = V \cdot \cos(\omega t) \quad (1.2)$$

Kde

- V je vrcholová hodnota modulačního signálu
- ω je úhlová rychlost
- t je časová proměnná

1.3 Amplitudová modulace

Amplitudová modulace je proces, při kterém modulační signál $x(t)$ ovlivňuje velikost amplitudy nosného (harmonického) signálu. [5] Jedná se o historicky nejstarší používanou modulaci, jejíž použití sahá na začátek 20. století, kdy se začala používat pro rádiový přenos zvuku. [1] Její značnou nevýhodou je velice malá výkonová účinnost. Velká část výkonu připadá na výkon nosného signálu, který ale není nositelem žádného užitečného signálu. [5] Se zmenšující se hloubkou modulace se zhoršuje celková energetická účinnost - výkon, který připadá na nosný signál, se zvětšuje. Velkou výhodou je ale velmi jednoduchý demodulátor, díky jehož jednoduchosti se AM radiopřijímače staly finančně dostupné a umožnily tak rozšíření AM modulace. Amplitudovou modulaci můžeme podle spektra a způsobu modulace rozdělit ¹:

- DSB - Dual Side Band (obsahuje obě postranní pásma a nosnou)
- DSBSC - Dual Side Band Suppressed Carrier (obsahuje obě postranní pásma, nosná potlačena)
- SSB - Single Side Band (obsahuje pouze jedno postranní pásmo a nosnou)

1.3.1 Modulace DSB

Při amplitudové modulaci **DSB** - DualSide Band (Obě postranní pásma) tvoří modulační signál obálku modulovaného signálu. Okamžitou hodnotou modulačního signálu $x(t)$ je řízena vrcholová hodnota modulovaného signálu.

Výsledkem modulace je modulovaný signál $s(t)$. Modulační signál $x(t)$ ovlivňuje vrcholovou hodnotu A nosné $n(t)$

Matematicky lze amplitudovou modulaci DSB popsat rovnicí (1.3). [5]

$$s(t) = A \cdot \cos \Omega t + x(t) \cdot \Omega t \quad (1.3)$$

Modulační signál $x(t)$ tvoří obálku amplitud nosného signálu $n(t)$ jak je zřejmé z obrázku 1.1.

Důležitým parametrem je činitel m , což je modulační koeficient a lze ho vyjádřit podle rovnice 1.4.

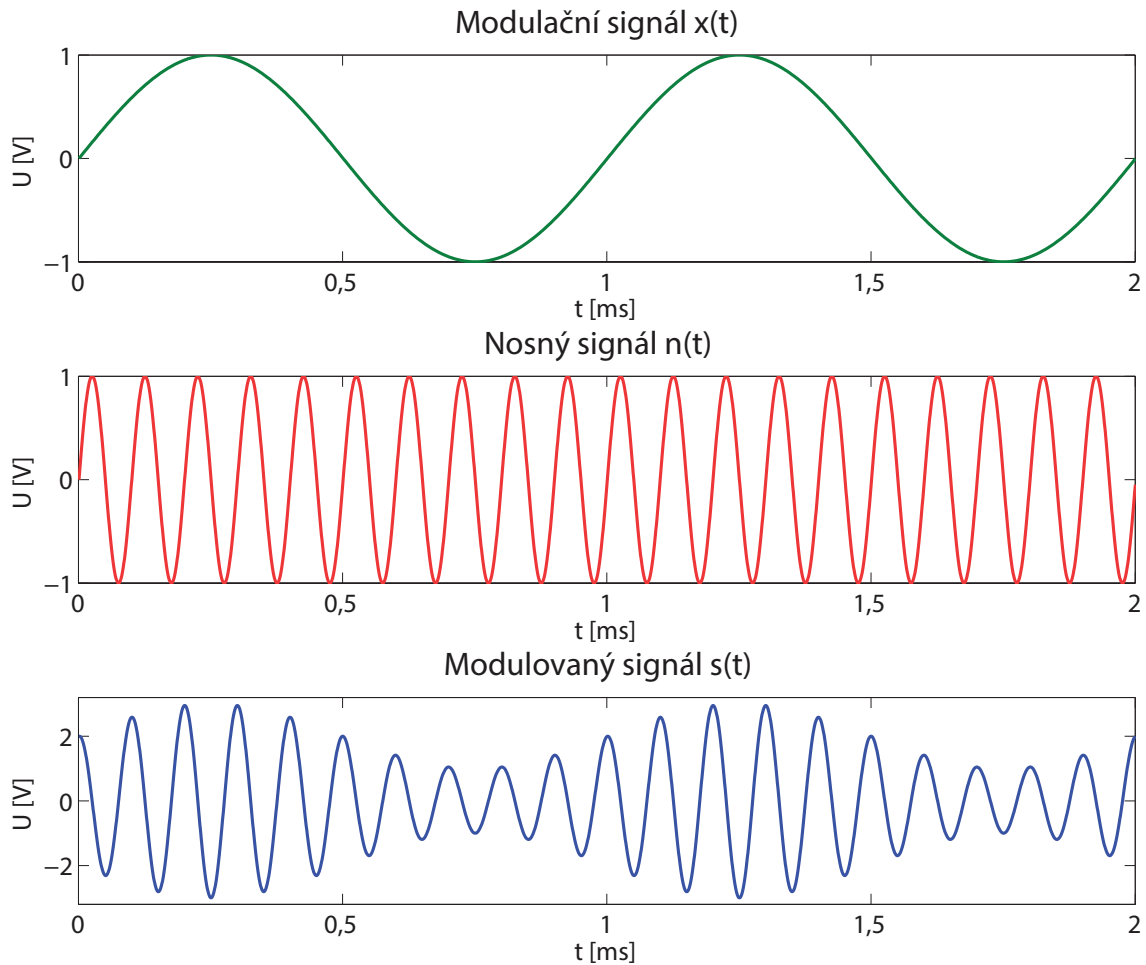
$$m = \frac{V}{A} \leq 1 \quad (1.4)$$

neboli

$$V \leq A$$

Modulační koeficient m vyjadřuje poměr vrcholových hodnot modulačního a nosného signálu. Pokud nebude splněna podmínka v rovnici 1.4 a bude platit, že $V > A$,

¹Detaillnější rozdělení amplitudové modulace přesahuje rámec této bakalářské práce. Vysvětleny jsou pouze důležité pojmy.

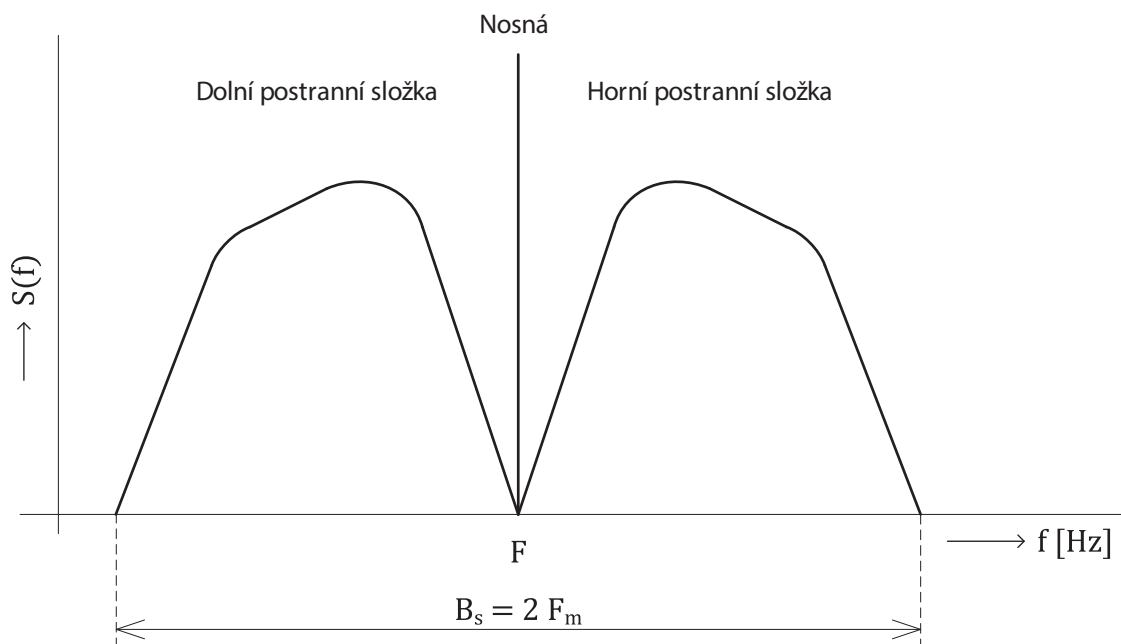


Obr. 1.1: Příklad amplitudové modulace DSB

modulovaný signál bude přemodulovaný, tzn., že se zde objeví nelineární zkreslení. [5] Je-li činitel m vyjádřen v procentech, nazývá se hloubkou modulace a je jí úměrná intenzita demodulovaného signálu.

Na obrázku 1.2 je znázorněno spektrum amplitudově modulovaného signálu. Původní spektrum modulačního signálu je přesunuto ze základní polohy do okolí nosného kmitočtu F , kolem kterého je souměrné. Obsahuje 3 složky – harmonickou složku nosného signálu a dolní a horní postranní pásmo. Šířka spektra kanálu pro přenos amplitudově modulovaného signálu odpovídá dvojnásobku šířky spektra modulačního signálu (viz rovnice 1.5). [5]

$$B_s = 2 \cdot F_m \quad (1.5)$$



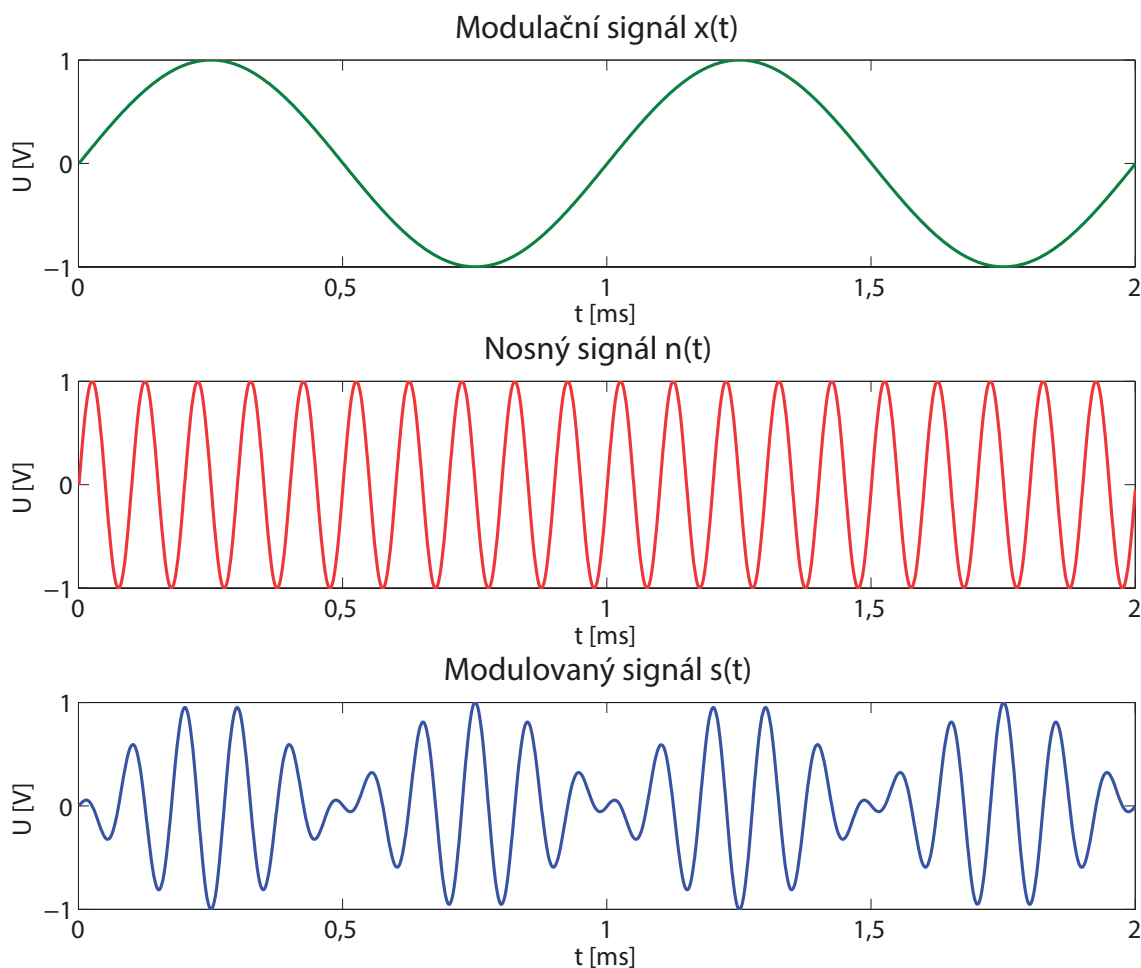
Obr. 1.2: Spektrum amplitudově modulovaného (DSB) signálu [5]

1.3.2 Modulace DSBSC

Při amplitudové modulaci **DSBSC** - Dual SideBand Suppressed Carrier (Obě postranní pásma, nosná potlačena) na rozdíl od modulace DSB nedochází k přičítání okamžité hodnoty $x(t)$ k vrcholové hodnotě nosné A jako v rovnici 1.3, ale je vyjádřena součinem modulačního a nosného signálu:

$$s(t) = x(t) \cdot \cos \Omega t \quad (1.6)$$

Na obrázku 1.3 je znázorněn modulovaný signál DSBSC. Modulační signál $x(t)$ opět tvoří obálku modulovaného signálu, ale není vertikálně posunut o vrcholovou hodnotu modulačního signálu A . Při průchodu modulačního signálu $x(t)$ nulou dochází u modulovaného signálu $s(t)$ ke změně fáze. Ve spektru je potlačen nosný kmitočet.



Obr. 1.3: Příklad amplitudové modulace DSBSC

1.3.3 AM v rozhlasovém vysílání

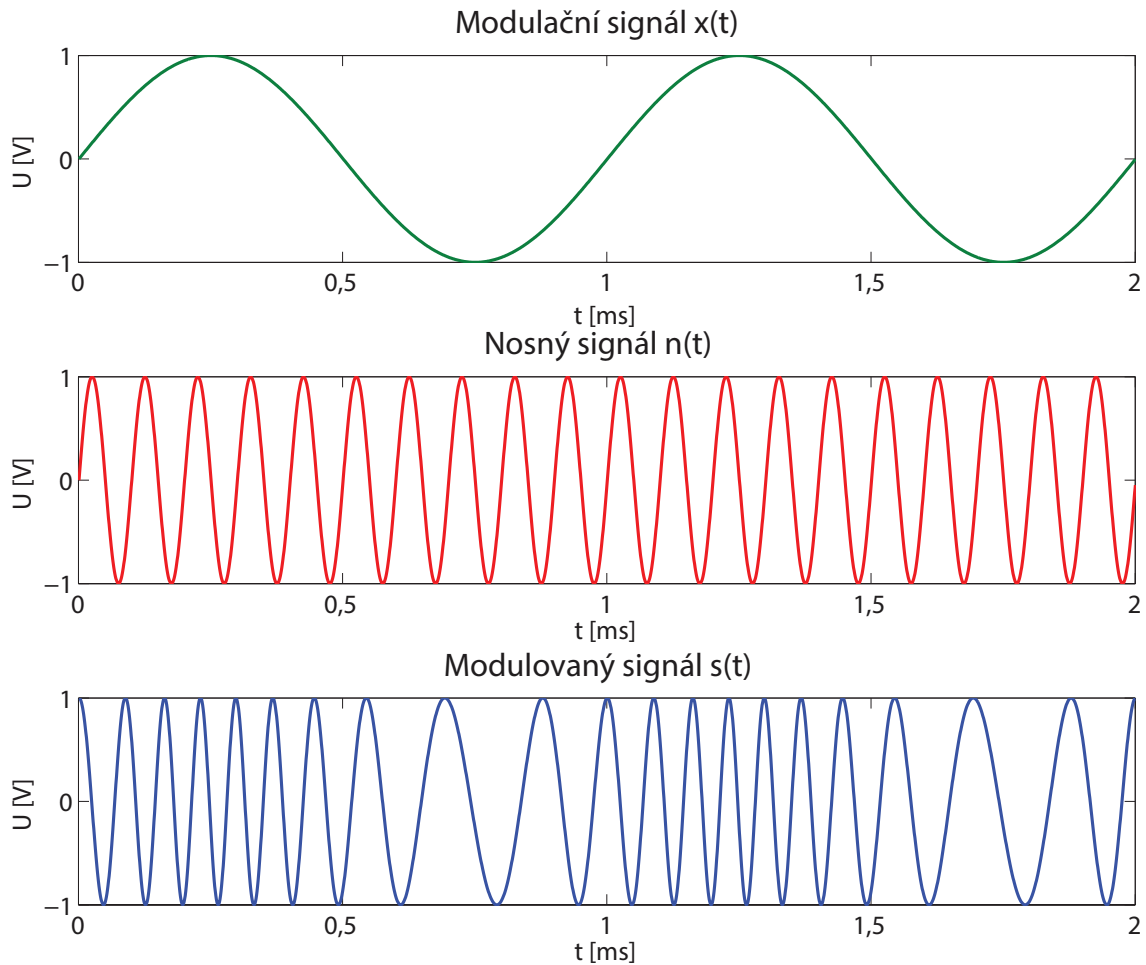
Amplitudová modulace DSB se pro rozhlasové vysílání používá především v pásmu středních vln. V Evropě je AM vysílání provozováno v pásmu středních vln podle normy EN 302 017 a EN 302 245, konkrétně na kmitočtech $f = 526,5 \text{ kHz}$ až $f = 1606,5 \text{ kHz}$ [6], [7], ale stanic a vysílačů stále ubývá a to jednak z důvodu relativně nízké kvality vysílaného zvuku a jednak z důvodu nízké energetické účinnosti amplitudové modulace a tudíž potřebného vysoce výkonného vysílače (řádově až MW). V České republice je aktivních 9 vysílačů. [8] Aby se blízké vysílače v zemích, které spolu sousedí, navzájem nerušily, byla v Evropě sjednocena norma pro AM vysílání. Ta určuje maximální přenášený kmitočet jednoho kanálu $f_m = 4,5 \text{ kHz}$, tedy celková šířka pásma jednoho kanálu (stanice) je $BW = 9 \text{ kHz}$. Některé parametry používané pro AM rádiové vysílání v pásmu středních vln jsou v tabulce 1.1.

Parametr	Hodnota
Frekvenční pásmo	526,5 – 1606,5 MHz
Šířka pásma kanálu	9 kHz

Tab. 1.1: Některé údaje normy rozhlasového vysílání AM pro ČR [6]

Amplitudová modulace s oběma postranními pásmy a potlačenou nosnou (DSBSC) se využívá v kombinaci s frekvenční modulací pro přenos stereofonního zvuku v pásmu krátkých vln.

1.4 Frekvenční modulace



Obr. 1.4: Příklad frekvenčně modulovaného signálu

Frekvenční modulace se řadí mezi nelineární modulace a vedle fázové modulace je jednou z forem úhlové modulace. Při procesu frekvenční modulace se okamžitý úhlový kmitočet $\Omega(t)$ nosného signálu $n(t)$ mění lineárně v závislosti na okamžité amplitudě modulačního signálu $x(t)$. Amplituda modulovaného signálu $s(t)$ je stále konstantní. Frekvenční modulace je na rozdíl od amplitudové modulace mnohem více odolná proti rušení a také dosahuje vyšší výkonové účinnosti. [5]

V případě, že bude modulační signál harmonického průběhu jako v rovnici 1.2, potom lze frekvenčně modulovaný signál popsat rovnicí 1.7.

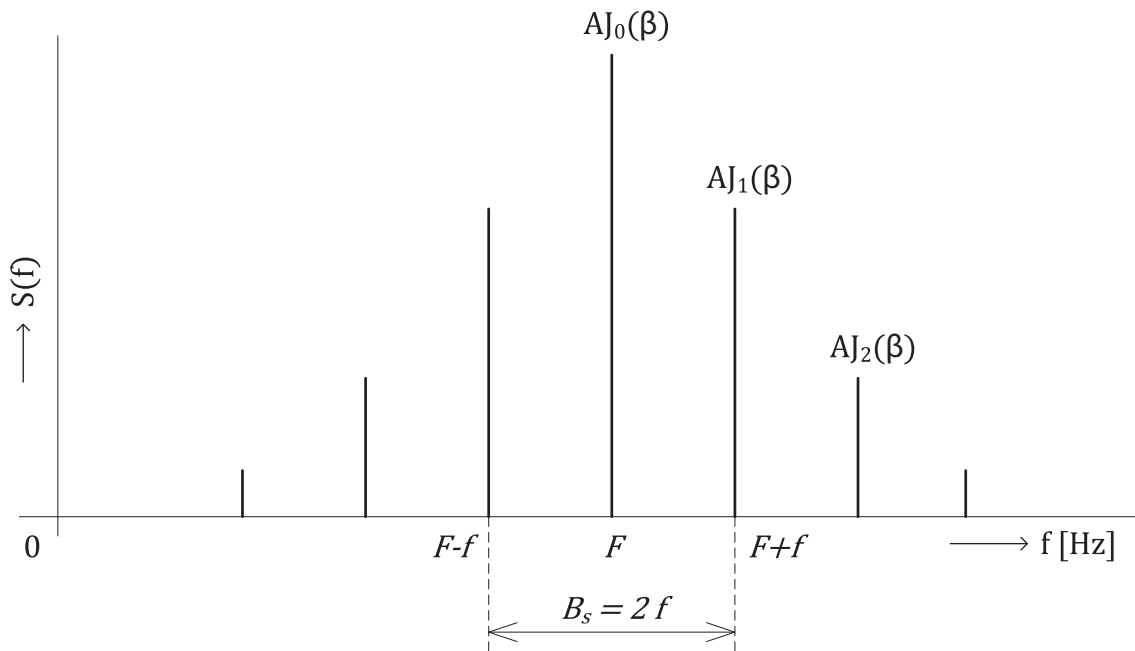
$$s(t) = A \cos\left[\Omega t + \frac{\Delta F}{f} \cdot \sin \omega t\right] \quad (1.7)$$

Kde

- ΔF je kmitočtový zdvih
- f je kmitočet nosného signálu

Na obrázku 1.4 je znázorněn příklad frekvenčně modulovaného signálu. Výsledné spektrum frekvenčně modulovaného signálu je znázorněno na obrázku 1.5. V případě, že index frekvenční modulace bude velmi malý $\beta \ll 1$ (viz rovnice 1.8) uplatní se jen hodnoty $J_0(\beta)$ a $J_1(\beta)$, protože ostatní hodnoty $J_n(\beta)$ mají zanedbatelnou velikost – úzkopásmová frekvenční modulace). Velikosti jednotlivých složek spektra jsou popsány Besselovými funkcemi prvního druhu. [5]

$$\beta = \frac{\Delta F}{f} \quad (1.8)$$



Obr. 1.5: Spektrum frekvenčně modulovaného harmonického signálu [5]

1.4.1 FM v rádiovém vysílání

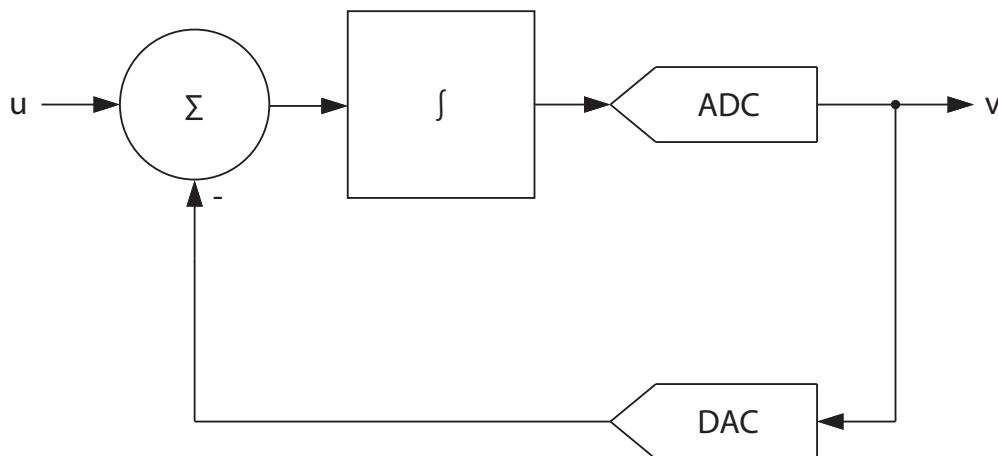
V různých částech světa se používají rozdílné normy pro rádiové vysílání frekvenčně modulovaného signálu v pásmu VHF (Very High Frequency). Rozlišují se parametry, mezi které patří například používané frekvenční pásmo, frekvenční odstup mezi

vysílanými kanály, maximální frekvenční zdvih, polarizace nosné vlny apod. V tabulce 1.2 jsou některé údaje platné pro Českou republiku. [9] V České republice je aktivních 155 rádiových vysílačů frekvenčně modulovaného signálu. [8]

Parametr	Hodnota
Frekvenční pásmo	87,5 – 108 MHz
Odstup mezi kanály	100 kHz
Maximální frekvenční zdvih	± 75 kHz
Polarizace nosné vlny	horizontální, vertikální, mixované

Tab. 1.2: Některé údaje normy rozhlasového vysílání FM pro ČR [9]

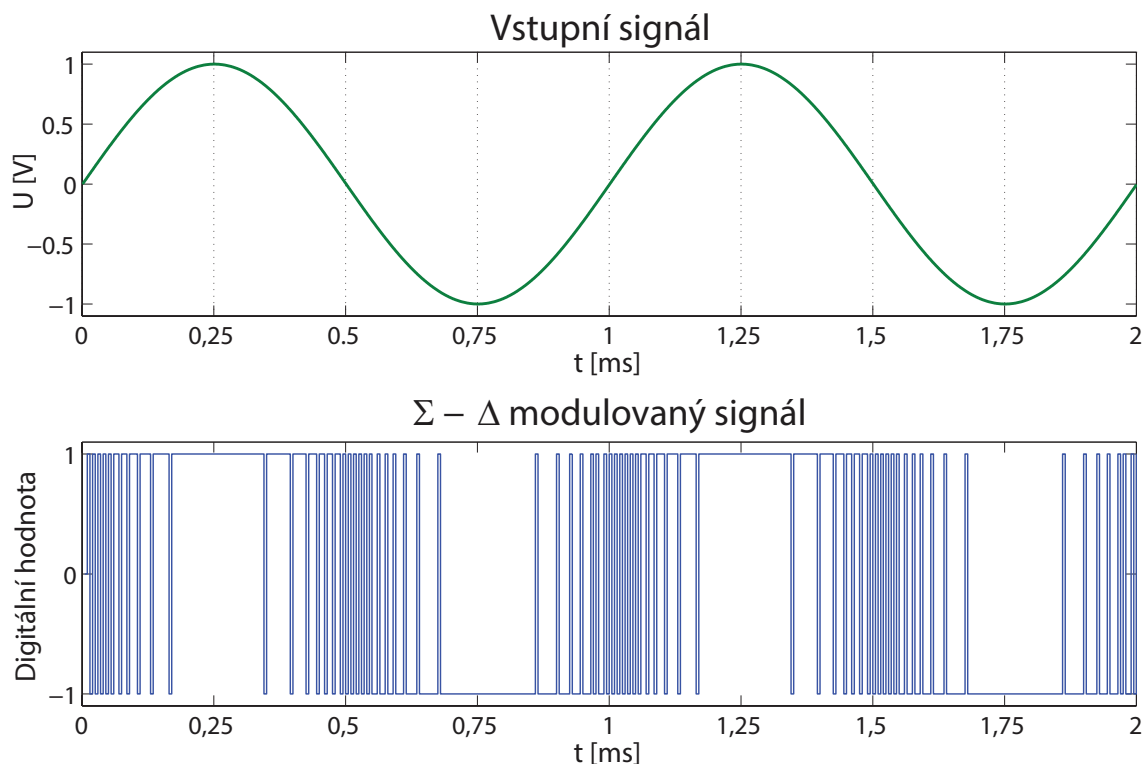
1.5 $\Sigma - \Delta$ modulace



Obr. 1.6: Blokové schéma $\Sigma - \Delta$ modulace [10]

$\Sigma - \Delta$ modulace byla poprvé publikována v roce 1962 pány H. Inose, Y. Yasuda, a J. Murakami jako rozšíření konceptu delta modulace. [11] Název $\Sigma - \Delta$ je odvozen ze dvou hlavních prováděných operací, jímž jsou Σ (Sigma) – představuje sumu a Δ (Delta) – představuje rozdíl, neboli diferenci. [10] Je to jedna z metod pro převod analogového signálu na digitální signál – A/D nebo pro převod digitálního signálu na analogový signál – D/A. Modulátor $\Sigma - \Delta$ je jedním ze stupňů celého $\Sigma - \Delta$ převodníku.

Převodníky $\Sigma - \Delta$ mají pracovní kmitočet několikanásobně vyšší než Nyquistův kmitočet (narozdíl od tradičních A/D převodníků). Kvantovací šum je vytlačován



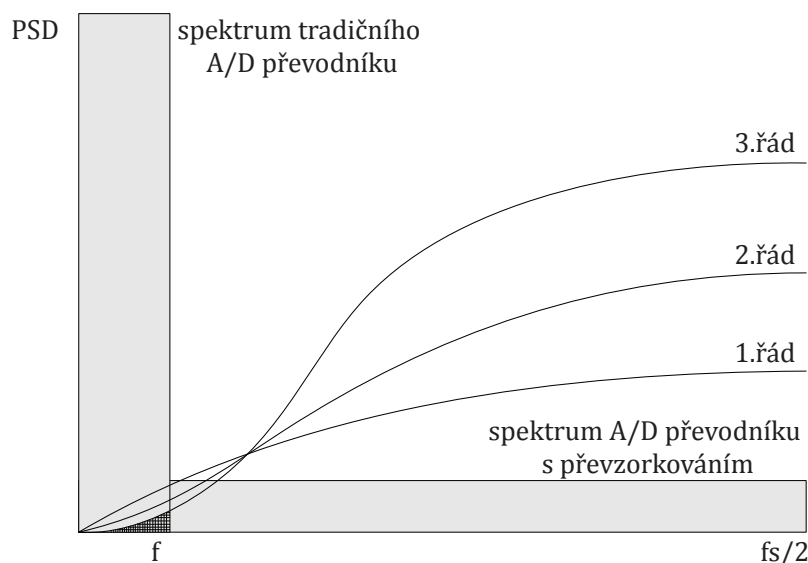
Obr. 1.7: Časový průběh $\Sigma - \Delta$ modulace

do oblasti, která se nachází mimo zpracovávané pásmo. [12] Spektrum $\Sigma - \Delta$ modulatoru je znázorněno na obrázku 1.8. Výhodou $\Sigma - \Delta$ modulace je velice jednoduchý demodulátor. Jelikož je ve spektru $\Sigma - \Delta$ modulovaného signálu obsažen původní signál, stačí k jeho demodulaci pouze filtr typu dolní propust.

1.5.1 Použití $\Sigma - \Delta$ modulace

Modulace $\Sigma - \Delta$ se stále častěji používá v moderních A/D a D/A převodnicích pro převod hlasového nebo audio signálu nebo obecně pro převod pomalých signálů. [11] A/D převodníky $\Sigma - \Delta$ mají velkou kvantovací chybu, která je ale převzorkováním, tvarováním šumu a decimálním filtrováním odstraněna. [12]

Zajímavým použitím $\Sigma - \Delta$ modulace je uložení zvukových dat na digitálním nosiči Super Audio Compact Disc (SACD) (výrobci Sony a Phillips je nazýván tento způsob uložení dat Direct Stream Digital – DSD technology). [13]



Obr. 1.8: Spektrum $\Sigma - \Delta$ modulátoru v závislosti na převzorkování a řádu [12]

1.6 FPGA Virtex-5

Pro realizaci zadání bylo zvoleno FPGA Virtex-5 s označením XC5VSX50T od firmy Xilinx umístěné na vývojové desce ML-506. Tento FPGA obvod je vyroben 65 nm technologií, obsahuje 8160 řezů (*slices*) a je umístěn v pouzdře BGA se 34×34 vývody; celkem tedy 1136 pinů. Obsahuje také vstupní diferenční páry, které jsou využívány k realizaci vstupního A/D převodníku. [14]

1.7 MATLAB

Toto interaktivní programové prostředí je vyvíjeno společností MathWorks a umožňuje výpočty s maticemi, vykreslování 2D i 3D grafů funkcí, implementaci algoritmů, simulaci a modelování apod. Jeho kořeny sahají na počátek 80. let 20. století. Programování probíhá pomocí programovacího jazyka MATLAB. [15] V této práci je použito prostředí MATLAB verze 2011a a je využíváno především k návrhu digitálních filtrů. Pro simulaci, ověřování funkce obvodu a generování referenčních výstupů je použit nástroj integrovaný nástroj Simulink.

1.7.1 Simulink

Simulink je prostředí programu MATLAB, které umožňuje simulovat bloková schémata založená na modelech. Tyto modely jsou dostupné z knihoven. Je integrováno v prostředí MATLAB. [15]

1.8 Xilinx ISE 14.2

Pro VHDL popis, simulaci tohoto popisu, následnou syntézu, implementaci a generování *bitstream* pro výsledný obvod FPGA je využíváno prostředí ISE 14.2 od firmy Xilinx, verze *System Edition*, která má podporu obvodu Virtex-5 XC5VSX50T. Standardní volně šiřitelná verze WEBPACK tento obvod nepodporuje. Pro simulaci VHDL popisu je využíván vestavěný nástroj iSim.

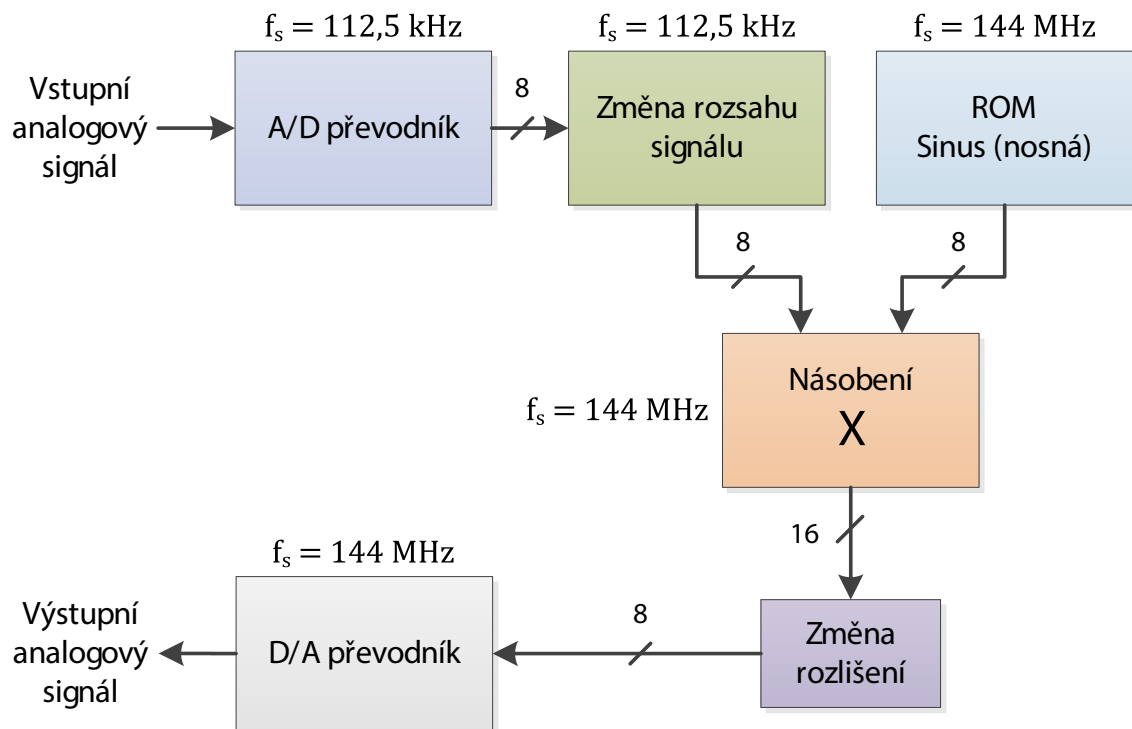
1.9 ASIC Filter Generator

Tento software vyvíjí pan Ing. Marián Pristach z FEKT VUT v Brně a umožňuje generovat VHDL popis FIR filtru na základě vstupních parametrů, kterými mohou být koeficienty filtru v binární podobě. Prioritou tohoto software je co nejmenší výsledná plocha na čipu. I když slouží primárně pro obvody ASIC, dá se vygenerovaný VHDL popis použít i pro obvody FPGA.

2 PRAKTICKÁ ČÁST

2.1 Úvod

V praktické části je popsána realizace jednotlivých dílčích bloků a jejich funkce. Při návrhu byl použit program MATLAB a jeho nástroj Simulink, ve kterém byla vždy ověřena funkčnost komponenty a vygenerován referenční výstup pro simulace v programu iSim, ve kterém byla ověřena správnost VHDL popisu pomocí příslušného popisu *testbench*. Každý blok byl testován samostatně, jeho výstup byl uložen do souboru a načten v programu MATLAB, kde byl vykreslen jeho průběh a porovnán s referencí. Na závěr praktické části srovnání naměřených hodnot s navrženými a zhodnocení výsledků. Celkový model obvodu pro Simulink lze nalézt na příloženém CD [19].



Obr. 2.1: Blokové schéma

Blokové schéma je na obrázku 2.1. Vstupní analogový signál (zvukový signál) je v prvním kroku převeden na digitální signál, o což se stará *A/D převodník*. Následuje *změna rozsahu signálu*, který upraví znaménkově vzorky vstupního signálu. Tyto vzorky jsou poté násobeny se vzorky funkce sinus, které jsou načítány z náhledové tabulky ROM. Vzorky amplitudově modulovaného signálu mají na výstupu rozlišení 16 bitů, což přesahuje možnosti výstupního D/A převodníku. Proto jsou

Tab. 2.1: Parametry amplitudového modulátoru

Parametr	Hodnota
Bitové rozlišení A/D převodníku	8 bitů
Hloubka modulace	73%
Pracovní kmitočet	144 MHz
Nosný kmitočet	1, 125 MHz

vzorky ještě zaokrouhleny dolů na 8 bitů. Posledním blokem je *D/A převodník*, který převádí vzorky na analogový signál. Návrh a simulace jednotlivých částí popsanych v blokovém schématu jsou popsány v následujících podkapitolách.

Velice důležitá je volba kmitočtu, na kterém celý obvod běží. Jako nejlepší řešení se jeví použít hodnotu $f = 144$ MHz, kterou lze syntetizovat pomocí komponenty *DCM_ADV* v obvodu FPGA, z oscilátoru umístěného na vývojové desce ML-506, který má na svém výstupu kmitočet $f = 200$ MHz. Tento kmitočet odpovídá i vzorkovacímu kmitočtu nosného signálu funkce *sinus*, který je $128\times$ větší, než výstupní kmitočet nosné – 1, 125 kHz a díky tomu je možné implementovat paměť ROM se 128 vzorky funkce sinus na jednu periodu. Výstupní kmitočet musí také splňovat normu pro pozemní rozhlasové vysílání (aby byl signál vysílán do správného kanálu). U takto navrženého obvodu tedy nebude možné měnit kmitočet nosné.

2.2 A/D převodník

Aby mohl obvod FPGA pracovat s analogovým signálem, je potřeba jej nejprve převést na digitální hodnotu. O to se stará A/D převodník.

Původní koncepce použít vstupní A/D převodník jako integrovaný obvod byla nahrazena efektivnějším řešením v podobě $\Sigma - \Delta$ modulátoru prvního řádu (realizovaného v obvodu FPGA) v kombinaci s analogovým integračním článkem RC, jako v případě práce publikované v [16]. Aby bylo možné toto zapojení realizovat, je potřeba, aby obvod FPGA obsahoval vstupní diferenční páry. To je také důvod, proč bylo zvoleno FPGA Virtex-5 od firmy Xilinx, které je umístěné na vývojové desce ML-506.

$$f_s \geq 2f_m \tag{2.1}$$

Vzhledem k tomu, že pro přenos amplitudově modulovaného audiosignálu v pásmu středních vln je potřeba potlačit kmitočty $f > 4,5$ kHz (viz kapitola 1.3.3), pro zachování Nyquistova-Shannonova teorému (rovnice 2.1) by teoreticky výstupní vzor-

kovací kmitočet mohl být $f_s > 9$ kHz. Vzorky s takto nízkým vzorkovacím kmitočtem jsou poté násobeny se vzorky nosného signálu ($f_s = 144$ MHz). Toto řešení se ale ukázalo jako nevýhodné z důvodu schodovitého tvaru amplitudově modulovaného signálu. Řešením tedy bylo zařadit do designu interpolátor, který by zvýšil vzorkovací kmitočet na výstupu A/D převodníku nebo zvýšit vzorkovací kmitočet A/D převodníku – toto řešení bylo zvoleno. Parametry A/D převodníku jsou shrnuty v tabulce 2.2.

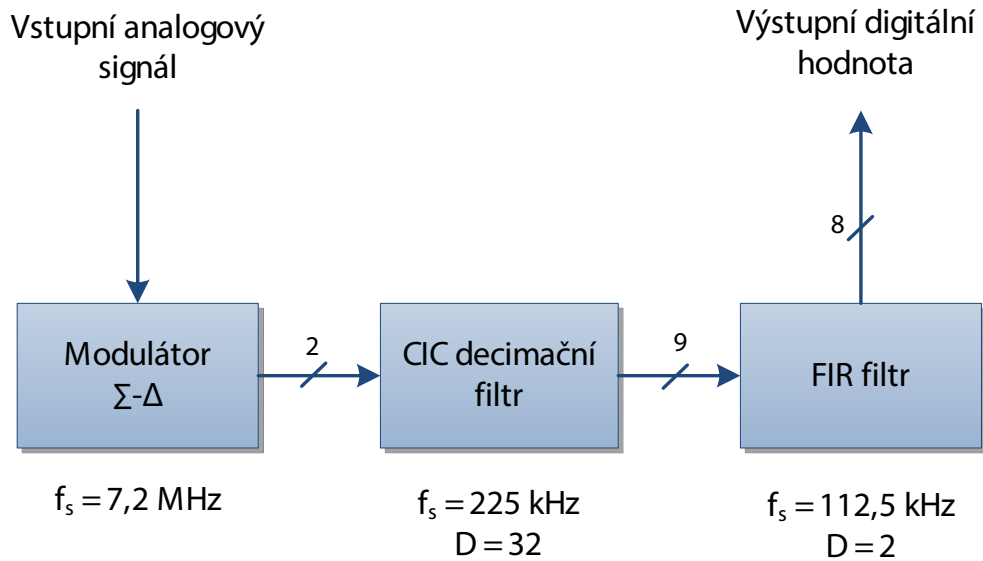
Tab. 2.2: Parametry vstupního A/D převodníku

Parametr	Hodnota
Vstupní vzorkovací kmitočet $\Sigma - \Delta$ modulátoru	7,2 MHz
Výstupní vzorkovací kmitočet	112,5 kHz
Řád převzorkování (OSR)	64
Propustné pásmo (F_{pass})	2 kHz
Nepropustné pásmo (F_{stop})	4,5 kHz
Bitové rozlišení	8 bitů
Napěťový rozsah	0 až 2,5 V
Odstup signálu od šumu (SNR)	50 dB

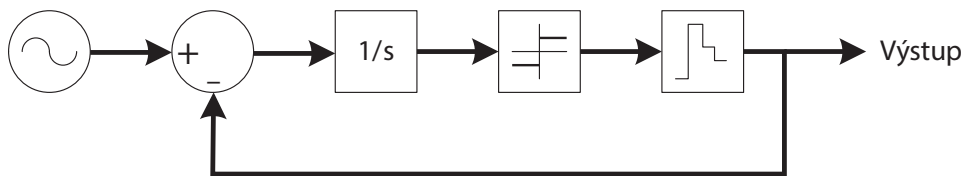
Blokové schéma A/D převodníku je na obrázku 2.2. Vstupní analogový signál je přiveden do $\Sigma - \Delta$ modulátoru, který jej moduluje na vzorkovacím kmitočtu $f_s = 7,2$ MHz. Důležité je, aby tento kmitočet mohl být dosažen celočíselným vydělením hlavního kmitočtu $f = 144$ MHz. Další částí je CIC filtr s decimačním faktorem $D = 32$, tzn., že na výstupu má $32\times$ nižší vzorkovací kmitočet, než na vstupu – $f_s = 225$ kHz. Posledním blokem je FIR filtr s decimačním faktorem $D = 2$ a výstupním vzorkovacím kmitočtem $f_s = 112,5$ kHz.

2.2.1 $\Sigma - \Delta$ modulátor

Pro potřeby simulace byl vytvořen model $\Sigma - \Delta$ modulátoru prvního řádu v nástroji Simulink programu MATLAB, jehož blokové schéma je na obrázku 2.3. Jádro $\Sigma - \Delta$ modulátoru je použito z modelu `dspstdadc` obsaženého v nástroji Simulink. Jako vstupní analogový signál je použit generátor sinusového průběhu o kmitočtu $f = 1$ kHz a amplitudě 1 V. Na výstupu komponenty *Zero-Order Hold* je signál o číselných úrovních +1 a -1, takže tato hodnota může být v simulaci přivedena přímo na vstup CIC filtru, který vyžaduje 2-bitový znaménkový signál. Vzorkovací kmitočet $\Sigma - \Delta$ modulátoru je 7,2 MHz.

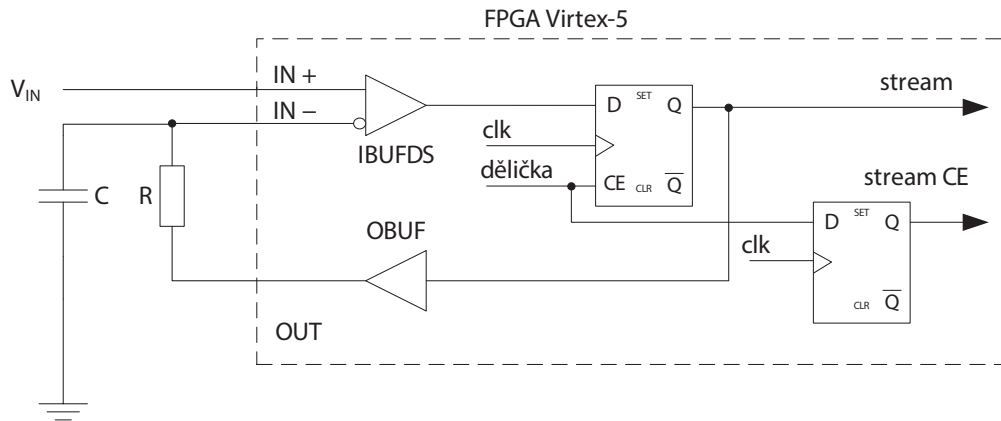


Obr. 2.2: Blokové schéma vstupního A/D převodníku



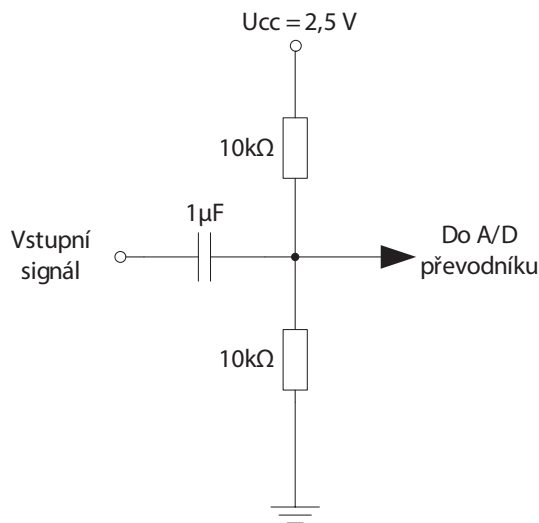
Obr. 2.3: Blokové schéma $\Sigma - \Delta$ modulátoru v nástroji Simulink [19]

Na obrázku 2.4 je schéma zapojení integračního RC článku spolu s obvodem FPGA [16]. Vstupní napětí je přivedeno na neinvertující vstup $IN+$ digitálního komparátoru v obvodu FPGA. Na invertující vstup $IN-$ je přiveden výstup z integrátoru, který je tvořen rezistorem a kondenzátorem připojeným na zem. Standardy pinů u diferenčního páru jsou LVDS_25. Výstup z komparátoru je přiveden na vstup D klopného obvodu, který běží na kmitočtu 144 MHz. Pro generování $\Sigma - \Delta$ streamu o kmitočtu 7,2 MHz je řízen děličkou kmitočtu $20\times$, která je připojena na vstup CE (*clock enable*). Na výstupu D klopného obvodu je $\Sigma - \Delta$ stream, který je dále zpracováván a také přes výstupní buffer přiveden na analogový integrátor. U výstupního bufferu jsou standardy pinů nastaveny na LVCMOS_25. Tento standard umožňuje realizovat A/D převodník pro rozsah napětí 0 až 2,5 V. Aby bylo možné digitalizovat bipolární signál (např. linkový výstup) je vhodné obvod doplnit o zapojení s vazebním kondenzátorem, které je znázorněné na obrázku 2.5. Vstupní signál CE z děličky kmitočtu je přiveden na klopný obvod D, který jej zpožďuje o jednu periodu hlavního kmitočtu a ošetřuje tak případné zákmity. Výstupní signál **stream**



Obr. 2.4: $\Sigma - \Delta$ modulátor prvního řádu v obvodu FPGA [16]

CE z klopného obvodu D značí při hodnotě $\log 1$ nový vzorek na výstupu $\Sigma - \Delta$ modulátoru. VHDL popis $\Sigma - \Delta$ modulátoru je zahrnut v hlavní komponentě na příloženém CD [21].



Obr. 2.5: Zapojení s vazebním kondenzátorem pro A/D převodník

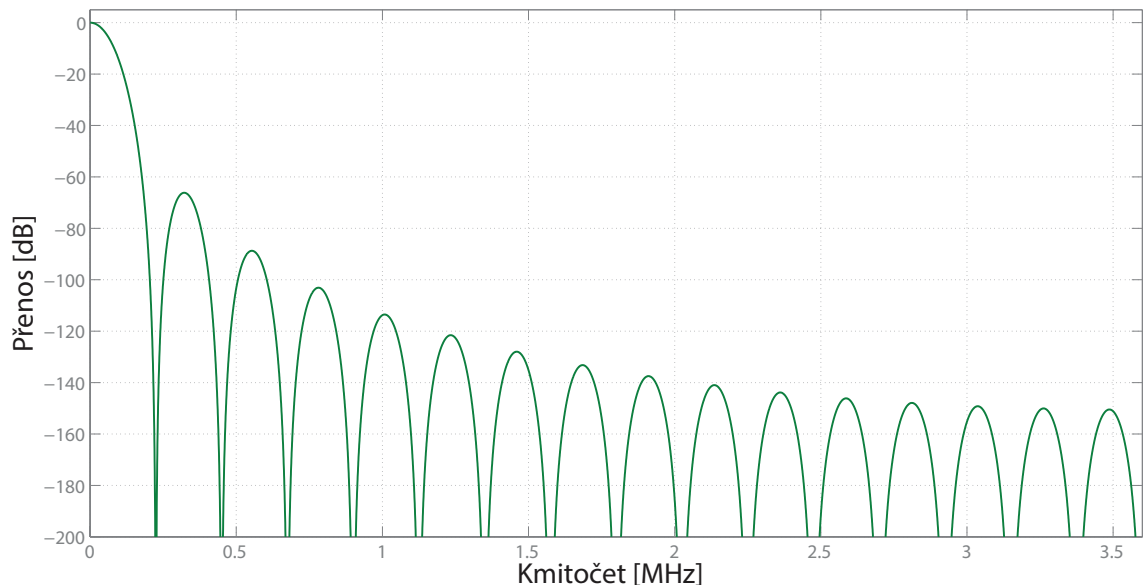
Z obrázku 2.4 je patrná odlišnost oproti blokovému schématu na obrázku 1.6 v kapitole 1.5. S integrátorem zapojeným před invertujícím vstupem digitálního komparátoru bylo dosaženo lepších výsledků než s integrátorem za vstupním komparátorem. Podrobnosti lze nalézt v práci [16].

2.2.2 CIC decimační filtr

Decimační CIC filtr má za úkol převést vstupní 2-bitový signál se vzorkovacím kmitočtem $f_s = 7,2$ MHz na výstupní signál s rozlišením 9-bitů a vzorkovacím kmitočtem $f_s = 225$ kHz. Parametry navrženého filtru v prostředí MATLAB jsou v tabulce 2.3. Kmitočtová charakteristika navrženého CIC filtru je na obrázku 2.6. Zdrojový kód pro návrh lze nalézt v příloze A.1 a na CD [20]. Návrh proběhl v programu MATLAB. Výhodou návrhu a následného generování VHDL popisu je, že umožňuje syntézu pro FPGA obvody od různých výrobců. To je velká výhoda oproti použití *IP core* od firmy Xilinx, což by limitovalo použití pouze na obvody od této firmy.

Tab. 2.3: Parametry navrženého CIC filtru

Parametr	Hodnota
Decimační faktor (Decimation factor)	32
Diferenční zpoždění (Differential delay)	1
Počet sekcí (Number of sections)	5
Šířka vstupního slova (Input word length)	2 [bitů]
Šířka výstupního slova (Output word length)	9 [bitů]
Vstupní vzorkovací kmitočet (f_s)	7,2 MHz
Výstupní vzorkovací kmitočet (f_{out})	225 kHz



Obr. 2.6: Kmitočtová charakteristika CIC filtru s decimačním faktorem 32

2.2.3 FIR filtr

FIR filtr kompenzuje pokles přenosu CIC filtru v propustném pásmu a zároveň zabezpečuje dostatečné potlačení kmitočtů větších než $f = 4,5$ kHz, které filtr CIC sám nedokáže potlačit aniž by zajišťoval přijatelný tvar kmitočtové charakteristiky. Pokud by nebyly dostatečně potlačeny kmitočty vyšší než 4,5 kHz, amplitudově modulovaný signál by svým spektrem zasahoval do sousedních kanálů, čímž by vznikalo rušení a navíc by vyšší kmitočty byly v sousedním kanálu interpretovány jako kmitočty nižší. Parametry výsledného FIR filtru navrženého v prostředí MATLAB jsou

Parametr	Hodnota
Vstupní vzorkovací kmitočet (Sampling frequency)	225 kHz
Výstupní vzorkovací kmitočet (Sampling frequency)	112,5 kHz
Útlum v propust. pásmu (Attenuation pass)	0,1 dB
Útlum v nepropust. pásmu (Attenuation stop)	55 dB
Propustné pásmo (Passband-edge frequency)	2 kHz
Nepropustné pásmo (Stopband-edge frequency)	4,5 kHz
Počet sekcí (Number of sections)	5
Diferenční zpoždění (Differential Delay)	1
Decimační faktor (Decimation factor)	2
Šířka vstupního slova (Input Word Length)	8 bitů
Šířka výstupního slova (Output Word Length)	8 bitů
Mód zaokrouhlování (Round Mode)	<i>nearest</i>
Šířka slova koeficientů (Coefficient Word Length)	13 bitů
Řád filtru (Order)	252

Tab. 2.4: Parametry výsledného FIR filtru

v tabulce 2.4, přenos navrženého FIR filtru je na obrázku 2.7. Zdrojový kód použitý k návrhu je příloze A.2 a na přiloženém CD [20]. Odstup signálu od šumu (SNR) je důležitým dynamickým parametrem A/D převodníků a závisí na něm rozlišení převodníku. Pro sinusový signál teoreticky platí vztah v rovnici 2.2. [12]

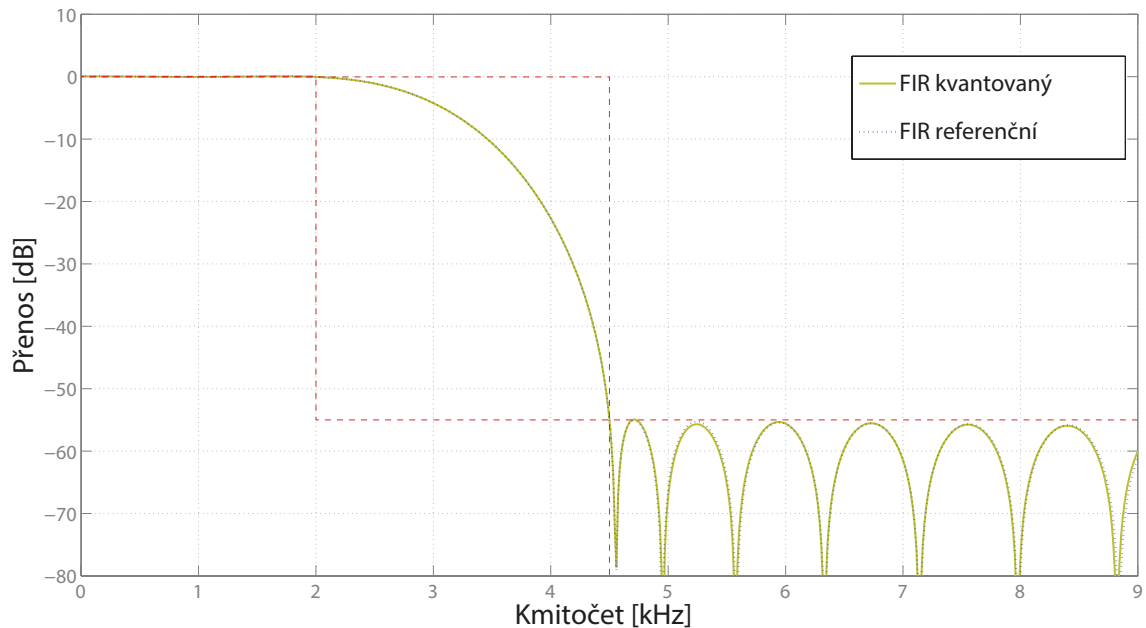
$$SNR = (6,02N + 1,76) \text{ [dB]} \quad (2.2)$$

Vzhledem k tomu, že požadujeme výstupní rozlišení filtru $N = 8$ bitů, můžeme počítat:

$$SNR = (6,02N + 1,76) = 6,02 \cdot 8 + 1,76 \simeq 50 \text{ dB} \quad (2.3)$$

Tzn., že požadovaný odstup signálu od šumu je minimálně 50 dB, neboli přenos filtru na kmitočtech větších než $f = 4,5$ kHz musí být maximálně -50 dB. Z kmitočtové

charakteristiky na obrázku 2.7 je patrné, že je tato podmínka splněna.

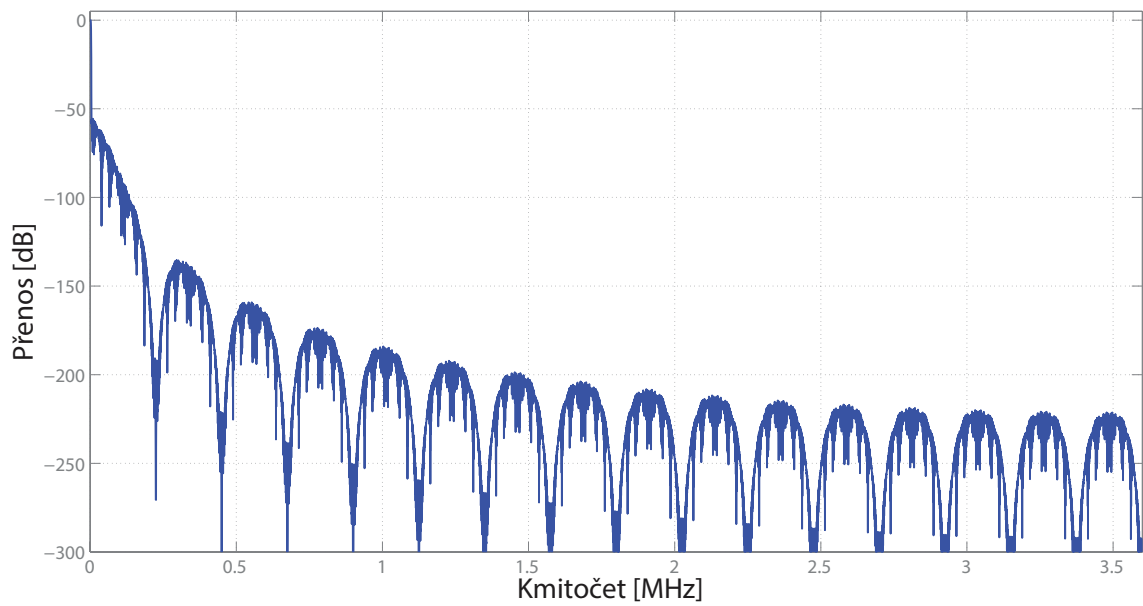


Obr. 2.7: Kmitočtová charakteristika FIR filtru 252. řádu

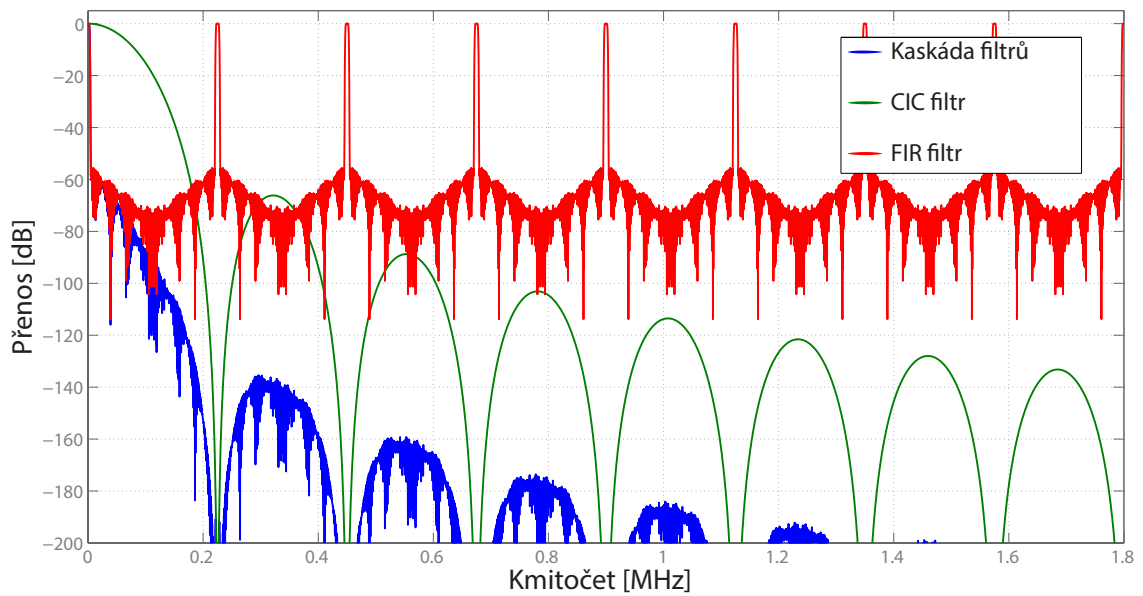
Z blokového schématu A/D převodníku na obrázku 2.2 je zřejmé, že filtry CIC a FIR jsou zapojeny kaskádně. Kmitočtová charakteristika takto kaskádně zapojených filtrů je na obrázku 2.8. Přenos na kmitočtech vyšších než 4,5 kHz je menší než 50 dB a tím je splněna podmínka z rovnice 2.3 – digitální filtrace vyhovuje pro 8-bitový A/D převodník¹. Kmitočtové charakteristiky shrnuje obrázek 2.9.

Průběhy v jednotlivých částech A/D převodníku jsou na obrázku 2.10. Jedná se o výstup ze simulace v programu Simulink. Na vstup $\Sigma - \Delta$ modulátoru je přiveden harmonický signál o kmitočtu 1 kHz a amplitudě 1 V (oranžová). Na jeho výstupu je $\Sigma - \Delta$ modulovaný signál (stream), který nabývá hodnot +1 a -1 (modrá) na kmitočtu 7,2 MHz. Tento stream je přiveden na vstup CIC filtru, který má svém výstupu vzorky s kmitočtem 225 kHz (červená). Ten je přiveden na vstup FIR filtru, na jehož výstupu jsou vzorky s kmitočtem 112,5 kHz (zelená). Na výstupu FIR filtru je zřejmé, že je zpožtený oproti vstupu. To je způsobeno vynásobením vzorků s koeficienty, které trvá určitý počet vzorků.

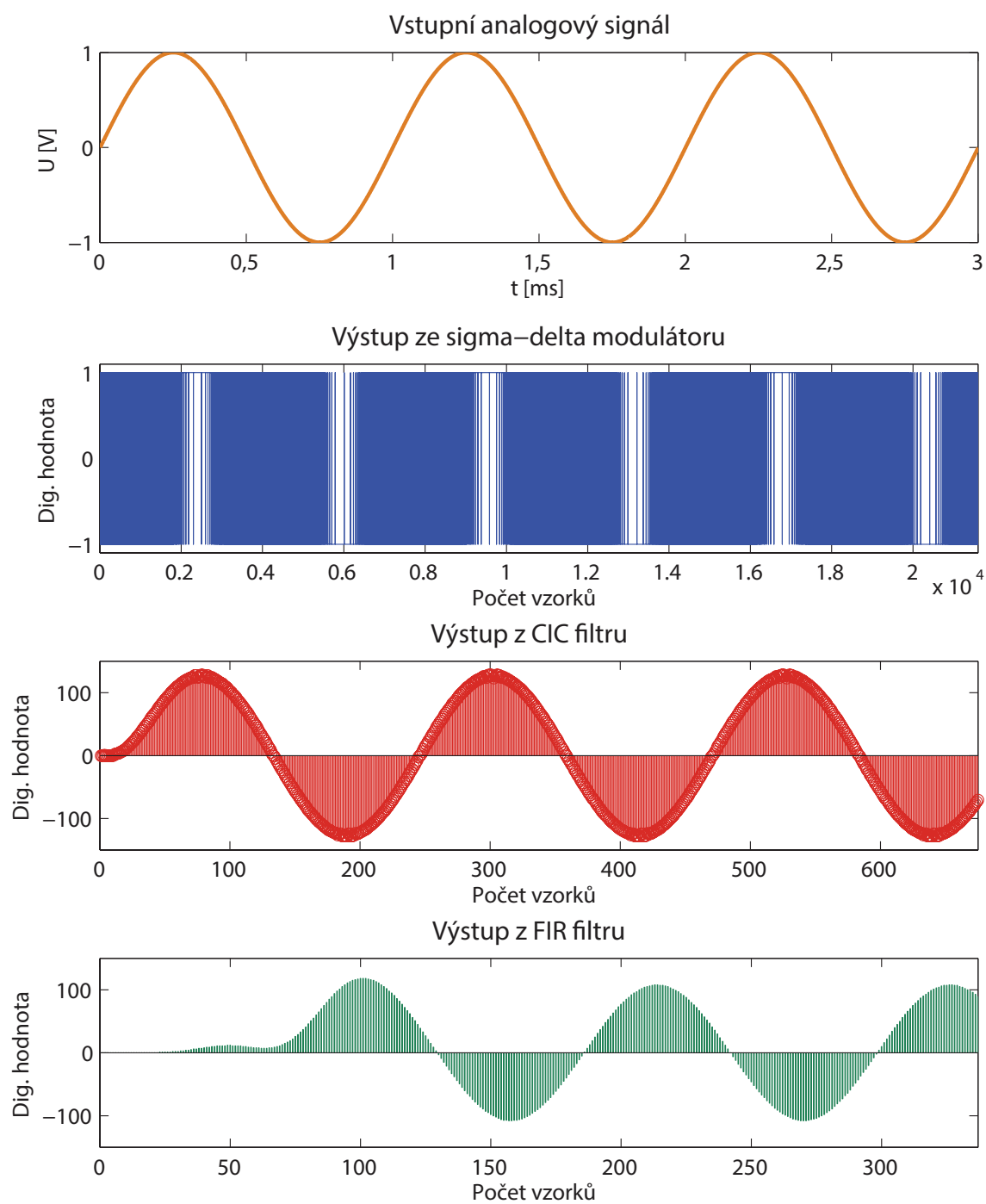
¹Vytvořený převodník má skutečně rozlišení 8-bitů pouze za předpokladu, že vstupní $\Sigma - \Delta$ modulátor má potlačení šumu v pásmu do 4,5 kHz vyšší než 50 dB. Odvození tohoto parametru přesahuje rámec bakalářské práce.



Obr. 2.8: Kmitočtová charakteristika kaskádně zapojených filtrů



Obr. 2.9: Kmitočtová charakteristika CIC, FIR filtru a kaskádně zapojených filtrů



Obr. 2.10: Průběhy v částech A/D převodníku ze simulace v programu Simulink

2.2.4 VHDL popis

Nástroj *fdatool* v programu MATLAB umožňuje z navrženého filtru vygenerovat přímo jeho HDL popis (VHDL nebo Verilog). Výhodou CIC filtru je to, že narozdíl od filtru FIR jeho struktura neobsahuje žádnou násobičku. VHDL popis CIC filtru byl vygenerován pomocí výše zmíněného nástroje *fdatool*. Generování VHDL popisu FIR filtru pomocí tohoto nástroje se ukázalo jako nevýhodné, protože při syntéze takto vzniklého kódu byl v prostředí ISE 14.2 maximální dosažitelný pracovní kmitočet 28,328 MHz, což je velice malá hodnota při porovnání s hlavním pracovním kmitočtem 144 MHz. Výsledek syntézy pro různé popisy FIR filtru shrnuje tabulka 2.5.

Tab. 2.5: Srovnání syntézy VHDL popisu FIR filtru

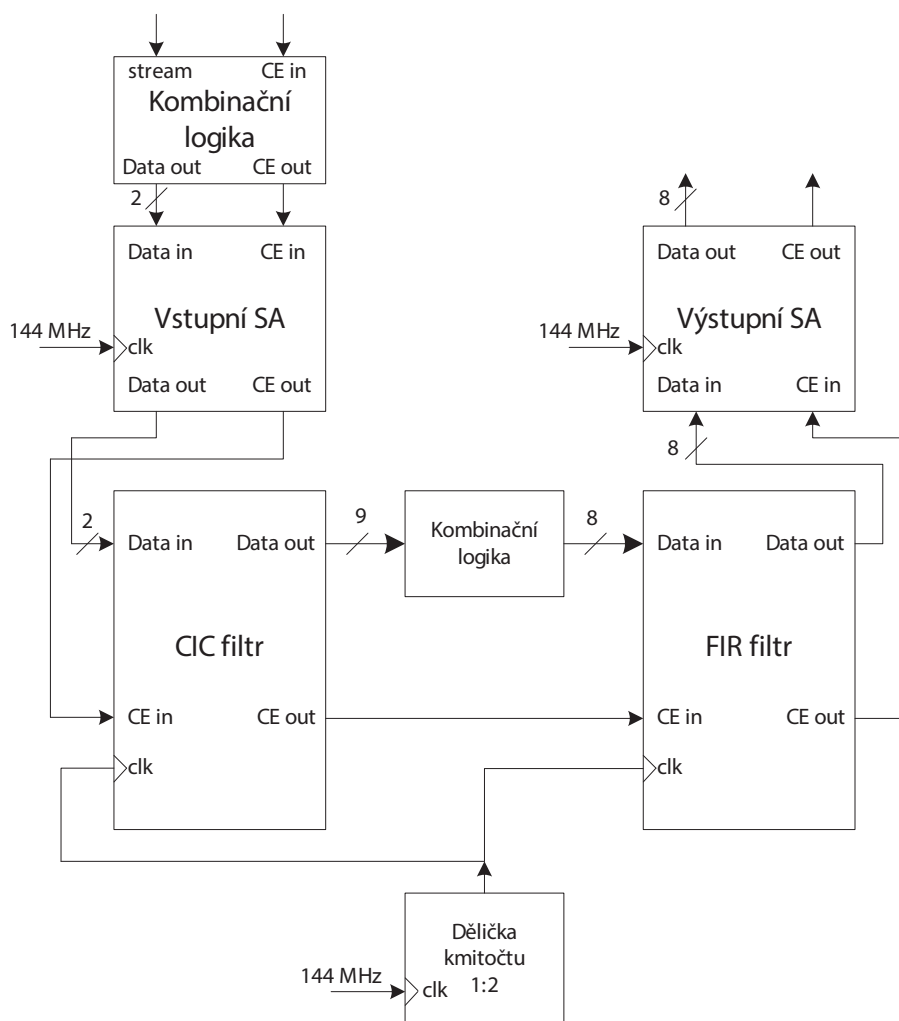
Parametr	ASIC Filter Generator	fdatool serial	Dostupné
Maximální kmitočet	131,822 MHz	28,328 MHz	–
Počet řezů(Slice register usage)	43	2337 (7%)	32640
Počet LUT (Slice LUTs usage)	175	2527 (7%)	32640

Z tabulky 2.5 je patrné, že pracovní kmitočet FIR filtru z nástroje *Asic Filter Generator* lépe vyhovuje požadovanému pracovnímu kmitočtu. Vzhledem k tomu, že FIR filtr nemůže běžet na pracovním kmitočtu 144 MHz, je ve výsledné aplikaci celý blok digitální filtrace provozován na polovičním kmitočtu 72 MHz.

Na obrázku 2.11 je schéma znázorňující propojení filtrů CIC a FIR. Oba filtry běží na kmitočtu 72 MHz, který je získán vydělením hlavního kmitočtu dvěma. Vstupní signál *stream* ze $\Sigma - \Delta$ modulátoru, který je typu `std_logic_vector` a nabývá hodnot 0 nebo 1, je přiveden do kombinační logiky, která jej upravuje na 2-bitový signál, který nabývá hodnot +1 nebo -1, aby CIC filtr mohl pracovat se $\Sigma - \Delta$ modulovaným signálem. Vstupní signál *CE in* (*clock enable*) ze $\Sigma - \Delta$ modulátoru značí, že se na vstupu objevil nový vzorek signálu a trvá po dobu jedné periody hlavního kmitočtu. Vzhledem k tomu, že blok CIC filtru běží na polovičním kmitočtu, vstupní stavový automat (dále jen SA) zajišťuje, aby na svém výstupu měl signál *CE out*, který bude trvat jednu periodu kmitočtu, na kterém běží filtry (72 MHz) – vztaženo k hlavnímu kmitočtu, dvě periody. Dále je mezi filtry CIC a FIR zařazena kombinační logika, která ošetřuje krajní hodnoty na výstupu CIC filtru, které mohou v nejhorším případě dosáhnout hodnot +128 a -129. Pokud se tak stane, na vstup FIR filtru je přivedena hodnota +127, resp. -128.

Další částí je výstupní SA, který umožňuje zpracování signálu z FIR filtru blokem, který běží na kmitočtu 144 MHz. Signál **CE out** z výstupu FIR filtru je ve stavu **log 1** po dobu dvou period hlavního kmitočtu a další blok by zpracoval vzorek dvakrát. Výstupní SA zajistí, že stav **log 1** bude na výstupu pouze po jednu periodu hlavního kmitočtu.

VHDL popis obou filtrů lze nalézt na příloženém CD – pro CIC filtr [22], pro FIR filtr [23], komponenty spojující tyto filtry [24], testbench pro CIC filtr [25], testbench pro FIR filtr [26], testbench pro spojení filtrů [27].



Obr. 2.11: Schéma zapojení propojení CIC a FIR filtru

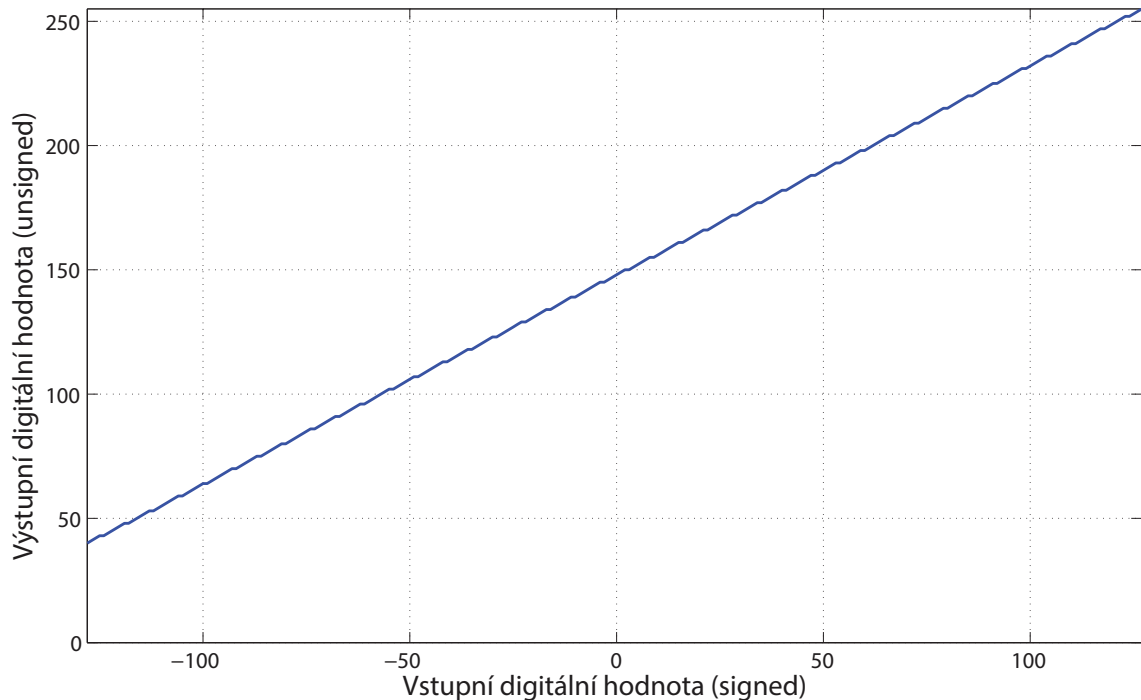
2.3 Změna rozsahu

Aby mohlo být v samotném modulátoru provedeno násobení vzorků audiosignálu se vzorky nosného signálu a byl tak získán amplitudově modulovaný signál se spektrem nosné a oběma postranními pásmy, je výhodné, aby audiosignál dosahoval pouze kladných hodnot – takto bude ovlivňovat pouze amplitudu nosné. Změna rozsahu je provedena vytvořením převodní náhledové tabulky. Na obrázku 2.12 je znázorněna převodní charakteristika pro změnu vstupního signálu *signed* na výstupní signál *unsigned*.

V nástroji simulink byl tento převod realizován komponentou *MATLAB Function Block*, která umožňuje upravit signál pomocí funkce z programu MATLAB, resp. přímo *m-file*. Funkce získaná z lineární regrese je v rovnici 2.4.

$$y = 0,843 \cdot x + 147,91 \quad (2.4)$$

Minimální vstupní hodnota -128 odpovídá výstupní hodnotě 40 a maximální hodnota na vstupu 127 výstupní hodnotě 255. To, jakou hodnotu na výstupu bude mít minimální hodnota ze vstupu určuje ve výsledku hloubku modulace (při maximálním rozkmitu signálu).

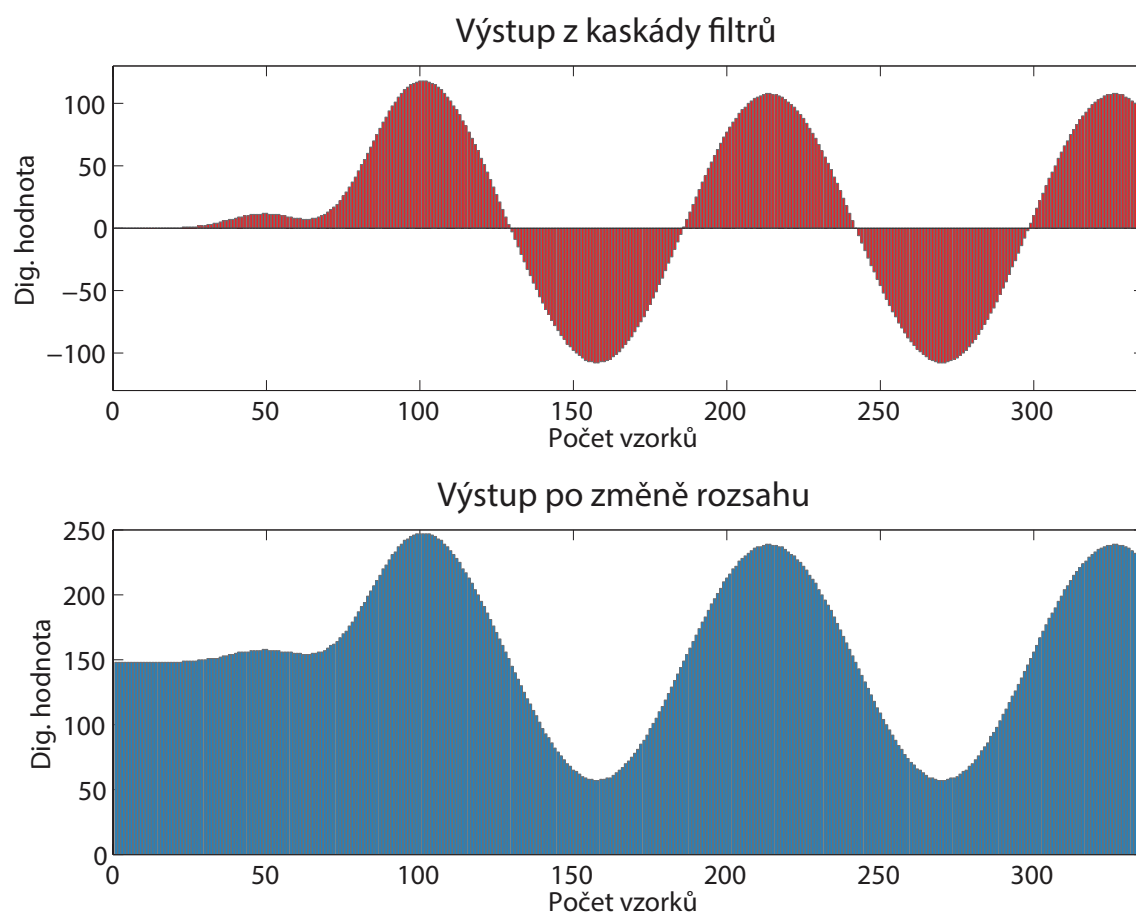


Obr. 2.12: Převodní charakteristika pro změnu rozsahu audiosignálu

$$m[\%] = \frac{S_{\max} - S_{\min}}{S_{\max} + S_{\min}} = \frac{255 - 40}{255 + 40} \doteq 73\% \quad (2.5)$$

Při minimální hodnotě 40 a maximální hodnotě 255 to odpovídá hloubce modula-
lace 73% (viz rovnice 2.5 [17]). Na obrázku 2.13 je znázorněn výstup z předchozího
bloku – FIR filtru (červeně) a výstupní signál po převodu rozsahu (modře) pro
harmonický signál o kmitočtu $f = 1$ kHz.

Případná kompenzace nelineární charakteristiky A/D převodníku by byla vhodná
provést pomocí úpravy této náhledové tabulky.



Obr. 2.13: Vzorky na vstupu a výstupu převodníku rozsahu

2.3.1 VHDL popis

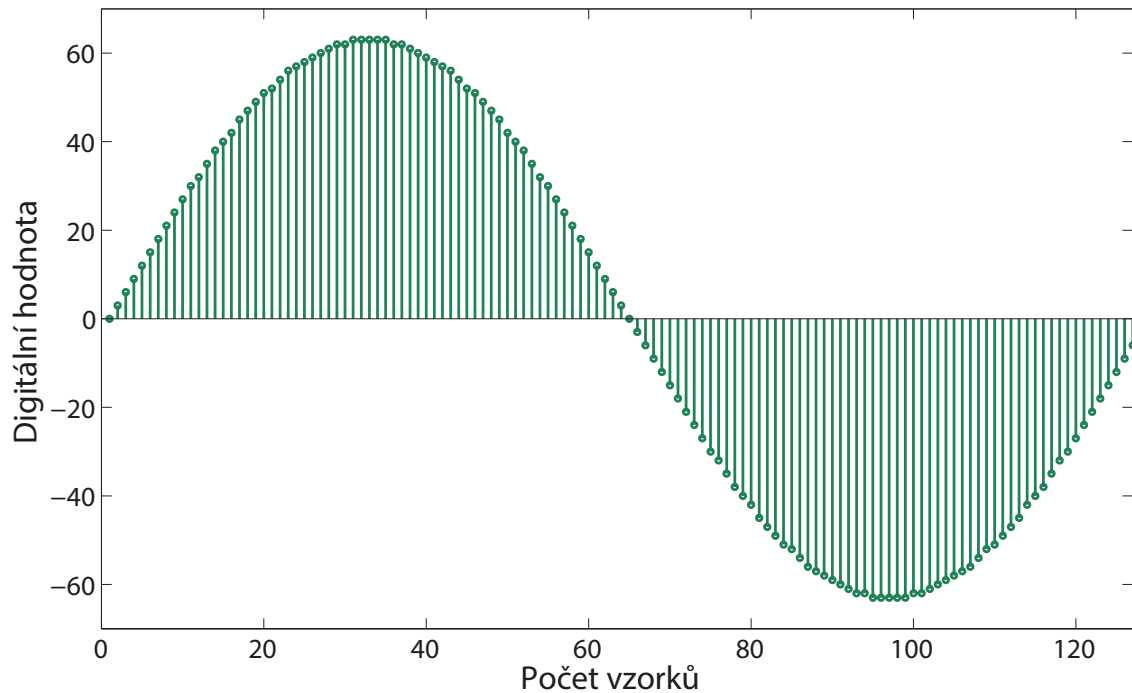
V jazyce VHDL byla vytvořena pomocí skriptu v programu MATLAB náhledová tabulka, jejíž část je znázorněná v tabulce 2.6. Zdrojový kód z *m-file* z programu MATLAB je v příloze A.3 a na přiloženém CD [28]. Celý VHDL popis lze taktéž nalézt na přiloženém CD [29].

Tab. 2.6: Příklad VHDL popisu náhledové tabulky pro převod rozsahu

```
"00101000" when "10000000", - 40 ... -128  
"00101001" when "10000001", - 41 ... -127  
"00101010" when "10000010", - 42 ... -126  
"00101011" when "10000011", - 43 ... -125  
"00101011" when "10000100", - 43 ... -124
```

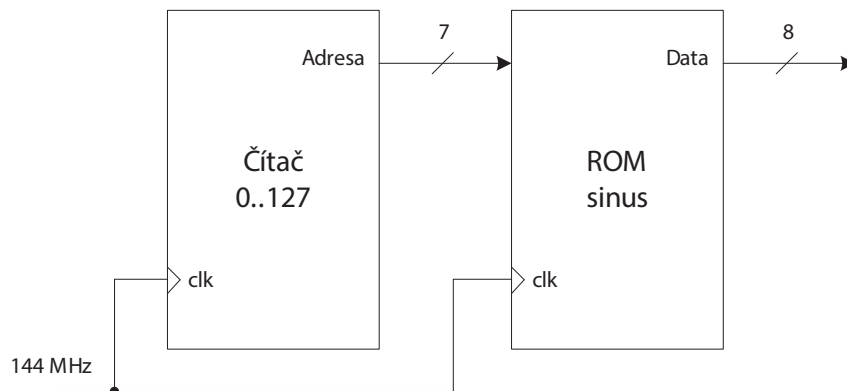
2.4 Náhledová tabulka (ROM) funkce sinus

Vzorky nosného harmonického signálu jsou uloženy v náhledové tabulce. Jedna perioda funkce sinus je navzorkována 128 vzorky s rozlišením 8 bitů (viz obrázek 2.14). Při čtení vzorků na hlavním pracovním kmitočtu 144 MHz představují nosný harmonický signál o kmitočtu 1,125 kHz. Schéma zapojení náhledové tabulky je znázorněno



Obr. 2.14: Vzorky funkce sinus v paměti ROM

na obrázku 2.15. Čítač s každou náběžnou hranou hlavního kmitočtu inkrementuje výstupní 7-bitovou adresu od 0 do 127. Tato adresa je přivedena do náhledové tabulky, ze které je s náběžnou hranou přečten příslušný vzorek a přiveden na výstup. Vzhledem k tomu, že výstupní vzorky jsou na hlavním pracovním kmitočtu, je zbytečné zavádět signál pro detekci nového vzorku *clock enable*, protože nový vzorek je vždy detekován s náběžnou hranou hlavního kmitočtu.



Obr. 2.15: Zapojení náhledové tabulky pro vzorky funkce sinus

2.4.1 VHDL popis

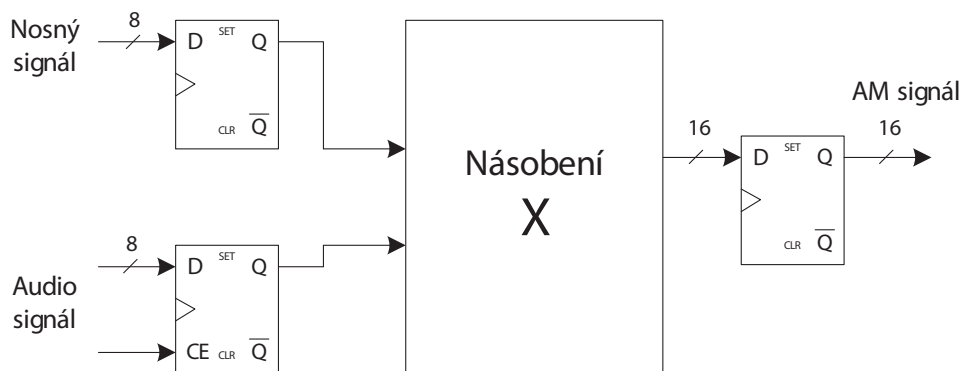
Generování VHDL popisu náhledové tabulky bylo provedeno pomocí skriptu *m-file* v programu MATLAB. Zdrojový kód souboru lze nalézt v příloze A.3 a na příloženém CD [30]. Příklad výstupu z programu MATLAB je uveden v tabulce 2.7. Kompletní VHDL popis této komponenty lze nalézt na příloženém CD [31].

Tab. 2.7: Příklad VHDL popisu náhledové tabulky vzorků funkce sinus [31]

("11111010"),	- 66
("11110111"),	- 67
("11110100"),	- 68
("11110001"),	- 69
("11101110"),	- 70

2.5 Amplitudový modulátor

Z blokového schématu na obrázku 2.1 je patrné, že abychom dostali amplitudově modulovaný signál, je nutné mezi sebou vynásobit vzorky nosného signálu a vzorky upraveného audio signálu. Na obrázku 2.16 je znázorněno zapojení amplitudového modulátoru v obvodu FPGA. Na vstupu jsou zařazeny klopné obvody D. Celý blok

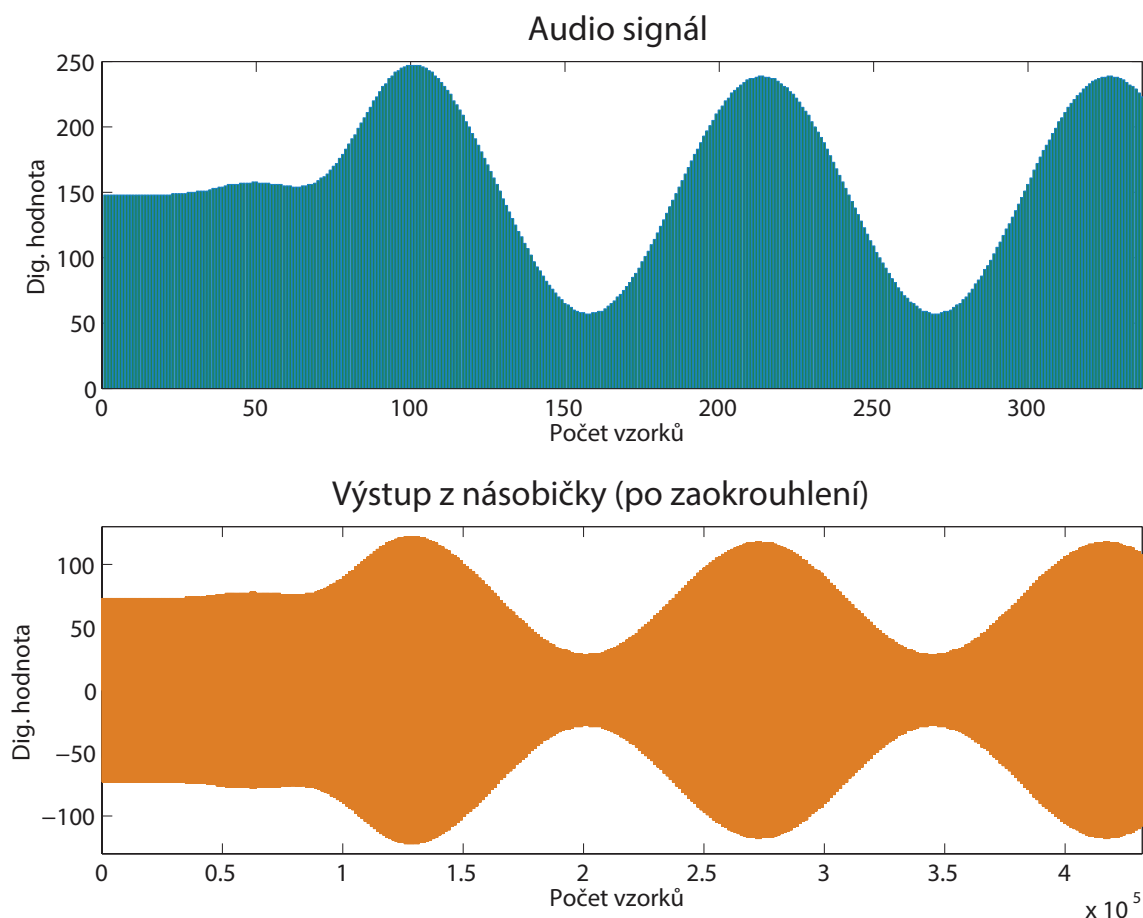


Obr. 2.16: Zapojení amplitudového modulátoru v obvodu FPGA

opět běží na hlavním kmitočtu 144 MHz. Vzorky audio signálu jsou na výstup klopného obvodu načteny vždy s náběžnou hranou a vstupem CE v úrovni log 1. Na výstupu násobičky jsou vzorky amplitudově modulovaného signálu DSB (viz kapitola 1.3). Za násobičkou je zařazen výstupní D klopný obvod. Průběh audio signálu na vstupu a amplitudově modulovaného signálu na výstupu je zobrazen na obrázku 2.17. Z toho obrázku je zřejmé, že modulační audio signál tvoří obálku modulovaného signálu.

Zaokrouhlení je provedeno zahazením spodních 8 bitů. Výsledný signál má rozlišení 8 bitů, což je pro přenos amplitudově modulovaného audio signálu v pásmu středních vln dostačující.

VHDL popis amplitudového modulátoru lze nalézt na příloženém CD [32].



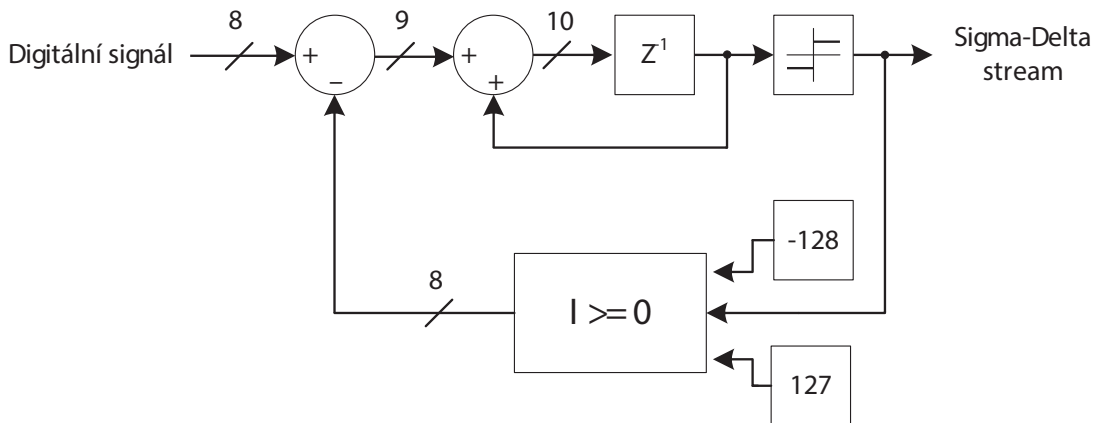
Obr. 2.17: Výstup z násobičky

2.6 D/A převodník

Jako výstupní D/A převodník je použitý $\Sigma-\Delta$ modulátor prvního řádu, jehož výstup je přivedený na pin FPGA obvodu. z blokového schématu na obrázku 2.1 je zřejmé, že D/A převodník převádí digitální vzorky amplitudově modulovaného signálu na analogovou veličinu (napětí). Na tento pin je připojena ještě dolní propust druhého řádu, která vyhlazuje nežádoucí složky spektra.

2.6.1 $\Sigma - \Delta$ modulátor

Model z programu Simulink výstupního $\Sigma - \Delta$ modulátoru je znázorněn na obrázku 2.18.



Obr. 2.18: Model výstupního Sigma-Delta modulátoru v nástroji Simulink [19]

Vzorky z násobičky s rozlišením 8 bitů jsou přivedeny na vstup sumačního bloku, kde je proveden rozdíl s výstupem ze zpětné vazby. Výstupem prvního sumačního bloku je 9 bitové číslo, které je přivedeno na druhý sumační blok, který společně se zpožďovacím obvodem tvoří integrátor. Na výstupu integrátoru je signál s rozlišením 10 bitů, který je kvantifikátorem (lze si jej představit jako 1-bitový D/A převodník) převeden na hodnotu 1, pokud je na vstupu kladná hodnota, resp. na hodnotu -1 , je-li na vstupu záporná hodnota.

2.6.2 VHDL popis

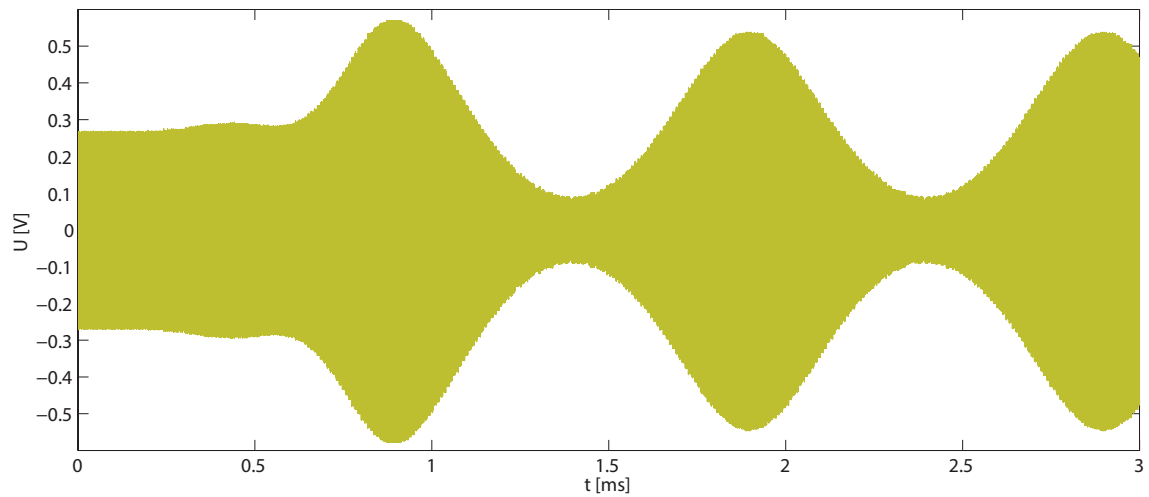
VHDL popis výstupního $\Sigma - \Delta$ modulátoru a testbench lze nalézt na příloženém CD [33], [34].

2.6.3 Dolní propust

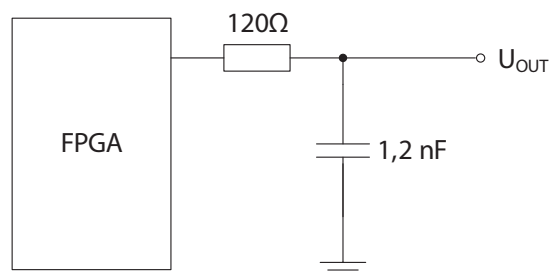
Výstup ze $\Sigma - \Delta$ modulátoru, resp. výstupní 1-bitový Sigma-Delta *bitstream* obsahuje ve svém spektru amplitudově modulovaný signál a další šum. Proto je důležité odstranit vyšší kmitočty než je nosný kmitočet 1,125 kHz amplitudově modulovaného signálu. V nástroji Simulink byla použita komponenta *Analog Butterworth LP filter*. Výstup z této komponenty je znázorněn na obrázku 2.19. Zapojení pasivní dolní propusti s obvodem FPGA je na obrázku 2.20.

Hodnota rezistoru 120Ω byla zvolena a k němu byla dopočítaná hodnota kondenzátoru podle rovnice 2.6. Hodnota je zaokrouhlena na nejbližší vyšší hodnotu z řady E12, která je 1,2 nF. Vzhledem k toleranci součástek z řady E12 $\pm 10\%$ je tato odchylka zanedbatelná.

$$C = \frac{1}{2\pi f R} = \frac{1}{2 \cdot 3,14152654 \cdot 1,125 \cdot 10^6 \cdot 120} = 1,178 \text{ nF} \doteq 1,2 \text{ nF} \quad (2.6)$$



Obr. 2.19: Výstup z komponenty *Analog Butterworth LP filter* v nástroji Simulink

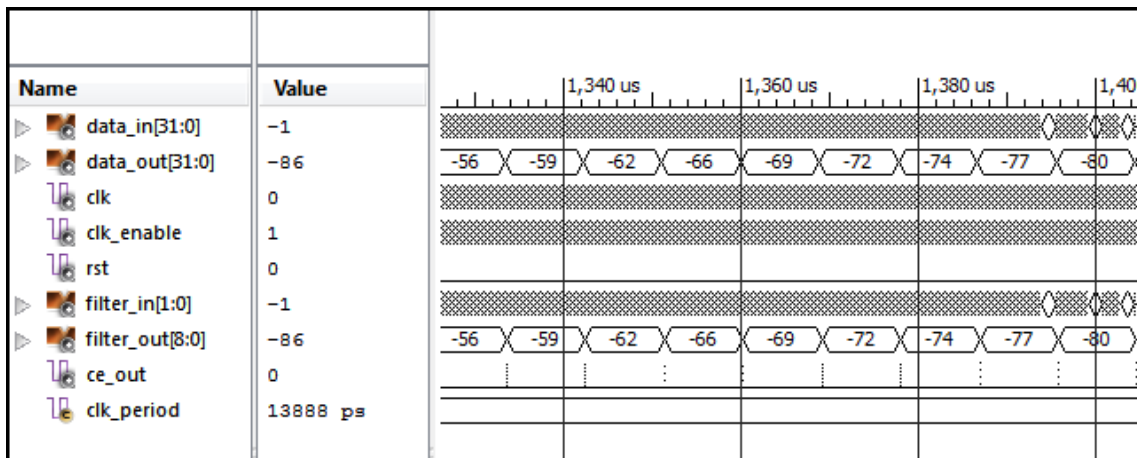


Obr. 2.20: Schéma zapojení pasivní dolní propusti s obvodem FPGA

2.7 Verifikace VHDL popisu

VHDL popis všech dílčích bloků je nutné verifikovat, tzn. ověřit, jestli jejich vnitřní a výstupní signály jsou správné. Verifikace byla provedena v simulačním nástroji iSim, který je obsažený ve výjovém prostředí ISE 14.2 od firmy Xilinx. Ze správně funkčního modelu v nástroji Simulink byly vstupní a výstupní signály jednotlivých bloků uloženy do binárních souborů (typu *int32*). Pro každý dílčí blok byl vytvořen testbench, ve kterém je vždy načten referenční vstup, který je přiveden na vstup VHDL modelu a výstup ze souboru je porovnán s hodnotou na výstupu modelu. Vzhledem k tomu, že pro popis FIR filtru nebyl použit nástroj *fdatool* obsažený v nástroji MATLAB, tyto výstupy nebylo možné touto metodou ověřit. Proto byl výstup z nástroje iSim opět uložen do souboru, tento soubor byl načten v programu MATLAB, kde byl vykreslen jeho průběh a porovnán s referenční hodnotou – skript lze nalézt na CD [35]. Stejný postup byl aplikován u bloku pro násobení vzorků audio signálu a vzorků funkce sinus (amplitudový modulátor), protože při generování referenčního průběhu v nástroji Simulink bylo použito rozdílné zaokrouhlování vzorků nosného kmitočtu (liší se maximálně o LSB). Všechny výsledky simulace se shodují s referenčními výstupy z nástroje Simulink.

Na obrázku 2.21 je znázorněna verifikace filtru CIC v simulačním prostředí iSim.



Obr. 2.21: Verifikace CIC filtru v prostředí iSim

Na příloženém CD se nachází testbench pro každý blok včetně testbenche, který ověřuje simulaci celé digitální části – tj. bez vstupního $\Sigma - \Delta$ modulátoru [36]. Skripty v jazyce MATLAB pro načítání výstupních dat ze simulace VHDL popisu jsou taktéž přiloženy na CD [35].

2.8 Výsledný obvod

Fotografie vstupního modulu s pasivními součástkami pro integrátor $\Sigma - \Delta$ modulátoru a vstupním vazebním kondenzátorem umístěného na vývojové desce je na obrázku 2.22.



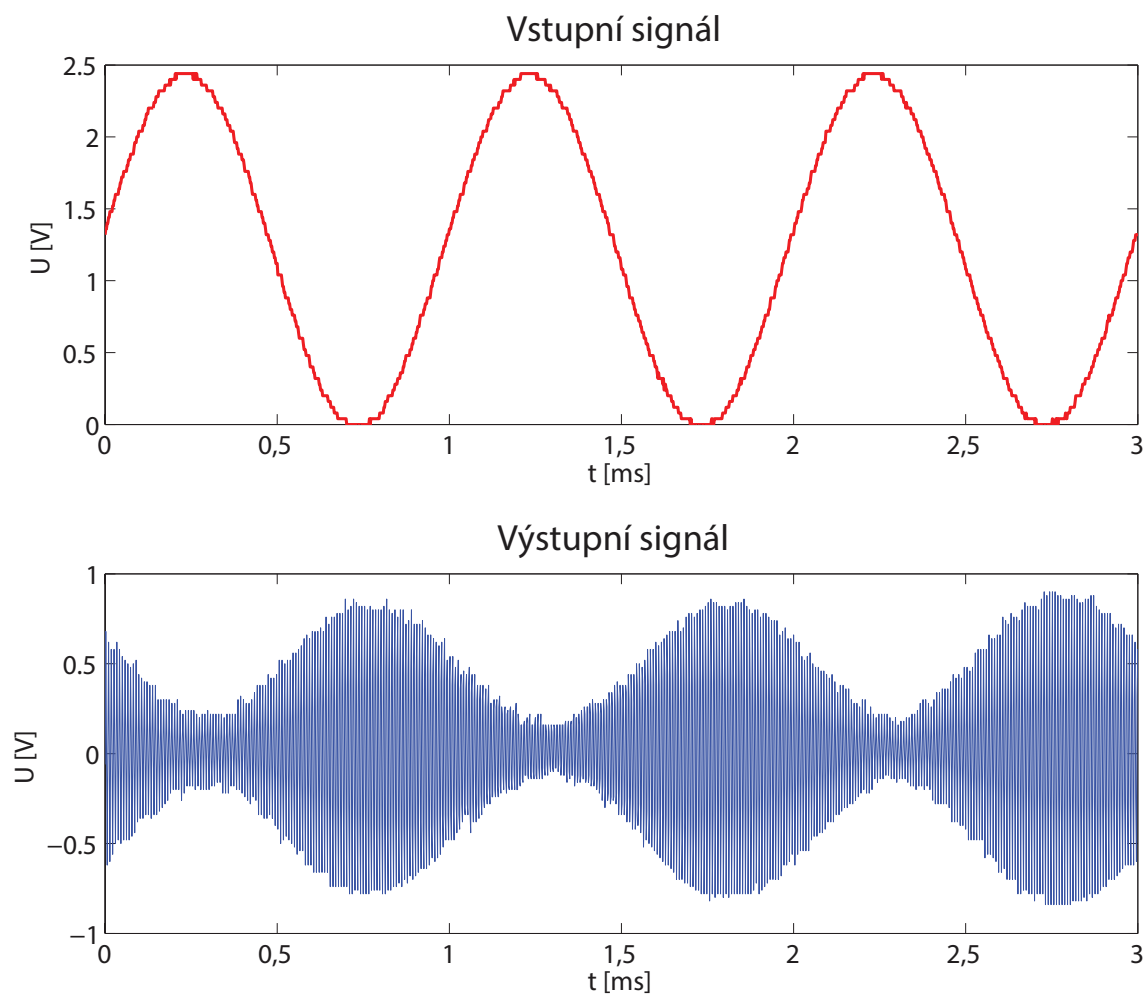
Obr. 2.22: Vstupní modul na vývojové desce ML-506

Obsazenost dostupných hradel v obvodu FPGA po implementaci celého designu je shrnuta v tabulce 2.8. Z dostupných hradel v obvodu je využito cca 1%.

Tab. 2.8: Využití prostředků dostupným v FPGA obvodu Virtex-5 po implementaci

Parametr	Hodnota	Dostupné
Počet řezů (Slice register usage)	284 (1%)	32640
Počet LUT (Slice LUTs usage)	449 (1%)	32640

2.9 Naměřené hodnoty



Obr. 2.23: Naměřené hodnoty vstupního a výstupního signálu

Na vstup modulátoru byl z generátoru Agilent 33210A přiveden harmonický signál o hodnotě $U_{\text{MAX}} = 2,5 \text{ V}$ a $U_{\text{MIN}} = 0 \text{ V}$ (vzhledem k pokrytí maximální rozsahu vstupního A/D převodníku) a kmitočtu $f = 1 \text{ kHz}$. Výstup modulátoru byl sledován pomocí osciloskopu Agilent DSO1002A.

Tab. 2.9: Hodnoty pro výpočet hloubky modulace na výstupu modulátoru

Čas [s]	Napětí [V]
0,86	1,76
0,12	1,30

Data získaná z osciloskopu jsou na obrázku 2.23. Z obrázku je zřejmé, že amplitudově modulovaný signál je zpožděný oproti vstupnímu signálu. Toto zpoždění způsobuje z velké části FIR filtr, který počítá jednotlivé vzorky. Z naměřených hodnot bylo odečteno napětí v místech, kde modulovaný signál dosahuje minimální a maximální amplitudy. Tyto hodnoty jsou v tabulce 2.9.

$$m[\%] = \frac{S_{\max} - S_{\min}}{S_{\max} + S_{\min}} = \frac{0,86 - 0,12}{0,86 + 0,12} \doteq 76\% \quad (2.7)$$

Podle naměřených hodnot můžeme podle rovnice 2.7 [17] vypočítat hloubku amplitudové modulace (viz kapitola 1.3.1) na výstupu. Vypočtená hodnota $m = 76\%$ je hodnota odpovídající navrhované $m = 73\%$ v kapitole 2.3. Odchylka může být způsobena rušivými signály, které jsou nasuperponovány na výstupní signál, jelikož vývojová deska není navrhována na šíření analogových signálů.

3 ZÁVĚR

Cílem této práce bylo implementovat amplitudový modulátor do obvodu FPGA s pevnou hloubkou modulace, nosným harmonickým kmitočtem $f = 1,125$ kHz a rozlišením 8 bitů. V úvodní části byla krátce shrnuta historie amplitudové a frekvenční modulace pro rozhlasové vysílání. V teoretické části byl vyjádřen princip a průběh amplitudové a frekvenční modulace v časově i kmitočtové oblasti. Byly zmíněny normy pro rozhlasové vysílání v České republice. Jedna z kapitol byla věnována způsobu $\Sigma - \Delta$ modulace a její použití v elektrotechnice.

Praktická část se zabývá návrhem amplitudového modulátoru. Byl realizován 8-bitový A/D převodník, který obsahuje $\Sigma - \Delta$ modulátor prvního řádu v obvodu FPGA, CIC a FIR digitální filtr. Dále byl realizován blok pro změnu rozsahu signálu, násobení vzorků, paměť ROM se vzorky funkce sinus a výstupní $\Sigma - \Delta$ modulátor, který slouží jako D/A převodník. Před samotným VHDL popisem byl vytvořen kompletní model v programu Simulink a otestována korektní funkčnost návrhu. Pro realizaci byl vybrán FPGA obvod Virtex-5 od firmy Xilinx, který dokáže pracovat na potřebném pracovním kmitočtu a díky vstupním diferenčním párům, které obsahuje, bylo možné velice elegantně vytvořit A/D převodník pouze za použití dvou pasivních součástek, který umožňuje digitalizovat napětí v rozsahu 0 až 2,5 V. Výsledné zařízení umožňuje podle normy pro rozhlasové vysílání amplitudově modulovat zvukový signál na nosný kmitočet 1,125 MHz, při maximálním rozkmitu signálu s hloubkou modulace 76%. Všechny cíle práce se podařilo splnit.

Na vývojové desce ML-506 nelze ověřit plný potenciál zapojení, protože deska není uzpůsobena pro šíření analogových signálů. Vzhledem k malému výstupní výkonu z pinu obvodu FPGA, by pro praktické použití bylo vhodné tento obvod doplnit patřičným zesilovačem a anténou.

V eventuální navazující diplomové práci by bylo vhodné amplitudový modulátor doplnit o přeladitelnost nosného kmitočtu za pomoci implementace DDS bloku. Dále by mohla být paměť ROM se vzorky funkce sinus komprimována, aby se snížil počet obsazených ekvivalentních hradel a také by jistě obsluha ocenila možnost nastavení hloubky modulace, která je v této bakalářské práci neměnná.

Dalším zlepšením by mohla být implementace frekvenční modulace do obvodu FPGA, která v této práci není řešena a přesahuje rámec bakalářské práce.

LITERATURA

- [1] Reginald Fessenden (1866-1931). *About.com* [online]. [cit. 2012-12-12]. Dostupné z: <<http://inventors.about.com/library/inventors/blfessenden.htm>>.
- [2] This is the FM section of The Broadcast Archive. *The Broadcast Archive* [online]. 2012 [cit. 2012-12-12]. Dostupné z: <http://www.olderadio.com/current/bc_fm.htm>.
- [3] BOSTRÖM, H. *An FPGA implementation of a digital FM modulator* [online]. Linköping, 2011 [cit. 2013-05-30]. Dostupné z: <<http://liu.diva-portal.org/smash/get/diva2:437259/FULLTEXT01>>. Diplomová práce. Linköpings universitet, Department of Electrical Engineering.
- [4] FM Waveform Implementation Using an FPGA-Based Digital IF and a Linux-Based Embedded Processor. In: HASAN, S., LEE, K. a ELLINGSON, S.W. *Chameleonic Radio* [online]. 2006 [cit. 2013-05-30]. Dostupné z: <http://www.ece.vt.edu/swe/chamrad/crdocs/CRTM12_060929_StratixBlackfinFM.pdf>.
- [5] PRCHAL, J. *Signály a soustavy*. 1. vyd. Praha: SNTL, 1987, 323 s.
- [6] THE EUROPEAN TABLE OF FREQUENCY ALLOCATIONS AND APPLICATIONS IN THE FREQUENCY RANGE 9 kHz to 3000 GHz: ECA TABLE. *European Communication Office* [online]. 1998 [cit. 2012-12-11]. Dostupné z: <<http://www.erodocdb.dk/docs/doc98/official/pdf/ERCRep025.pdf>>.
- [7] Plán přidělení kmitočtových pásem (národní kmitočtová tabulka). In: *Sbírka zákonů Česká republika* [online]. Břeclav: Moraviapress, 2010 [cit. 2013-05-30]. ISSN 1211-1244. Dostupné z: <http://www.ctu.cz/cs/download/kmitoctova_tabulka/vyhlasaka_105-2010_sb038-10.pdf>.
- [8] *České radiokomunikace* 2013 [cit. 2013-05-30]. Dostupné z: <<http://www.radiokomunikace.cz>>.
- [9] Transmission standards for FM sound broadcasting at VHF. In: *RECOMMENDATION ITU-R BS.450-3* [online]. 2011 [cit. 2012-12-04]. Dostupné z: <<http://www.utdallas.edu/~dlm/3350%20comm%20sys/ITU%20std%20on%20FM%20--%20R-REC-BS.450-3-200111-I!!PDF-E.pdf>>.
- [10] SCHREIER, R. *Understanding delta-sigma data converters*. Piscataway: IEEE Press, 2005, 446 s. ISBN 04-714-6585-2

- [11] KESTER, W. ADC Architectures III: Sigma-Delta ADC Basics. *MT-022 TUTORIAL* [online]. 2009, č. 3, s. 12 [cit. 2012-11-13]. Dostupné z: <<http://www.analog.com/static/imported-files/tutorials/MT-022.pdf>>.
- [12] HÁZE, J. *Teorie vzájemného převodu analogového a číslicového signálu* [online]. Brno, 2010 [cit. 2012-11-22]. Dostupné z: <https://www.umel.feec.vutbr.cz/MTVP/prednasky/AD_DA_scripta.pdf>.
- [13] Super Audio Compact Disc. In: *A Technical Proposal* [online]. 1997 [cit. 2012-11-14]. Dostupné z: <<http://www.superaudiocenter.com/images/dsd.pdf>>.
- [14] Product Specification. In: *Virtex-5 Family Overview* [online]. 2009 [cit. 2013-05-23]. Dostupné z: <http://www.xilinx.com/support/documentation/data_sheets/ds100.pdf>.
- [15] MathWorks: *Products and services* [online]. 2013 [cit. 2013-06-03]. Dostupné z: <<http://www.mathworks.com/products/>>.
- [16] Realizace Sigma-Delta převodníku pomocí FPGA. *Elektro revue* [online]. 2011, č. 64, s. 5 [cit. 2012-11-14]. ISSN 1213-1539. Dostupné z: <<http://www.elektrorevue.cz/cz/download/realizace-sigma-delta-prevodniku-pomoci-fpga/>>.
- [17] BIOLKOVÁ, V., BIOLEK D. a PROKEŠ A. *Systémy, procesy a signály I: sbírka příkladů*. Vyd. 1. Brno: VUT, 1996, s. 106-112. ISBN 80-214-0832-4. Dostupné z: <<http://user.unob.cz/biolek/vyukaVA/skripta/SYPSI/sypsi.htm>>.
- [18] ŠEBESTA, V. *Signály a soustavy* [online]. 1. vyd. Brno: VUT FEKT, 2003, 145 s. [cit. 2012-11-28]. ISBN 80-214-2434-6.

Přílohy na CD

- [19] Model celého obvodu pro nástroj Simulink. Umístění: (MATLAB\simulink_model.mdl).
- [20] Skript v jazyce MATLAB pro návrh CIC a FIR filtru. Umístění: (MATLAB\filter_design.m).
- [21] VHDL popis hlavní komponenty. Umístění: (VHDL\main.vhd).
- [22] VHDL popis CIC filtru. Umístění: (VHDL\filter_CIC.vhd).
- [23] VHDL popis FIR filtru. Umístění: (VHDL\fir_filter.vhd).
- [24] VHDL popis komponenty spojující filtry CIC a FIR: (VHDL\top_filter.vhd).
- [25] VHDL popis testbench CIC filtru. Umístění: (VHDL\testbench\filter_CIC_tb.vhd).
- [26] VHDL popis testbench FIR filtru. Umístění: (VHDL\testbench\p_fir_filter_tb.vhd).
- [27] VHDL popis testbench komponenty spojující filtry. Umístění: (VHDL\testbench\top_filter_tb.vhd).
- [28] Skript v jazyce MATLAB pro generování VHDL popisu náhledové tabulky pro změnu rozsahu signálu. Umístění: (MATLAB\prevod_signed_usinged.m).
- [29] VHDL popis testbench komponenty pro změnu rozsahu. Umístění: (VHDL\adsignal_scale.vhd).
- [30] Skript v jazyce MATLAB pro generování VHDL popisu náhledové tabulky vzorků funkce sinus. Umístění: (MATLAB\LUT_sinus.m).
- [31] VHDL popis náhledové tabulky pro funkci sinus. Umístění: (VHDL\sinus_ROM.vhd).
- [32] VHDL popis amplitudového modulátoru. Umístění: (VHDL\AM_modulator.vhd).
- [33] VHDL popis výstupního $\Sigma - \Delta$ modulátoru. Umístění: (VHDL\SD_out.vhd).
- [34] VHDL popis testbench výstupního $\Sigma - \Delta$ modulátoru. Umístění: (VHDL\testbench\SD_out_tb.vhd).

- [35] Skript v jazyce MATLAB pro načítání souborů z VHDL simulace. Umístění: (MATLAB\isim_fileread.m).
- [36] VHDL popis testbench celé digitální části. Umístění: (VHDL\testbench\main_tb.vhd).

SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

U	elektrické napětí [V]
R	elektrický odpor [Ω]
C	kapacita [F]
f	kmitočet [Hz]
BW	šířka pásma – bandwidth [Hz]
SNR	odstup signálu od šumu – signal-noise ratio [dB]
t	čas [s]
$x(t)$	modulační signál
$n(t)$	nosný signál
$s(t)$	modulovaný signál
m	modulační koeficient [–]
f_s	vzorkovací kmitočet – sampling frequency
f_m	mezní kmitočet
AM	amplitudová modulace – amplitude modulation
FM	frekvenční modulace – frequency modulation
DSB	obě postranní pásma – dualside band
DSBSC	obě postranní pásma, nosná potlačena – dualside band suppressed carrier
CD	kompaktní disk – compact disc
SACD	super audio compact disc
DSD	direct stream digital
VHDL	VHSIC jazyk pro popis hardwaru – VHSIC hardware description language
VHSIC	velmi rychlé integrované obvody – very high speed integrated circuits
FPGA	programovatelné hradlové pole – field-programmable gate array
CIC	kaskádový hřebenový filtr – cascaded integrator comb

FIR	filtr s konečnou impulzní odezvou – finite impulse response
VHF	velmi vysoká frekvence – very high frequency
OSR	řád převzorkování – oversampling ratio
RDS	radio data system
DDS	přímá číslicová syntéza – direct digital synthesis
LUT	náhledová tabulka – lookup table
IP	duševní vlastnictví – intellectual property
ROM	paměť pouze ke čtení – read-only memory
ASIC	aplikačně specifické integrované obvody – application-specific integrated circuit
LSB	nejméně významný bit – least significant bit

SEZNAM POUŽITÝCH PŘÍSTROJŮ A SOFT- WARU

3.1 Software

- MATLAB (R2011a) + Simulink
- Xilinx ISE 14.2 System Edition
- Xilinx iSim
- Microsoft Visio 2010
- Adobe Illustrator CS5.1
- T_EXnicCenter 2.0 beta 1

3.2 Přístroje

- Vývojová deska Xilinx ML-506
- Programátor Xilinx Platform Cable USB II
- Digitální osciloskop Agilent DSO1002A
- Funkční generátor Agilent 33210A
- Multimetr Agilent 34401A
- Zdroj Diametral P230R51D

SEZNAM PŘÍLOH

A	Zdrojové kódy v programu MATLAB	57
A.1	CIC filtr	57
A.2	FIR filtr	58
A.3	Převodní tabulka	59
A.4	Paměť ROM funkce sinus	60
B	Schéma pro simulaci v nástroji simulink	61

A ZDROJOVÉ KÓDY V PROGRAMU MATLAB

A.1 CIC filtr

```
1 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
2 %%%% CIC Filter
3 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
4 R    = 32; % Decimation factor CIC
5 D    = 1; % Differential delay
6 Nsecs= 5; % Number of sections
7 IWL  = 2; % Input word length
8 IFL  = 0; % Input fraction length
9 OWL  = 9; % Output word length
10
11 hcic = mfilt.cicdecim(R,D,Nsecs,IWL,OWL);
12 hcic.Arithmetic='fixed';
13 hcic.InputFracLength = IFL;
14 hcic.FilterInternals = 'MinWordLengths';
15 hcic.InputWordLength = 2;
16 hcic.OutputWordLength = 9;
17
18 info(hcic)
19
20 hgain = dfilt.scalar(1/gain(hcic)); % Define gain
21 hcicnorm = cascade(hgain,hcic);
```

A.2 FIR filtr

```
1 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
2 %%%% FIR Filter Compensation
3 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
4
5 Fs      = 225e3;      % Sampling frequency
6 Apass   = 0.1;       % dB
7 Astop   = 55;        % dB
8 Aslope  = 20;        %
9 Fpass   = 2e3;       % Hz passband-edge frequency
10 Fstop   = 4.5e3;    % Hz stopband-edge frequency
11 NsecsFIR = 5;       % Number of sections FIR
12 DFIR    = 1;        % Differential Delay FIR
13
14 f = fdesign.decimator(2, 'ciccomp', DFIR, NsecsFIR, Fpass, Fstop, ...
    Apass, Astop, Fs);
15 compfir = design(f, 'equiripple', ...
16               'StopbandShape', 'linear', ...
17               'StopbandDecay', Aslope);
18
19 set(compfir, ...
20     'Arithmetic', 'fixed', ...
21     'CoeffWordLength', 13, ...
22     'InputWordLength', 8, ...
23     'InputFracLength', 0, ...
24     'FilterInternals', 'specifyPrecision', ...
25     'outputWordLength', 8, ...
26     'outputFracLength', 0, ...
27     'RoundMode', 'nearest', ...
28     'OverflowMode', 'Saturate');
29
30 hcasnorm = cascade(hcicnorm, compfir);           % cascade of
31 h = fvtool(hcicnorm, 'Fs', Fs_in);
32 set(gcf, 'Color', 'White');
33 set(h, 'Filters', [hcasnorm, hcicnorm, compfir], 'Fs', [Fs_in, ...
    Fs_in, Fs_in/R]);
```

A.3 Převodní tabulka

```
1 % Generování převodní tabulky signálu int8 signed (-128;127) na ...  
    rozsah  
2 % (40;255)  
3 % Do souboru je vygenerován VHDL (Case sel) kód s převodní LUT  
4 clc  
5 x = -128:127;  
6 y = round(0.843*x + 147.91);  
7  
8 int8_x = int8(x);  
9 uint8_y = uint8(y);  
10  
11 % případný převod na binární (string) pro použití bez knihovny  
12 % ieee.numeric_std  
13 bin_x = dec2bin(typecast(int8_x,'uint8'));  
14 bin_y = dec2bin(typecast(uint8_y,'uint8'));  
15  
16 plot(int8_x, uint8_y);  
17  
18 % generování VHDL  
19 fileID = fopen('prevod_VHDL.txt', 'w');  
20 for i = 1:256  
21     fprintf(fileID, "%s%s%s%s%s%s%s%s" when "%s%s%s%s%s%s%s%s", ...  
        — %3d ... %4d \r\n', bin_y(i,1), bin_y(i,2), ...  
        bin_y(i,3), bin_y(i,4), bin_y(i,5), bin_y(i,6), ...  
        bin_y(i,7), bin_y(i,8), bin_x(i,1), bin_x(i,2), ...  
        bin_x(i,3), bin_x(i,4), bin_x(i,5), bin_x(i,6), ...  
        bin_x(i,7), bin_x(i,8), y(i), x(i));  
22 end;  
23 fclose(fileID);
```

A.4 Paměť ROM funkce sinus

```
1 % Kód vygeneruje VHDL popis ROM paměti pro funkci sinus s ...  
   rozlišením 7 bitů  
2 % (std_logic_vector (7 downto 0)) a 128 vzorky na periodu  
3 clc  
4 step = 2*pi/128;  
5 x = 0:step:2*pi-step;  
6 y = round(63*sin(x));  
7  
8 stem(x,y);  
9 bin_y = (dec2bin(typecast(int8(y),'uint8')));  
10  
11  
12 fileID = fopen('VHDL_sinus.txt','w');  
13 for i = 1:128  
14     fprintf(fileID, ("%s%s%s%s%s%s%s%s"),    — %3d \r\n', ...  
               bin_y(i,1), bin_y(i,2), bin_y(i,3), bin_y(i,4), ...  
               bin_y(i,5), bin_y(i,6), bin_y(i,7), bin_y(i,8), i-1);  
15 end  
16 fclose(fileID);
```

