



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ**

ÚSTAV RADIOELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF RADIO ELECTRONICS

SIGNÁLOVÝ A DATOVÝ LOGGER

SIGNAL AND DATA LOGGER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. TAMÁS BORSÁNYI

VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. JAROMÍR KOLOUCH, CSc.

BRNO 2014



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav radioelektroniky

Diplomová práce

magisterský navazující studijní obor
Elektronika a sdělovací technika

Student: Bc. Tamás Borsányi

ID: 115155

Ročník: 2

Akademický rok: 2013/2014

NÁZEV TÉMATU:

Signálový a datový logger

POKYNY PRO VYPRACOVÁNÍ:

Seznamte se s principy spouštění časových základen pro analogové a digitální signály u současných osciloskopů. Navrhněte koncepci signálového a datového loggeru pro 3 analogové vstupy a 8 digitálních vstupů. Záznam do interní paměti bude spouštěn na základě identifikace hledaného vzoru kombinace signálů na analogových a digitálních vstupech. Zaznamenán bude definovaný časový interval před detekovanou událostí a po ní. Každý záznam bude opatřen časovou značkou a bude je možné stáhnout jej do PC. Konfigurace loggeru bude prováděna rovněž z PC.

Vypracujte podrobný návrh elektrického zapojení loggeru. Zpracujte také návrh plošných spojů a bloků programového vybavení. Navržené zařízení realizujte a otestujte jeho funkci.

DOPORUČENÁ LITERATURA:

[1] Agilent Technologies, Inc. Agilent InfiniiVision 5000/6000/7000 Series Oscilloscopes – User's Guide [online]. Agilent, 2011 – [cit. 20. ledna 2011]. Dostupné na [www: http://www.agilent.com](http://www.agilent.com)

[2] MANN, B. C pro mikrokontroléry. Praha: BEN, 2003.

Termín zadání: 10.2.2014

Termín odevzdání: 23.5.2014

Vedoucí práce: doc. Ing. Jaromír Kolouch, CSc.

Konzultanti diplomové práce: Ing. Martin Kravka, Honeywell

doc. Ing. Tomáš Kratochvíl, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Cieľom tohto projektu je navrhnuť signálový a dátový logger, ktorý dokáže zachytávať analógové aj digitálne signály, s veľmi dlhou dobou záznamu. Prístroj podporuje viackanálové komplexné spúšťacie podmienky, real-time osciloskop mód, ako je režim offline analýzy predošle navzorkovaných dát. Tento projekt obsahuje podrobnú analýzu problematiky, popis hardwarových a softwarových riešení a použitých metód. Na záver práca obsahuje skúšobne testy a merania. Toto zariadenie nájde svoje využitie hlavne pri hardwarovom ladení mikroprocesorových aplikácií.

KLÚČOVÉ SLOVÁ

ADC, trigger, spúšťacia podmienka, logger, VHDL, FPGA, RAM, analóg, digitál, USB.

ABSTRACT

The goal of this project is to design a signal and data logger, which captures analog and digital signals with very long record time. The device supports multichannel complex triggering, a real-time oscilloscope-like mode and an offline mode for analyzing of previously sampled data. This project contains detailed analysis of the topic, description of hardware and software solutions and used methods. The thesis also contains verification tests and measurements. This device will be mainly used for hardware debugging of microprocessor based applications.

KEYWORDS

ADC, trigger, logger, VHDL, FPGA, RAM, analog, digital, USB.

BIBLIOGRAFICKÁ CITÁCIA

BORSÁNYI, T. *Signálový a datový logger*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014. 42 s. Vedoucí semestrální práce doc. Ing. Jaromír Kolouch, CSc..

PREHLÁSENIE

Prehlasujem, že svoju diplomovú prácu na tému „*Signálový a datový logger*“ som vypracoval samostatne pod vedením vedúceho práce a s použitím odbornej literatúry a ďalších informačných zdrojov, ktoré sú všetky citované v práci a uvedené v zozname použitej literatúry.

V Brne dňa

.....

(podpis autora)

POĎAKOVANIE

Ďakujem vedúcemu semestrálnej práce doc. Ing. Jaromíru Kolouchovi, CSc. a konzultantovi semestrálnej práce Ing. Martinu Kravkovi za účinnú metodickú, pedagogickú a odbornú pomoc a ďalšie cenné rady pri spracovaní mojej diplomovej práce. Ďalej ďakujem firme Honeywell za materiálnu podporu, a v neposlednej rade rodine, za pomoc poskytovanú v každej forme.

V Brne dňa

.....

podpis autora

OBSAH

Zoznam obrázkov	III
Zoznam skratiek	VI
Úvod	1
1 Obecný popis prístroja	2
1.1 Prehľad parametrov	2
1.1.1 Vzorkovacia frekvencia	2
1.1.2 Bitová hĺbka prevodníka	2
1.1.3 Dĺžka záznamu, počet uložených vzoriek, a veľkosť pamäte.....	3
1.1.4 Spúšťacia podmienka	3
1.1.5 Typy spúšťacích podmienok	3
2 Dimenzovanie prístroja	6
2.1 Požadované parametre prístroja	6
2.2 Základné výpočty	6
2.3 Návrh riadiacej jednotky	7
2.3.1 Riadiaci systém	7
2.4 Dimenzovanie vstupnej časti	8
2.4.1 Digitálna časť	8
2.4.2 Analógová časť	8
2.5 Komunikácia s PC.....	10
3 Hardware	11
3.1 Digitálna vstupná časť	12
3.1.1 Výber súčiastok.....	12
3.2 Analógová vstupná časť	13
3.2.1 Výber súčiastok.....	13
3.2.2 Poznámky k návrhu analógovej vstupnej časti	14
3.3 Napájací zdroj	17
3.4 Zobrazovacie prvky.....	19
3.5 Digitálne spracovanie signálu a pripojenie k PC	19
3.6 Technológia	20
3.7 Použité nástroje	20

4	Software	21
4.1	Riadiaci software FPGA obvodu	21
4.1.1	Parametre riadiacej časti	21
4.1.2	Rozvod hodinového signálu.....	22
4.1.3	Periférie a ich riadenie	23
4.2	Riadiaci software na PC	23
4.2.1	Možnosti spúšťacích podmienok	25
4.2.2	Osciloskop mód.....	26
4.2.3	Logger mód.....	30
4.3	Vyhodnocovací software	30
4.4	Použité nástroje	34
5	Kalibrácia a Testy prístroja	35
5.1	Kalibrácia.....	35
5.2	Testy	36
6	Záver	38
	Použitá Literatúra	39
	Príloha 1, Schémy zapojení	43
	Príloha 2, Obrazce dosiek s plošnými spojmi	48
	Príloha 3, Výsledky simulácií, a meraní	55
	Príloha 4, Zoznam súčiastok	65

ZOZNAM OBRÁZKOV

Obr. 1.1: Analógový signál triggrovaný na vzostupnú hranu	4
Obr. 1.2: Spúšťanie na šírku impulzu.....	5
Obr. 2.1: Rôzne zapojenia vstupného zosilňovača [7]	9
Obr. 3.1: Blokovaná schéma signálového dátového loggeru v.2.....	11
Obr. 3.2: Vysokoamplitúdový digitálny vstup.....	12
Obr. 3.3 Zjednodušená verzia analógovej časti a signálových úrovní	14
Obr. 3.4: Znárodnenie napät'ového posúvača pre VCA	15
Obr. 3.5 Detaily signálu bez a s posunutím	16
Obr. 3.6 Blokovaná schéma jednej dosky analógovej časti	16
Obr. 3.7: Porovnanie výstupných častí spínaných meničov	18
Obr. 3.8: Blokovaná schéma napájacieho zdroja.....	18
Obr. 3.9: Osadená doska napájacieho zdroja	18
Obr. 3.10: Fotografia vybraných dosiek zo skoršej časti vývoja	19
Obr. 3.11: Pridané premostenie GND signálu	20
Obr. 4.1: Blokovaná schéma systému v FPGA	22
Obr. 4.2: Znárodnenie triggrovania bez hysterézie a s hysteréziou	25
Obr. 4.3: Umiestnenie trigrovaného signálu v okne.....	26
Obr. 4.4: Interpolácia diskretného signálu funkciou sinc [30]	27
Obr. 4.5: Interpolácia pomocou vyplňovania spektra nulou, krok 1-2.....	28
Obr. 4.6: Interpolácia pomocou vyplňovania spektra nulou, krok 3-4.....	28
Obr. 4.7: Printscreen ovládacieho a logovacieho programu	30
Obr. 4.8: Skrátenie signálu decimáciou.....	31
Obr. 4.9: Interval obálky.....	31
Obr. 4.10: Porovnanie metódy obálky a decimácie	32
Obr. 4.11: Príklad prenosu UART	33
Obr. 4.12: Detail zobrazenia aktuálnej polohy	34
Obr. 5.1: Jednoduchý DA odporový prevodník používaný pri testoch.....	36
Obr. 6.1: Finálna fyzická podoba signálového dátového loggeru.....	38
Obr. 7.1: Schéma zapojenia zdroja – modul DC-DC	43
Obr. 7.2: Schéma zapojenia zdroja – modul lineárnych stabilizátorov.....	43
Obr. 7.3: Schéma zapojenia analógovej vstupnej časti	44
Obr. 7.4: Schéma zapojenia digitálnej vstupnej časti a jej konektoru na panel.....	45

Obr. 7.5: Schéma zapojenia adaptéra na USB modul	45
Obr. 7.6: Schéma zapojenia rozširovača portov	46
Obr. 7.7: Schéma zapojenia zobrazovacieho modulu	46
Obr. 7.8: Schéma zapojenia modulu vertikálneho posúvania.....	47
Obr. 7.9: Schéma zapojenia konektorov FPGA vývojového kitu.....	47
Obr. 7.10: PCB a osadzovací plán zdroja: DC-DC modulu 36,6 x 27,3 mm.....	48
Obr. 7.11: PCB zdroja: modulu lineárnych stabilizátorov 68,3 x 67,3 mm	48
Obr. 7.12: Osadzovací plán zdroja: modulu lineárnych stabilizátorov	49
Obr. 7.13: PCB analógovej vstupnej časti, strana "bottom" 96.5 x 78.4 mm	49
Obr. 7.14: Osadzovací plán analógovej vstupnej časti, strana "bottom"	50
Obr. 7.15: PCB analógovej vstupnej časti, strana "top" 96.5 x 78.4 mm	50
Obr. 7.16: Osadzovací plán analógovej vstupnej časti, strana "top"	51
Obr. 7.17: PCB digitálnej vstupnej časti a jej redukcie na panel strany „bottom“	51
Obr. 7.18: Osadzovací plán digitálnej vstupnej časti a jej redukcie na panel	51
Obr. 7.19: PCB digitálnej vstupnej časti a jej redukcie na panel strany „top“	52
Obr. 7.20: PCB digitálnej vstupnej časti a jej redukcie na panel strany „bottom“	52
Obr. 7.21: PCB a Osadzovací plán redukcie USB radiča 41.9 x 57.8 mm	52
Obr. 7.22: PCB a osadzovací plán rozširovača portov 44.1 x 31.8 mm.....	53
Obr. 7.23: PCB a osadzovací plán 7 segmentového displeja 41.6 x 40 mm	53
Obr. 7.24: osadzovací plán 7 seg display strana „top“	53
Obr. 7.25: PCB a osadzovací plán horizontálneho posúvania signálu.....	54
Obr. 7.26 Zapojenie kombinovaného anti-aliasingového filtra (simulácia).....	55
Obr. 7.27 Prenos kombinovaného anti-aliasingového filtra (simulácia).....	55
Obr. 7.28: Zapojenie simulácie podkompenzovaného vstupného napät'ového deliče	55
Obr. 7.29: Výsledok simulácie podkompenzovaného vstupného napät'ového deliče.....	56
Obr. 7.30: Zapojenie simulácie prekompenzovaného vstupného napät'ového deliče	56
Obr. 7.31: Výsledok simulácie prekompenzovaného vstupného napät'ového deliče	57
Obr. 7.32: Zapojenie simulácie vykompenzovaného vstupného napät'ového deliče	57
Obr. 7.33: Výsledok simulácie vykompenzovaného vstupného napät'ového deliče.....	58
Obr. 7.34: Test vstupnej amplitúdy: sínus 5 Vpp (10 kHz).....	58
Obr. 7.35: Test vstupnej amplitúdy: sínus 1.14 Vpp (10 kHz).....	59
Obr. 7.36: Test vstupnej amplitúdy: sínus 500 mVpp (10 kHz).....	59
Obr. 7.37: Test vstupnej amplitúdy: sínus 100 mVpp (10 kHz).....	60
Obr. 7.38: Test časovej základne: sínus 100 Hz (1 Vpp)	60

Obr. 7.39: Test časovej základne: sínus 100 kHz (1 Vpp)	61
Obr. 7.40: Test časovej základne: sínus 1 MHz (1 Vpp).....	61
Obr. 7.41: Test komplexného triggra digitálnym signálom z 5 bitového DAC.....	62
Obr. 7.42: Test triggra na šírku pulzu	62
Obr. 7.43: Logaritmické frekvenčné rozmietanie 1Hz – 5MHz 15 sec	63
Obr. 7.44: Ukážka dekódovania UART zbernice	63
Obr. 7.45: Ukážka offline analyzátora uložených sekvencií	64
Obr. 7.46: Detail vyt'aženia FPGA obvodu	64

ZOZNAM SKRATIEK

ADC	Analog to Digital Converter, analógovo číslicový prevodník
DAC	Digital to Analog Converter, číslicovo analógový prevodník
DMA	Direct Memory Access, priamy prístup do pamäte
DSP	Digital Signal Processor, digitálny signálový procesor
EMI	Electromagnetic Interference, elektromagnetická interferencia
ESD	Electrostatic Discharge, elektrostatický výboj
FFT	Fast Fourier Transform, rýchla Fourierova transformácia
FIFO	First In First Out, typ organizácie pamäte – zásobníku
FIR	Finite Impulse Response, konečná impulzná odozva
FPGA	Field Programmable Gate Array, programovateľné hradlové pole
FPS	Frames Per Second, snímky za sekundu
GUI	Graphical User Interface, grafické užívateľské rozhranie
HID	Human Interface Device, typ USB triedy
I²C / IIC	Inter-Integrated Circuit, typ zbernice
LDO	Low Drop Out, typ lineárneho stabilizátora napätia
MISO	Master In Slave Out, signál zbernice SPI
MOSI	Master Out Slave In, signál zbernice SPI
MSPS	Mega Samples Per Second, veličina rýchlosti vzorkovania
PC	Personal Computer, počítač
PCB	Printed Circuit Board, doska plošným spojom
PCI	Peripheral Component Interconnect, typ počítačovej zbernice
RAM	Random Access Memory, pamäť s priamym prístupom
RMS	Root Mean Square, efektívna hodnota
ROM	Read Only Memory, permanentná pamäť
SPI	Serial Peripheral Interface, sériové periférne rozhranie – typ zbernice
SS	Slave Select, signál zbernice SPI
TWI	Two Wire Interface, typ zbernice
UART	Universal Asynchronous Receiver / Transmitter, asynchrónné sériové rozhranie – typ zbernice
USB	Universal Serial Bus, univerzálna sériová zbernica
VCA	Voltage Controlled Amplifier, napätím riadený zosilňovač
VGA	Variable Gain Amplifier, zosilňovač s nastaviteľným ziskom
VHDL	VHSIC Hardware Description Language, typ programovacieho jazyka

ÚVOD

Človek nato, aby mohol sledovať elektrické deje potrebuje prístroj, ktorý nejakou človekom vnímateľnou formou tieto signály interpretuje. V bežnej praxi na takýto účel je používaný osciloskop, ktorý na obrazovke zobrazí elektrické signály. V niektorých prípadoch je však potrebné merať dlhšie časové úseky, ktoré nie sú zobrazované v reálnom čase, ale zaznamenané, a spracované neskôr. Práve na takýto účel slúži signálový a dátový logger s dlhou pamäťou a komplexnými podmienkami záznamu. Takýto prístroj nájde svoje využitie pri ladení mikroprocesorových aplikácií.

Práca rozoberá možnosti realizácie prístroja a popis použiteľných súčiastok. Nasledovne je zvolená najvhodnejšia kombinácia súčiastok a je popísané hardwarové riešenie konkrétneho prístroja. Ďalej sú preberané možnosti softwarového riešenia riadiaceho softwaru pre prístroj aj pre počítač. Nakoniec je popísané konkrétne softwarové riešenie finálneho prístroja. Práca obsahuje tiež overovacie skúšky kompletného prístroja.

Jednotlivé kapitoly sú doplnené ilustračnými obrázkami, priebehmi signálov, prípadne simuláciami pre lepšiu názornosť. Na konci dokumentu sú pridané prílohy, v ktorých sa nachádzajú výsledky simulácií, všetky schematické zapojenia a obrazce dosiek s plošnými spojmi. Obrázky softwaru z overovacích testov sú uvedené tiež v prílohe.

1 OBECNÝ POPIS PRÍSTROJA

Signálový a dátový logger je prístroj, ktorý umožňuje meranie a záznam elektronických signálov (podobne ako osciloskop). Existuje viac typov. Niektoré umožňujú meranie digitálnych signálov, iné umožňujú merať úroveň analógových signálov. Kombinácia týchto dvoch typov sa nazývajú hybridmi. Signálový a dátový logger má za úlohu tieto signáli zaznamenať (namerať) a uložiť pre následné spracovanie. Existuje viac módov záznamu. Sú loggery, ktoré konštantne zaznamenávajú dáta, za pevne daný časový interval (treba poslednú 1 sekundu), alebo také ktoré zaznamenávajú dáta len v prípade splnenia dopredu definovaných kritérií.

1.1 Prehľad parametrov

Pretože signálový logger je digitálny prístroj, dáta sú vzorkované časovo a v prípade použitia prevodníkov aj amplitúdovo. Prvým parametrom je teda maximálna frekvencia vstupného signálu, ktorý má prístroj spracovať.

U signálových loggerov, ktoré majú aj analógový vstup, je treba pridať A/D prevodník. V závislosti na požiadaviek na presnosť merania je treba zvoliť bitovú šírku prevodníka.

Ďalším parametrom je dĺžka záznamu, alebo počet vzoriek, ktoré má logger ukladať. V neposlednej rade musia byť stanovené typy spúšťacích podmienok (triggrov) pomocou ktorých bude možno potom zaznamenávať konkrétne sekvencie.

1.1.1 Vzorkovacia frekvencia

Pri stanovení vzorkovacej frekvencie sa vychádza z Nyquistova teorému, ktorý hovorí: Aby spojitý signál bol správne navzorkovaný, vzorkovacia frekvencia f_{VZ} má byť aspoň dvojnásobkom maximálnej frekvencie f_{max} , ktorá v signáli ešte vyskytuje [1]. Matematicky vyjadrené podľa (1.1)

$$f_{VZ} > 2 \cdot f_{max} \quad (1.1)$$

Analógový signál však môže mať šírku pásma teoreticky nekonečnú, preto pred vzorkovaním je treba filtrovať dolnopriepustným filtrom.

Vychádzajúc z praxe, prístrojom podobným signálovému loggeru je osciloskop. Dnes bežne dostupný osciloskop má ale vyšší vzorkovací kmitočet: 4x, 8x, 10x vyšší, ako šírka pásma (max spracovateľná frekvencia) samotného osciloskopu [2], [3], [4].

1.1.2 Bitová hĺbka prevodníka

Voľba bitovej šírky u digitálnych signálov je jednoznačnou úlohou. Taká je potrebná bitová šírka vstupu, koľko je potreba snímať kanálov. V praxi sa používajú šírky 8 aj 16 bitové štandardne, u špičkových loggerov treba aj 32 a viac.

Situácia sa zmení, keď je potreba logovať analógové dáta v digitalizovanej podobe, pomocou prevodníkov. U prístrojov, ktoré slúžia len na zobrazenie dát, obvykle postačí 8 bitový prevodník. Potom zaznamenané dáta sa hodia na vizuálnu kontrolu, avšak meranie signálu 8b prevodníkom by viedol k nepresnostiam. Práve preto sú v niektorých systémoch 10, 12, v špeciálnych prípadoch aj 24 bitové prevodníky (ako treba v audio analyzátoch Rohde Schwarz UPV) [4].

1.1.3 Dĺžka záznamu, počet uložených vzoriek, a veľkosť pamäte

Je treba dôkladne uvážiť koľko dát je potreba uložiť. Dĺžka záznamu priamo súvisí s frekvenciou vzorkovania, s veľkosťou potrebnej pamäte prístroja a počtom kanálov.

Príklad: Pri vzorkovaní $f_{vz} = 1$ MHz, je potreba uložiť $t = 1$ s záznamu z $n_D = 8$ digitálnych kanálov a $n_A = 2$ analógových kanálov s $width = 8$ bit šírkou na kanál. Aká veľká bude požiadavka na veľkosť pamäte M_{size} (Memory size) v byte ?

Analýzou systému je možné dospieť k vzorci na výpočet potrebnej veľkosti pamäte (1.2).

$$M_{size} = \frac{f_{vz} \cdot (n_D + n_A \cdot width) \cdot t}{8} \quad (1.2)$$

Riešenie spočíva vo vynásobení celkovej dátovej šírky vzorkovacím kmitočtom, a dĺžkou záznamu. Konstanta 8 je pre prevod z bite na byte.

$$M_{size} = \frac{1 \cdot 10^6 \cdot (8 + 2 \cdot 8) \cdot 1}{8} = 2,86 \text{ MB} \quad (1.3)$$

Je vidieť, že aj pri skromnejších požiadavkách na prístroj je požiadavka na veľkosť pamäte dosť veľká. V porovnaní s osciloskopmi je u loggerov potreba oveľa väčších pamätí. U osciloskopov je zvykom zaznamenať posledných 10 až 500 tisíc vzorkov, veľmi výnimočne až 1 milión vzorkov [5].

1.1.4 Spúšťacia podmienka

Aby bolo možné pozorovať konkrétne (užívateľom definované) časti priebehov, je treba pridať do prístroja aj spúšťaciu podmienku záznamu, tzv. trigger. Spúšťacia podmienka môže byť jednoduchá, ktorá reaguje na jedinú udalosť, alebo komplexná, ktorá reaguje pri splnení viacerých podmienok.

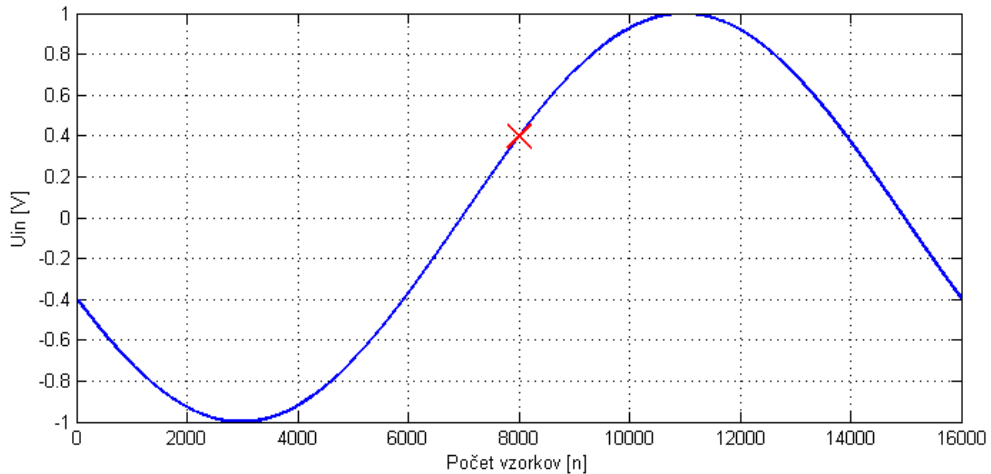
Aby bolo možné zaznamenať viac sekvencií, je treba mať dve pamäte v systéme. Jednak primárnu pamäť na ukladanie aktuálnych vzoriek, a jednak sekundárnu pamäť, kam budú nahraté hodnoty z primárnej pamäte, keď je splnená podmienka (trigger). Zvyčajne sekundárna pamäť je pomalejšia ale oveľa väčšia, aby bolo možné ukladať viac časových úsekov.

1.1.5 Typy spúšťacích podmienok

Existuje viac typov spúšťacích podmienok, ktoré sa môžu využiť v praxi pri snímaní signálov. Najzákladnejšia podmienka je reakcia na hranu signálu.

Podmienka na hranu existuje ako u digitálnych tak aj u analógových signálov. U digitálnych signálov stačí snímať predošlú a súčasnú hodnotu a je možné povedať či nastala hrana zostupná alebo vzostupná. U analógových signálov je treba definovať navyše hodnotu, okolo ktorej bude hrana hľadaná. K týmto podmienkam ešte treba pridať smer hrany: vzostupná alebo zostupná hrana.

Výsledok triggra na hranu potom môže vyzeráť ako na Obr. 1.1.

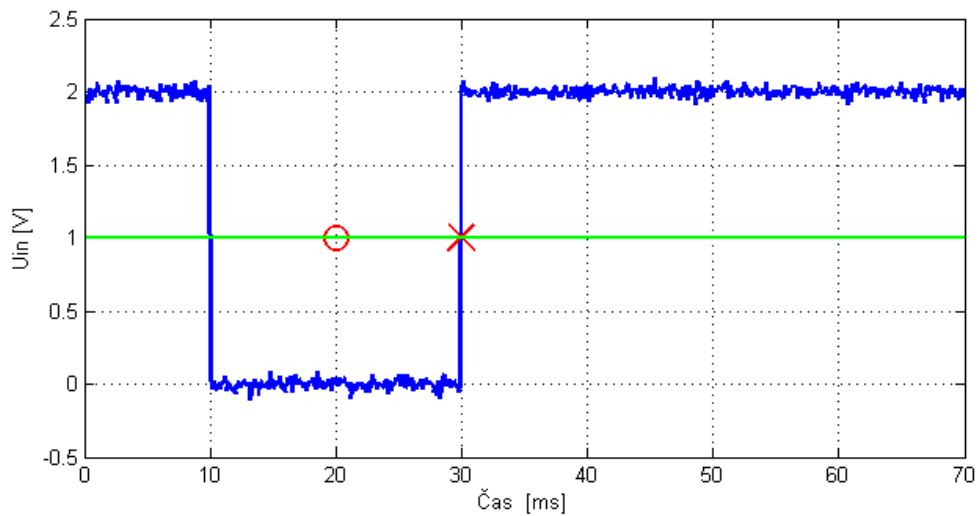


Obr. 1.1: Analógový signál trigrovaný na vzostupnú hranu

Ďalšou možnosťou je trigger na šírku impulzu. Šírka impulzu môže byť menšia, väčšia, ako nastavená hodnota, ale aj daná intervalom (v intervale, a mimo intervalu). Musí byť definovaná tiež polarita impulzu. Pozitívny impulz znamená úzku špičku z nízkej hodnoty na vysokú, negatívny impulz potom z vysokej hodnoty na nízku.

Ako u spúšťacích podmienok na hranu, tak aj u šírky impulzu, pri digitálnych signáloch je kritérium stanovené len na dĺžku trvania impulzu (daná existenciu len 2 úrovňou). U analógových treba pridať podmienku aj na amplitúdu, aby prístroj vedel ktoré úrovne má považovať za vysoké a ktoré za nízke.

Spúšťač potom môže mať nastavenie napr: šírka impulzu >10 ms, rozlišovacia úroveň 1 V. Výsledok môže vyzeráť ako na Obr. 1.2.



Obr. 1.2: Spúšťanie na šírku impulzu

Modro je označený signál, zeleno hodnota amplitúdovej podmienky, červeným kruhom, kde je splnená podmienka, a červením krížom, kde je signál vykreslený na obrazovku.

Ďalšou možnosťou je komplexné, zložené spúšťanie. Komplexné trigrovanie zvyčajne zahŕňa všetky vstupné kanále analógové aj digitálne. Užívateľ potom môže vybrať ktoré kanále chce zahrnúť do podmienky, a vybraným nastaviť typ podmienky (stav L/H, smer hrany atď.).

Špeciálnou formou komplexného trigrovania je, keď sa podmienky su skombinovane aj v čase. Napr., keď nastane hrana na jednom kanále, a po danom čase sa objavia ďalšia hrana na inom z kanálov. Komplexne trigrovanie je dostupný zvyčajne v drahších prístrojoch.

2 DIMENZOVANIE PRÍSTROJA

2.1 Požadované parametre prístroja

Diplomová práca sa ďalej bude zaoberať stavbou konkrétneho prístroja s parametrami:

- Minimálna požadovaná šírka pásma: 1 MHz
- Počet digitálnych vstupov: 8
- Počet analógových vstupov: 3
- Minimálna dĺžka záznamu pri maximálnej vzorkovacej frekvencii: 10 sec
- Počet záznamov: minimálne 10 záznamov
- Vstupná impedancia digitálnych kanálov: 100 k Ω
- Vstupná impedancia analógových kanálov: 1 M Ω max 8pF
- Prístroj má dokázať spracovať digitálny signál v úrovni TTL (0 – 5 V) a LVTTTL (0 – 3,3 V), ako aj RS-232 (± 15 V), plus analógová časť má obsahovať minimálne jednu úroveň s vyššou amplitúdou (± 20 V s pridaním sondy 10x)
- Prístroj má podporovať komplexné podmienky spustenia záznamu
- Prístroj bude slúžiť len na vizuálnu kontrolu (nie na meracie účely)
- Samotný prístroj nemá obsahovať žiadne zobrazovacie ani nastavovacie prvky, nastavovanie a zobrazovanie má prebiehať na PC pomocou príslušného softwaru.
- Prístroj má pri ukladaní dát zaznamenať aj presný čas a dátum.

2.2 Základné výpočty

Pretože prístroj nebude použitý na presné merania, predpokladá sa použitie 8 bitového prevodníka A/D. Pretože požiadavka na šírku pásma BW je pomerne malá, zvolí sa $n_{ovs} = 4x$ prevzorkovanie signálu aj s frekvenčnou rezervou 0,25 MHz.

$$BW = f_{max} + 0,25 = 1,25 \text{ MHz} \quad (2.1)$$

Frekvenčná rezerva bola pridaná kvôli nedokonalosti filtra. Vzorkovacia frekvencia sa vypočíta podľa (2.2).

$$f_{vz} = BW \cdot n_{ovs} = 1,25 \cdot 10^6 \cdot 4 = 5 \text{ MHz} \quad (2.2)$$

kde: f_{vz} je vzorkovacia frekvencia, BW je šírka pásma (aj s rezervou), n_{ovs} je pomer prevzorkovania.

Prístroj má podporovať uloženie viacerých časových intervalov, preto prístroj bude obsahovať dve pamäte. Pamäť (bufferovací, primárna) do ktorej budú ukladané vzorky bez ohľadu na spúšťiaciu podmienku. Analýzou problematiky je možné dospieť k vzorci na výpočet potrebnej veľkosti primárnej pamäte M_p (2.3).

$$M_p = \frac{f_{vz} \cdot (n_D + n_A \cdot width) \cdot t}{8} \quad (2.3)$$

kde: M_P je veľkosť primárnej pamäte, f_{VZ} je vzorkovacia frekvencia systému, n_D je počet digitálnych vstupov, n_A je počet analógových vstupov, $wdth$ je bitová šírka navzorkovaných dát analógového signálu, t je dĺžka záznamu. Primárna pamäť teda má mať veľkosť podľa (2.3).

$$M_P = \frac{5 \cdot 10^6 \cdot (8 + 3 \cdot 8) \cdot 10}{8} = 200 \cdot 10^6 \text{ B} \approx 190,7 \text{ MB} \quad (2.3b)$$

Sekundárna pamäť do ktorej budú ukladané vzorky po splnení podmienky (triggra) má byť toľkokrát väčšia od primárnej pamäti, koľko sekvencií je potreba uložiť. Vypočíta sa podľa (2.4).

$$M_S = n_X \cdot M_P = 10 \cdot 200 \cdot 10^6 = 2 \cdot 10^9 \text{ B} \approx 1,863 \text{ GB} \quad (2.4)$$

kde: M_S je veľkosť sekundárnej pamäte, n_X je počet zaznamenaných sekvencií, M_P je veľkosť primárnej pamäte.

Rýchlosť, alebo priepustnosť (ang. nazývane ako bandwidth) pamäte je tiež kritickou záležitosťou. Analýzou problematiky je možné dospieť k vzorci na výpočet potrebnej priepustnosti primárnej pamäti (2.5), kde: M_{BW} je priepustnosť pamäte [MB/s], f_{VZ} je vzorkovacia frekvencia systému, n_D je počet digitálnych kanálov, n_A je počet analógových kanálov, $wdth$ je bitová šírka navzorkovaných dát analógového signálu.

$$M_{BW} = \frac{f_{VZ} \cdot (n_D + n_A \cdot wdth)}{8} \quad (2.5)$$

Podľa (2.5) je možné vypočítať akú musí mať primárna pamäť minimálnu priepustnosť.

$$M_{BW} = \frac{5 \cdot 10^6 \cdot (8 + 3 \cdot 8)}{8} = 20 \cdot 10^6 \text{ B/s} \approx 19,1 \text{ MB/s} \quad (2.5b)$$

2.3 Návrh riadiacej jednotky

Aby bolo možné rozhodnúť aké požiadavky majú byť kladené na riadiacu jednotku, je treba najprv zvážiť čo všetko má riadiaca jednotka zvládať. Hlavnou funkciou riadiacej jednotky bude neustále ukladať dáta do primárnej pamäte, pozorovať všetky požadované vstupy a rozhodnúť sa kedy má byť zber dát ukončený. Nakoniec pomerne rýchlo majú byť prehrané dáta z primárnej pamäte do sekundárnej, a zber dát má byť znova spustený.

2.3.1 Riadiaci systém

Pri frekvencii vzorkovania 5 MHz s možnosťou komplexných spúšťacích podmienok, pri 8 digitálnych kanálov, 3 analógových kanálov je dátový tok veľký a komplexita úlohy (pri uvažovaní komplexných triggrov) je mierna až veľká. Pretože signál má

paralelný charakter hodí sa na paralelne spracovanie, inak sériový systém by mal bežať na vysokej taktovacej frekvencii, aby úlohu dostatočne zvládol.

Na čiastočne paralelné spracovanie sa hodí DSP procesor, taktovaným na pomerne vysokých frekvenciách (rádovo 100 MHz až 1 GHz). Štandardné DSP procesory obsahujú 1 až 8 jadier, ktoré pri takýchto veľkých taktovacích frekvenciách mohli zvládať danú úlohu. Problém by mohol nastať pri pristupovaní k perifériám (kolízie na vstupne výstupných portoch). Tiež bolo nutné uvažovať o konečnej cene prístroja, a DSP s vhodnými parametrami patrí do vyššej cenovej kategórie.

Ďalšou možnosťou sú obvody FPGA. V takýchto obvodoch je možno vytvoriť viac blokov, ktoré môžu fungovať nezávisle od seba (paralelne) na pomerne vysokej taktovacej frekvencii (rádovo 100 MHz až 1 GHz). Výhoda FPGA obvodu sa objaví, keď úloha, ktorá má byť vykonaná, môže byť paralelizovaná. Potom jednotlivé bloky stačí taktovať na oveľa menšej taktovacej frekvencii ako by bolo treba čisto sériovým riešením úloh. Obvody FPGA obsahujú veľký počet konfigurovateľných logických blokov, ktoré sú prepojené podľa danej úlohy do vhodných kombinácií. Potom u signálového dátového loggeru môže byť každý kanál spracovaný zvlášť a paralelne. Takéto riešenie dovoľuje značné zníženie taktovacieho kmitočtu, a tým aj energetickú spotrebu celého prístroja. Ďalšou výhodou môže byť aj cena takéhoto obvodu v porovnaní s DSP procesorom.

Poznámka: do obvodov FPGA sa dajú implementovať modely vyspelých procesorov, tým pádom je možné vytvoriť v nich viacjadrovú výpočtovú jednotku. Takéto CPU jadro je možné optimalizovať na konkrétnu problematiku, ktorá kompenzuje fakt že takýto procesor nedokáže pracovať na takých veľkých taktovacích frekvenciách ako DSP procesory.

2.4 Dimenzovanie vstupnej časti

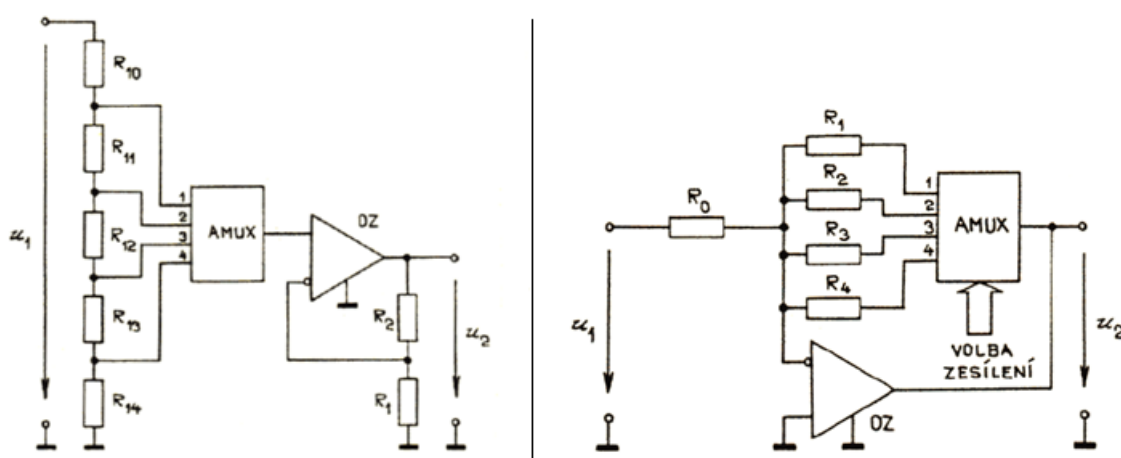
2.4.1 Digitálna časť

Požiadavky na digitálnu časť sú miernejšie. Kritériám vstupnej impedancie vyhovuje väčšina digitálnych obvodov. Kritérium amplitúd vstupných napätí TTL, LVTTTL by sa dala riešiť jednoduchým digitálnym oddeľovacím obvodom, takzvaným budičom zbernice (bus buffer). Avšak pri uvážení protokolu RS-232 (± 15 V) je nutné amplitúdu vstupného signálu škálovať. Niektoré budiče zbernic obsahujú vstupné ochranné diódy. S uvážením požiadavku na vstupnú impedanciu, a na maximálny povolený prúd týmito ochrannými diódami, je možný vytvoriť jednoduchý obvod ktorý ochráni digitálnu vstupnú časť od napätí ± 15 V ale stále dovoľí snímať aj LVTTTL signál.

2.4.2 Analógová časť

Na analógovú vstupnú časť sú kladené kritériá prísnejšie ako na digitálnu. Jednoduchý konvertor úrovní by tu nevystačil. Analógové vstupne signály majú byť impedančne oddelené (operačnými zosilňovačmi) od vstupných svoriek aby spracovanie neovplyvnil snímaný signál. Bolo nutné pridať aj digitálne riadené prepínanie citlivostí vstupov, ktoré bolo možno riešiť vo viacerých prevedeniach.

Prvou možnosťou je prepínanie vstupov multiplexorom. V tomto prípade na každý kanál multiplexera budú pridané rôzne odporové deliče. Na Obr. 2.1 vľavo je potom vidieť konkrétne zapojenie. Ďalšou možnosťou je použitie operačného zosilňovača s multiplexorom v spätnej väzbe. Zapojenie potom môže mať viac podôb, keď je použitý operačný zosilňovač v invertujúcom alebo v neinvertujúcom zapojení. Multiplexer je možné tiež zapojiť dvojako, jednak na vstupnú svorku zosilňovača, alebo priamo na spetnoväzbový odpor. Rôzne zapojenia vnášajú rôzne výhody a nevýhody. Hlavnou nevýhodou takéhoto zapojenia je uplatnenie nedostatkov multiplexera, (nenulový odpor zapnutého kanálu, malé potlačenie signálu na vyšších frekvenciách pri rozopnutom stave, zmeny parametrov s časom atď.). Na Obr. 2.1 vpravo je potom vidieť konkrétne zapojenie s multiplexorom v spätnej väzbe, kde: u_1 je vstupné napätie, u_2 je výstupné napätie.



Obr. 2.1: Rôzne zapojenia vstupného zosilňovača [7]

Ďalším limitom takýchto zapojení je konečné napájacie napätie multiplexera a operačného zosilňovača, ktorý znamená aj limit na amplitúdu vstupného signálu.

Namiesto multiplexera je možno využiť bežné kontaktné relé, ktoré je možno považovať za ideálny spínač (odpor zapnutého kanála rádovo 100 m Ω , bez nelineárneho skreslenia, teplotne stále parametre, oveľa vyššie amplitúdy vstupných signálov ako v prevedení s multiplexorom,). Vyššie potlačenie vysokých kmitočtov v rozopnutom stave. Nevýhodou relé je ich veľkosť.

Najlepšou možnosťou je využitie takzvaných VCA alebo VGA obvodov. Tieto obvody sú v podstate operačné zosilňovače s nastaviteľným ziskom. Sú rozmerovo malé, dôkazu fungovať na vysokých frekvenciách. Nemusia sa riešiť nedostatky multiplexorov, pretože pracujú na inom princípe. Existujú ako s analógovým, plynulým nastavovaním zisku tak aj digitálne s krokovaným nastavením zisku. Jedinou nevýhodou je ich pomerne malý vstupný odpor, ktorý znemožňuje ich použitie priamo na vstupe analógovej časti. Riešením je jednoduchý oddeľovací stupeň pred VCA.

U prístrojov ako dátový logger či osciloskop, je aj možnosť prepnúť väzbu vstupu medzi jednosmernú DC či striedavú AC. Prepínanie medzi jednotlivými väzbami naráža na podobné problémy ako u prepínaní úrovni. Možnosti sú tiež podobné, použiť multiplexer (alebo zjednodušene unipolárny tranzistor), alebo relé.

Pred navzorkovaním dát, je treba odstrániť zo signálu vysoké frekvencie ktoré prevodník nie je schopný už spracovať. Je vhodné použiť kombináciu aktívneho aj pasívneho dolnopriepustného filtra. Aktívna časť zvyčajne je vyššieho rádu, môže kompenzovať nedostatky vstupnej časti. Pasívny filter potom sa umiestni tesne pred prevodník, tým sa minimalizuje šum a vykompenzujú sa nedostatky aktívneho filtra na vysokých kmitočtoch. Aktívny filter v závislosti na parametroch použitého operačného zosilňovača stráca svoju schopnosť filtrovať na vyšších kmitočtoch. U pasívneho filtra tento jav sa prejavuje len veľmi slabou, alebo pri vhodných hodnotách nepozorovateľne. Teoretické zapojenie kombinovaného filtra je na Obr. 7.26. Na Obr. 7.27 je vidieť potom prenos filtra, zelene po aktívnej filtrácii (sekcia „first“), červene po úplnej filtrácii (sekcia „second“).

Prechod medzi analógovou (spojitou) doménou a číslicovou (kvantovanou) doménou zabezpečí analógovo číslicový prevodník (niekedy tiež zvaný ako analógovo digitálny prevodník). Prevodník má zvládnuť vzorkovať dáta aspoň s frekvenciou 5 MHz s rozlíšením 8b. Pri takýchto rýchlostiach je vhodné, aby prevodník mal paralelný výstup, aby dáta boli rýchlejšie spracovateľné (odpadá deserializácia a dekódovanie štandardu v prípade sériovej zbernice).

2.5 Komunikácia s PC

Požiadavkou je, aby samotný prístroj neobsahoval žiadne nastavovacie prvky, a len minimum zobrazovacích prvkov, všetko bude dostupné pomocou počítača a príslušného programu.

Pomocou počítača teda je možné nastaviť všetky úrovne vstupov, nastaviť koľko kanálov bude užívateľ potrebovať, nastaviť rýchlosť vzorkovania a nastaviť podmienky na záznam (triggere). Tiež v počítači je potom možné analyzovať predošle navzorkované dáta.

Nastavovanie parametrov “naslepo“, čiže bez toho aby užívateľ videl aké signály sú na jednotlivých kanáloch nie je ľahká úloha a vnáša do merania značné množstvo možných chýb. Preto má prístroj funkciu, takzvaný real-time mód, kde je možné pozorovať aktuálne signály na vstupoch signálového loggeru, pomocou ktorých sú potom spúšťacie podmienky ľahko nastaviteľné.

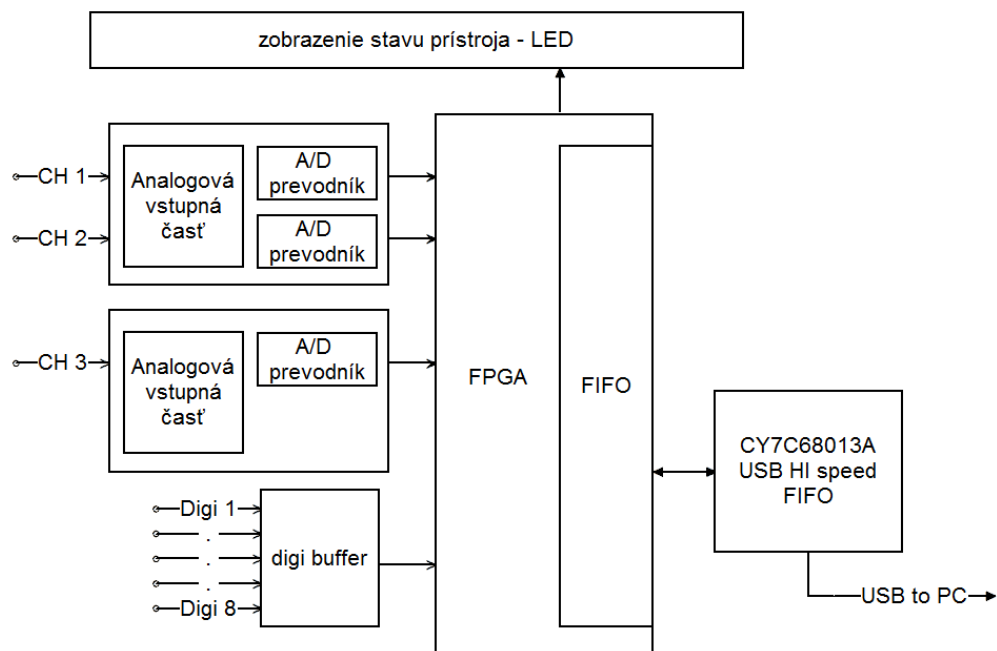
Prístroj teda je možno použiť ako základný osciloskop (real-time mód), keď navzorkované dáta nebudú ukladané do sekundárnej pamäte, ale posielané do PC na zobrazenie. Druhý mód potom bude logger mód.

3 HARDWARE

Pôvodne signálový a dátový logger bol navrhovaný ako samočinný stroj na zber dát, z ktorého bude možné dáta uložiť na PC a následne pomocou vhodného programu nazbierané dáta analyzovať. Z pohľadu času vývoja a ceny prístroja bolo prístupné na inú verziu, kde signálový a dátový logger bude napevno spojený s PC. Toto riešenie so sebou berie rôzne pozitíva. Odpadá celá časť reálneho času, pretože PC už obsahuje jednu. Odpadá implementácia FAT systému a použitie SD karty, ďalej odpadá potreba implementácie RAM pamäte pre FPGA, pretože PC obsahuje ako RAM pamäť, tak aj médium na trvalé uloženie dát (pevný disk).

Bolo uvážených viacero možností prepojenia meracej karty^{*1} a PC. Prvou alternatívou bolo prepojenie pomocou PCI zbernice. PCI zbernica má dostatočnú prenosovú kapacitu, aby zvládala požiadavky na rýchlosť prenosu, avšak len v módu bus master, ktorý povolí prenos v blokoch (burst transfer). PCI zbernica nepodporuje priamo blokový prenos dát (burst transfer). Napísanie PCI-DMA prenosu je veľmi rozsiahlou úlohou. Ďalej boli preskúmané ďalšie periférie, ako PCI-X (express), Paralell ATA, Serial ATA, paralelné a sériové zbernice. Jedine sériová zbernica USB sa zdala byť dobrou voľbou, a to z dôvodu populárnosti: funkčné kódy rôznych typov prenosu, priamé hardwarové radiče zbernice, atd. Kľúčovou súčiastkou projektu je vysokorýchlostný USB radič CY7C68013A [8], ku ktorému sú všetky vývojové nástroje dostupné na stránke výrobcu [9]. Touto súčiastkou je možné dosiahnuť plné využitie šírky pásma USB zbernice, prakticky potom rýchlosť okolo 22 – 28 MByte/s. Táto rýchlosť na splnenie parametrov prenosu maximálne vyhovuje.

Bloková schéma nového návrhu potom vypadá ako na Obr. 3.1.



Obr. 3.1: Bloková schéma signálového dátového loggeru v.2

^{*1} časť signálového dátového loggeru, ktorá slúži na zber dát

3.1 Digitálna vstupná časť

Digitálna vstupná časť obsahuje 8 digitálnych vstupov, frekvenčnú kompenzáciu a ochranu na vyššie logické úrovne (napr. štandard RS-232).

3.1.1 Výber súčiastok

Pretože vstupy FPGA je nemožné využiť ako digitálne vstupy loggra kvôli požiadavkám na amplitúdu vstupného signálu, a tiež kvôli ESD ochrane, je treba pripojiť ešte oddeľovač / buffer. Požiadavkom je aby bol priamo priepustný (neinvertujúci) a mal zabudovane ochranné diódy na vstupe.

Integrovaný obvod 74HC573 obsahuje na každom vstupe ochrannú diódu napojenú na GND aj napájacie napätie U_{cc} (viď. Obr. 3.2). Maximálny prúd týmito diódami je až ± 20 mA. Pri uvážení pridaní ochranného odporu $100\text{ k}\Omega$, bude prúd diódami:

$$I_{D-} = \frac{U_{IN} - (U_{Supply} + U_D)}{R_{IN}} = \frac{-15 - (0 + 0,5)}{100 \cdot 10^3} = -145\ \mu\text{A} \quad (2.6)$$

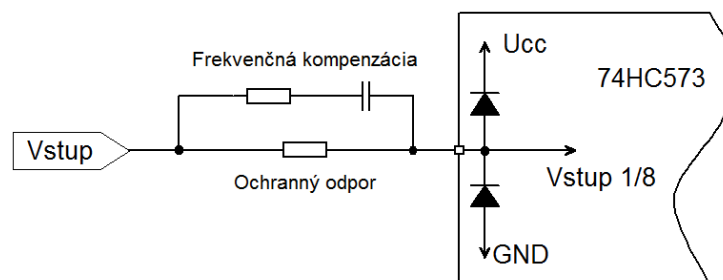
$$I_{D+} = \frac{U_{IN} - (U_{Supply} + U_D)}{R_{IN}} = \frac{15 - (3,3 + 0,5)}{100 \cdot 10^3} = 95\ \mu\text{A} \quad (2.7)$$

Kde U_{IN} je vstupné napätie do systému (s najväčšou amplitúdou u pri RS-232), U_{Supply} je napájacie napätie vzťahované k ochrannej dióde obvodu (U ochrannej diódy na U_{cc} je $3,3\text{ V}$ u ochrannej diódy na GND 0 V), U_D je napätie diódy (hodnota medzi $0,5$ - $0,7\text{ V}$ v závislosti na použitej dióde), R_{IN} vstupný ochranný odpor.

Táto hodnota je ďaleko pod maximálnou dovolenou, takže takýto ochranný obvod je postačujúci.

Jedinou nevýhodou by sa mohlo zjaviť, že obvod nieje používaný s maximálnym dovoleným napájacím napätím ($3,3\text{ V}$ namiesto 5 V). Obvod však dokáže pracovať už od 2 V s obmedzenou reakčnou dobou. Reakčná doba s použitým napájacím napätím však je dostačujúca. Alternatívou by mohol byť 74LVX573 [6], ktorý je stavaný na $3,3\text{ V}$ napájanie, avšak nemá ochrannú diódu z vstupu na GND, tým pádom by bolo nutne tieto diódy pridať externe.

Pretože vstupná kapacita samotného integrovaného obvodu s ochranným odporom $100\text{ k}\Omega$ už skresľuje rýchle priebehy, bola pridaná kompenzácia paralelne k ochrannému odporu. Tým digitálna časť spĺňa všetky požiadavky.



Obr. 3.2: Vysokoamplitúdový digitálny vstup

Kompletné zapojenie je potom vidieť v prílohe na Obr. 7.7, a návrh plošného spoja na Obr. 7.17.

3.2 Analógová vstupná časť

Signálový a dátový logger má mať 3 analógové vstupy. Každý vstup má mať impedanciu 1 M Ω . Analógová časť má mať prepínateľnú citlivosť.

3.2.1 Výber súčiastok

U vývoja analógovej vstupnej časti, bol kritický výber súčiastok. Prvým kľúčovým elementom je analógovo – číslicový prevodník, na ktorom je založená potom celá vstupná časť. Prevodník má splňovať viacero kritérií, má zvládať dostatočne rýchlo prevádzať hodnoty, má mať vhodné vstupné parametre, ako napät'ovú úroveň a impedanciu, a v neposlednej rade má mať paralelný výstup dát. Tieto požiadavky splňuje obvod ADS931 [11]. Tento prevodník má maximálnu rýchlosť prevodu 30 MSPS. Vstupná amplitúda na plné vybudenie musí byť 1V_{pp}, vstupný signál ešte má byť posunutý do poloviny napájacieho napätia. Tým pádom je potreba DC väzbou posunúť úroveň vstupného signálu. Prevodník má ďalej impedanciu 1,25 M Ω , a má paralelný výstup, ktorý umožňuje rýchle spracovanie signálu.

Pred prevodníkom má byť dolno-priepustný filter. Na takej frekvencii sa zdalo byť optimálnym použiť kombináciu aktívneho a pasívneho filtra. Aktívny filter je v reťazci blokov bližšie k vstupnému signálu, a má odfiltrovať nežiaduce vysoké frekvencie. Pasívny filter má potom slúžiť na minimalizáciu šumu, ktorá sa dostane do prevodníka. Pasívny filter bol zapojený tesne pred analógovým vstupom prevodníka.

Aktívne filtrovanie a DC posun signálu vyžaduje použitie operačného zosilňovača. Zosilňovač má mať dostatočnú šírku pásma. Na tento účel vyhovuje operačný zosilňovač THS4062 [12]. Je to dvojité operačný zosilňovač so šírkou pásma 180MHz (-3dB). Dvojité zosilňovač dovolí zjednotiť funkciu filtra a DC posúvača v jednej súčiastke.

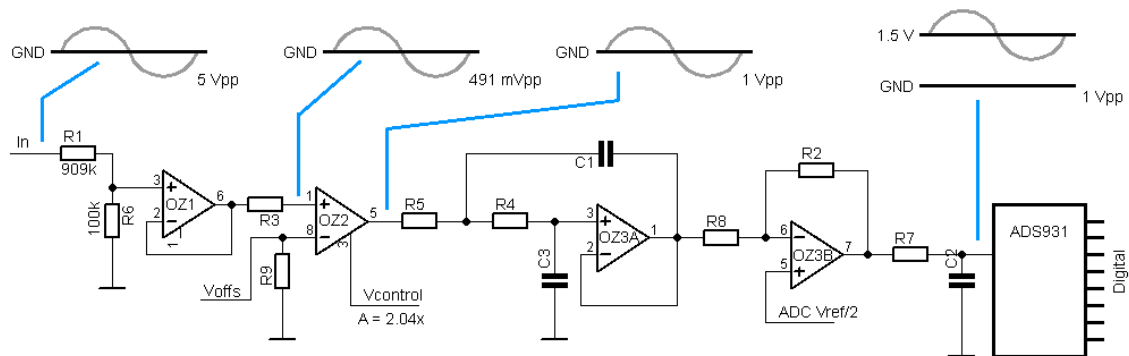
Naj kritickejšou časťou celého systému je prepínanie vstupných citlivostí a zachovanie vstupnej impedancie. Bolo uvážených viacero možností:

- 1) Použitie analógového násobiaceho obvodu, čím by sa dalo veľmi presne nastaviť vstupnú citlivosť. Takéto obvody však zvyčajne majú horšie vstupné parametre, dokážu pracovať len s pomerne malou amplitúdou signálu, a v neposlednej rade sú drahé.
- 2) VCA obvod, ktorý parametrami sa veľmi podobá operačným zosilňovačom, navyše majú vstup, ktorý nastavuje ich zisk. Tým pádom zisk sa dá nastaviť veľmi presne. Vhodnou súčiastkou na tento účel je VCA810 [13] s rozsahom zosilnenia ± 40 dB, so šírkou pásma 35 MHz. Ďalšou výhodou je jeho schopnosť spracovať signál s amplitúdou 10 V_{pp} (pri napájaní symetrickým 5 V).

Poslednou časťou je vstupný delič, ktorý zaručí požadovanú vstupnú impedanciu. U deliča je potrebné dávať pozor na parazitne javy, ako napr. kapacita odporu. Pri deliacom pomere 1:10 s celkovou impedanciou $1\text{ M}\Omega$ je treba dbať aj na hodnoty parazitných kapacít rádu pF, pretože z bežného odporového deliča sa stane RC článok s frekvenčne závislou impedanciou, ktorá je v tomto prípade nežiaduce. Preto bol použitý plne kompenzovaný delič s nastaviteľnou kapacitou. Simuláciou je možné ukázať, aké by boli priebehy bez kompenzácie Obr. 7.29, s nesprávnou hodnotou kompenzácie Obr. 7.31, a pri správnom nastavení kompenzácie Obr. 7.33. V simulácii je zahrnutý už aj záťaž deliča (impedancia vstupu operačného zosilňovača a kapacita ochranných diód). Je vhodné pripomenúť, že kompenzačná kapacita je v nepriamom pomere s deliacim pomerom odporov. To znamená, že pri deliacom pomere 1:10 odporov bude potreba pomer kapacít 10:1. Tým pádom ak má záťaž okolo 13 pF , kompenzácia by mala byť okolo 1.3 pF . Táto hodnota je však taká malá, že sa len s ťažkosťou dá spoľahlivo vytvoriť. Preto bola pridaná ďalšia kapacita do záťaže deliča (47 pF) aby kompenzačná hodnota dosiahla realizovateľných 6 pF . Kapacita vstupu analógovej časti potom splňuje stanovené požiadavky a je zrovnateľný s impedanciou špičkových osciloskopov.

U deliča je treba dbať aj na rezistívnu časť impedancie operačného zosilňovača, na ktorý bude delič napojený. Impedancia radovo $10\text{ M}\Omega$ však ovplyvní parametre len zanedbateľne.

Na Obr. 3.3 je potom možno vidieť zjednodušenú verziu analógovej časti, na znázornenie signálových úrovní v jednotlivých častiach. Na Obr. 3.6 je potom znázornená vstupná časť v blokovom prevedení.

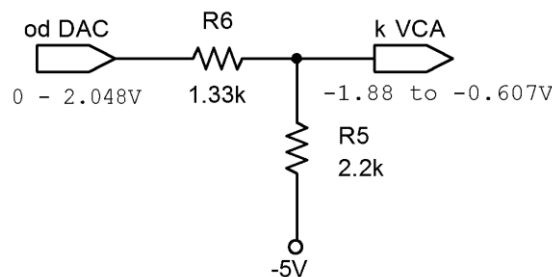


Obr. 3.3 Zjednodušená verzia analógovej časti a signálových úrovní

3.2.2 Poznámky k návrhu analógovej vstupnej časti

- 1) Použitie VCA malo nevýhodu v zmene vstupných parametrov pri zmene zosilnenia. Obvod navyše vykazuje silný offset, keď na vstupe je pripojená impedancia vyššia než cca. $10\text{ k}\Omega$. Preto nebolo možné priamo napojiť vstupný delič na VCA. Bolo nutné pridať ďalší aktívny stupeň. Najvhodnejší operačný zosilňovač má mať malý offset napätia (pretože toto napätie by sa násobilo na ďalšom stupni) a malú výstupnú impedanciu (napäťový offset VCA obvodu sa znižovalo znížením impedancie – overované experimentálne). Na tento účel bol použitý operačný zosilňovač OPA228 [14].

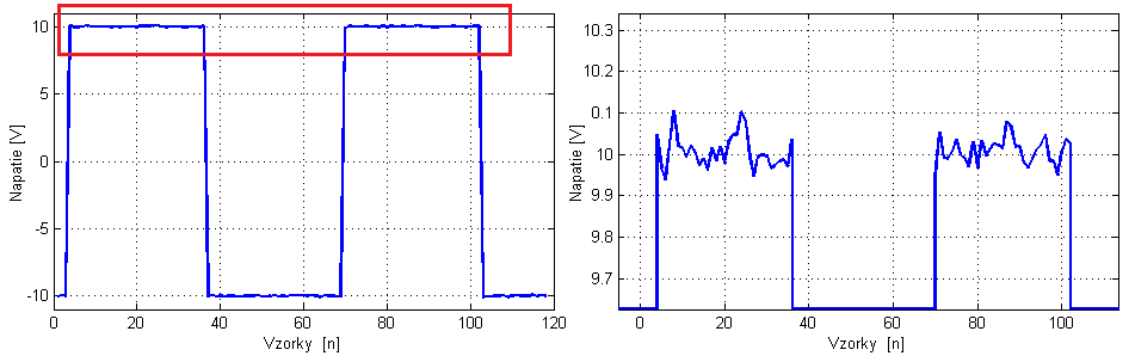
- 2) Prepínanie AC a DC väzby je spravená signálovým relé. Iné možnosti, ako Solid State Relé, alebo analógové prepínače nemali dostatočné parametre, alebo sa nedali digitálne prepínať. Pri AC väzbe má analógový vstup dolný limit prenosu (lomovú frekvenciu) na 16Hz (-3dB).
- 3) Vstupný delič je doplnený o ochranné diódy, ktoré majú chrániť ostatné časti obvodu pred veľkými amplitúdami na vstupných svorkách (> 5Vpp). Síce diódy prinášajú parazitnú kapacitu do systému, avšak táto kapacita je vykompenzovaná.
- 4) Aby mohol vstupný VCA správne pracovať, je potrebné nastaviť správne ovládacie napätie na jeho ovládacom vstupe (Obr. 3.3 V_{control}). Na privedenom napätí závisí zosilnenie obvodu. Vzhľadom k tomu, že analógová vstupná časť má mať viac citlivostných úrovní, musí byť zdroj napätia digitálne riaditeľný. Na tento účel bol pridaný číslicovo analógový prevodník TLV5637 [19]. Je to 10 bitový číslicovo - analógový prevodník so sériovým dátovým vstupom a 2 analógovými výstupmi. Vzhľadom nato, že zosilňovač na jeho vstupe má mať riadiace napätie v rozsahu -2V až 0V, bolo potrebné ešte výstupne napätie z prevodníka upraviť. Výstup bol upravený napäťovým deličom, ktorý slúži, ako posúvač napäťových úrovní (Obr. 3.4). Tým pádom bolo možno pomerne jednoducho dosiahnuť napäťových úrovní vhodných na riadenie zosilňovača. Takéto posúvanie zníži maximálnu amplitúdu signálu. Tento jav problémom nieje, pretože VCA je používaný len v obmedzenom intervale zosilnení.



Obr. 3.4: Znáznornenie napäťového posúvača pre VCA

- 5) Aby analógovo - číslicový prevodník (ADS931) mohol fungovať korektné je treba aby na jeho vstupe boli napäťové úrovne od 1/3 do 2/3 jeho napájacieho napätia. To znamená že bolo nutné pridať DC zložku do signálu s DC väzbou. Nato slúži jeden zo stupňov s operačným zosilňovačom v systéme. Na vstup tohto zosilňovača je privedené napätie cez deliče z výstupu AD prevodníka CM (common mode). Na tomto výstupe je napäťová úroveň rovná presne polovine pracovného bodu prevodníka (cca 1/2 napájacieho napätia). V konkrétnom zapojení potom napätie z CM bolo treba zmenšiť na polovinu (Obr. 3.3 ADC $V_{\text{ref}/2}$), pretože pri zapojení operačného zosilňovača ako neinvertujúci so zosilnením užitočného signálu $A = 1$ a s DC posunom, má neinvertujúci vstup zosilnenie $A = 2$.
- 6) Aby systém bol univerzálnejší, a aby bolo možné pozorovať detaily aj vysoko amplitúdových signálov, bolo pridané do systému posúvanie GND úrovne. Jedná sa vlastne o vertikálnu pozíciu signálu. Toto posúvanie uľahčuje užívateľovi rozložiť signály na obrazovke, a tiež umožní skúmať detaily signálov s veľkou amplitúdou. Napr: je daný signál obdĺžnikový s amplitúdou 10 V s prídavným šumom 100 mV (Obr. 3.5 vľavo). Užívateľa zaujíma veľkosť šumu v signáli. Keď zobrazí

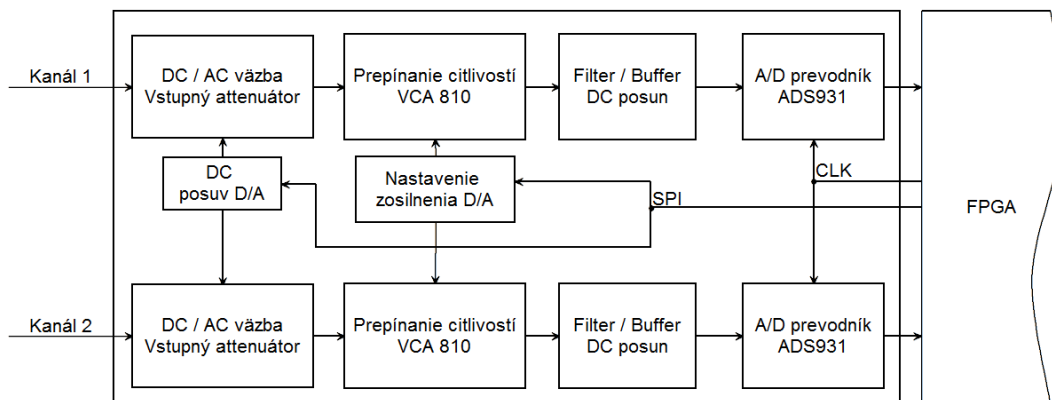
kompletný signál na obrazovke, nebude možné šum pozorovať (ani softwarovým vyhodnocovaním, vplyvom konečného počtu hladín 8 bitového prevodníka). S použitím posúvača, je možné stiahnuť pozorovanú časť signálu na stred obrazovky a zväčšiť citlivosť až šum bude dostatočne viditeľný (Obr. 3.5 vpravo).



Obr. 3.5 Detaily signálu bez a s posunutím

Blok posúvania GND úrovne bolo treba napojiť čím bližšie k signálovému vstupu, aby bolo ovplyvnených čím menej z nasledujúcich stupňov. Posúvač bol napojený priamo na invertujúci vstup VCA. Tým zosilnený signál už neobsahuje offset zo vstupného signálu.

- 7) Napájacie napätie je filtrované LC členom, aby bolo minimalizované rušenie a výstupné dáta boli bez chýb. Analógová vstupná časť obsahuje stabilizátor na 3V, ktorý slúži ako napäťová referencia, a napájanie analógovo číslicového prevodníka.
- 8) Dolnopriepustný filter má slúžiť na odfiltrovanie nežiaducich vysokých frekvencií, ktoré by mohli znehodnotiť navzorkovaný digitálny signál. Bol použitý filter s operačným zosilňovačom typu Sallen-Key a prídavný RC článok. Výsledný (simulovaný) filter má potom prenos ako na Obr. 7.26 a Obr. 7.27. Pri simulácii bol použitý model konkrétnej súčiastky THS4062 [20].
- 9) Jedna doska vstupného analógového modulu obsahuje 2 analógové kanály (Obr. 3.6). Tretí kanál je pridaný ďalšou doskou, na ktorej je osadený len jeden kanál (kanál začínajú konektorom BNC2 Obr. 7.16).



Obr. 3.6 Bloková schéma jednej dosky analógovej časti

3.3 Napájací zdroj

Na napájací zdroj boli vkladane vysoké požiadavky. Zdroj by mal mať tvrdé napájacie napätie, s minimom rušenia, a pritom má zachovať vysokú účinnosť. Vysokú účinnosť je možné dosiahnuť použitím spínaného meniča. Spínaný menič však v porovnaní s bežným lineárnym stabilizátorom má oveľa vyššie rušenie (vplyvom samotného spínania). [29] Preto bola zvolená kombinácia oboch typov s použitím ďalších filtračných LC článkov na vstupe napájacieho napätia na každej doske zvlášť. Tým bol redukovaný aj nežiaduci šum, ktorý by sa do systému dostal po pripojovacích vodičoch napájania.

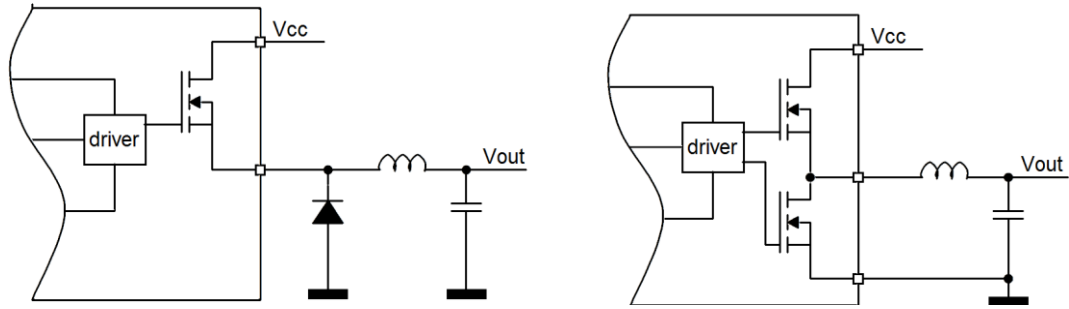
Bolo potrebné vytvoriť 2 napájacie napätia: ± 5 V pre analógovú časť, a ďalšie napájacie napätie, ktoré dodáva energiu digitálnej časti. Digitálna časť je napájaná z Spartan 3 FPGA kitu, ktorá má zabudované lineárne stabilizátory [22] sekcia 4.1. Stabilizátory vytvárajú napätia: 3,3 V 2,5 V 1,2 V potrebné pre FPGA obvod, navyše napájacie napätie 3,3 V je vyvedené na konektory (pre ostatné digitálne obvody, USB radič je napájaný z USB zbernice). Dokumentácia [22] uvádza, že FPGA kit je možno napájať napätím v rozsahu 5-6 V DC. Nebolo teda nutné vytvárať ďalšie napájacie napätie. FPGA kit je napájaný priamo z 6 V vytváraným spínaným meničom (Obr. 3.8).

Aby bolo rušenie minimalizované, pre vytváranie ± 5 V sú použité lineárne LDO stabilizátory LM2990T-5 [15] na negatívne a LM2940T-5 [16] na pozitívne napätie. Maximálny úbytok napätia na stabilizátoroch pri prúde 1 A je 0.6 V. Aby stabilizátor mohol pracovať s maximálnou spoľahlivosťou napätie na jeho vstupe bolo zvolené na 6 V. Napájacie napätie 6 V je vytvorených pomocou 2 spínaných DC-DC meničov. Jeden je znižujúci na strane pozitívneho napájacieho napätia, a druhý invertujúci na strane negatívneho napájacieho napätia.

Parametre prúdového dimenzovania boli určené meraním finálnych dosiek. Doska plne osadenej analógovej časti má maximálny prúdový odber $I_{pos} = 128,3$ mA v pozitívnej vetve pri 5 V, a $I_{neg} = -68,7$ mA v negatívnej vetve pri -5 V. Digitálna časť s pripojenými perifériami $I_{digi} = 174$ mA na 6 V. Maximálne prúdové zaťaženie spínaného meniča v pozitívnej vetve môže byť teda (s pripočítaním tretieho analógového kanála) $1,5 \cdot I_{pos} + I_{digi} = 366$ mA. S dostatočnou rezervou potom maximálne prúdové zaťaženie bolo zvolené na 750 mA. V negatívnej vetve prúdové zaťaženie bude zlomkom tejto hodnoty.

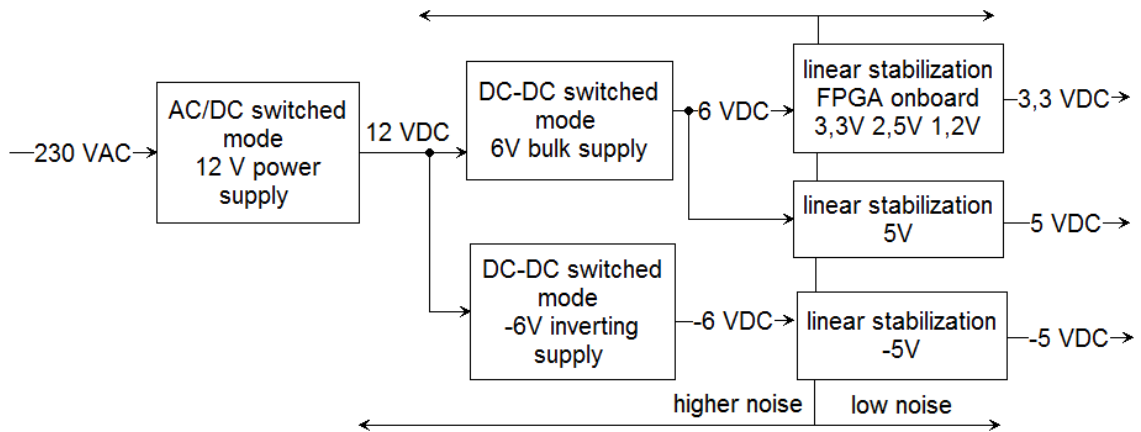
Návrh a zapojenie spínaných meničov boli vytvorené pomocou programu WEBENCH [34]. Programu stačí zadať rozsah vstupného napätia, požadované výstupné napätie, výstupný prúd a nakoniec vybrať integrovaný obvod, s ktorým bude zdroj realizovaný. Parametre výpočtu: vstupné napätie 12 V ± 10 % (10,8 - 13,2 V), výstupné napätie 6V, prúd 0,75A. Zostavenie bolo zvolené, aby bolo možné použiť napájací adaptér s jediným výstupným napätím. Meniče TPS54336 [17] pracujú s vysokou účinnosťou, typicky $> 90\%$. Obvod pracuje na pevnej spínacej frekvencii 340 kHz, ktorý umožní použitie pomerne malej akumuláčnej cievky.

Ďalšou výhodou a kľúčom vysokej efektivity je, že obvod neobsahuje rekuperačnú diódu. Fakt že dióda je nepotrebná je daná konštrukciou meniča, ktorá nepoužíva bežný jedno tranzistorový výstup, ale polomost, vid'. Obr. 3.7. Hlavnou výhodou takéhoto meniča je menšia stráta na spodnom spínacom tranzistoru typu FET, ako na dióde, pretože vznikne len veľmi malé úbytkové napätie.

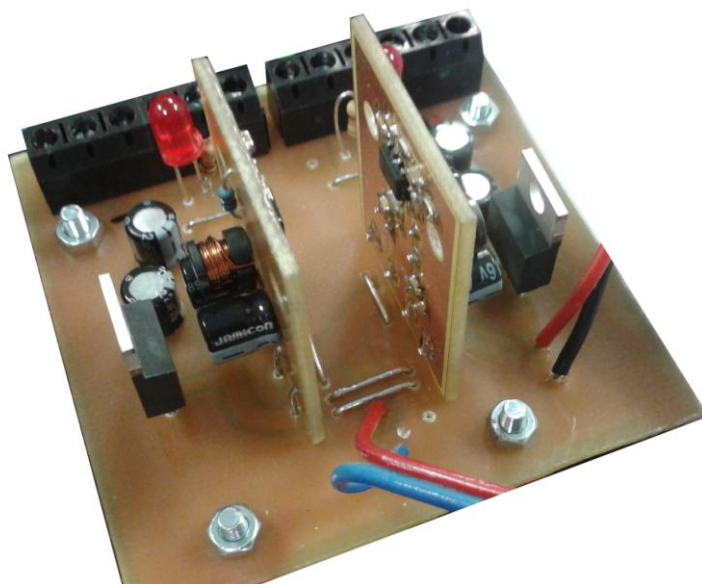


Obr. 3.7: Porovnanie výstupných častí spínaných meničov

Nakoniec bol zvolený napájací adaptér spínaný AC-DC. Spínaný adaptér a transformátor s usmerňovačom majú podobne výhody a nevýhody ako už to bolo preberané (rušenie/účinnosť). Bloková schéma výsledného napájacieho zdroja je na Obr. 3.8, fotografia kompletnej dosky na Obr. 3.9.



Obr. 3.8: Bloková schéma napájacieho zdroja



Obr. 3.9: Osadená doska napájacieho zdroja

3.4 Zobrazovacie prvky

Prístroj obsahuje 2 primárne zobrazovacie prvky. Používa LED diódy, ktoré sú súčasťou všetkých vstupných častí. Zobrazujú sa 3 možné módy:

1. Kanál aktívny - LED svieti zelene,
2. Kanál aktívny a je nastavený trigger na tento kanál – LED svieti červene
3. Kanál nie je aktívny – LED nesvieti

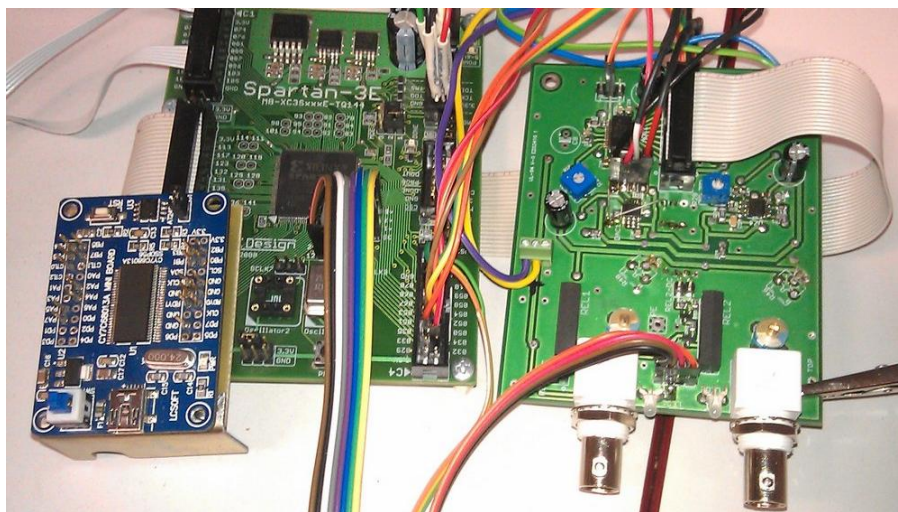
Ďalším zobrazovacím prvkom je 2 miestny 7 segmentový display, ktorý má za účel zobrazovať počet navzorkovaných sekvencií.

Pretože riadiaca časť nemala dostatočný počet vývodov, boli použité digitálne sériovo paralelne prevodníky (rozširovače zbernice) 74HC595 [18]. Tieto zobrazovacie prvky sú spojené do jedného SPI reťazca.

3.5 Digitálne spracovanie signálu a pripojenie k PC

Dáta z analógovej a digitálnej vstupnej časti majú byť nejakou formou nazbierané a naformátované do správnej sekvencie dát, aby bolo možné ich správne spracovať a zobrazovať v PC. Na tento účel bude slúžiť FPGA obvod Spartan 3, od firmy Xilinx. FPGA obvod má prednosť v paralelnom spracovaní dát. V tomto konceptu je konkrétne používaná FPGA vývojová doska [21]. Vývojový kit bol zvolený kvôli jeho jednoduchosti. Neboli požadované žiadne periférie na doske, požiadavkom bolo mať FPGA obvod s minimom súčiastok na vývojovom kitu (napájacie obvody + pamäť a generátor hodín). FPGA obvod bude ďalej slúžiť ako primárny buffer dát na posielanie cez zbernicu USB do počítača. Na spojenie s počítačom pomocou USB zbernice je potreba zvládnuť pomerne striktné časovanie a komplikovaný protokol. Aby nemuselo byť použitý FPGA vyššej triedy a aby vývoj bol uľahčený bol použitý vývojový kit [23] s USB radičom CY7C68013A [8]. USB radič obsahuje aj vylepšené 8051 jadro, pomocou ktorého je možné obvod naprogramovať na rôzne účely, v tomto prípade však slúži len ako slave FIFO. Obvod je prepojený pomocou špeciálnej zbernice SLAVE FIFO na FPGA obvod. Táto zbernica je paralelná, používa 8 bitové dáta, plus ďalšie riadiace signály.

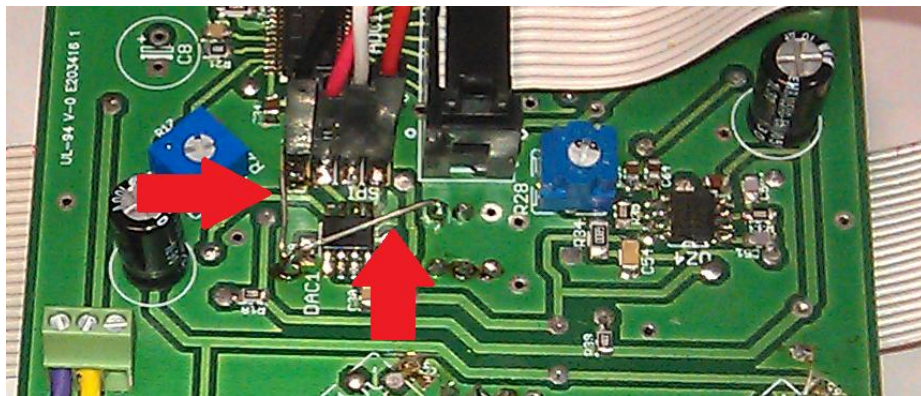
Na Obr. 3.10 je fotografia USB radiča, FPGA dosky a dosky analógovej časti:



Obr. 3.10: Fotografia vybraných dosiek zo skoršej časti vývoja

3.6 Technológia

Plošné spoje sú obojstranné, s prekovami medzi vrstvami. Plošné spoje majú nepájivú masku, ktorá uľahčovala pájanie. Plošné spoje sú obojstranne osadzované súčiastkami, kvôli minimalizácii rozmeru. Kvôli minimalizácii rušenia a zlepšeniu pomeru signál/šum dosky boli vyplnené rozliatím medi s pripojením na GND signál. Pôvodný dizajn bol nutný doplniť dvomi drátovými premosteniami, aby systém fungoval podľa predpokladu. Premostenie sa týkalo práve GND signálu. Premostenie bolo umiestnené blízko DAC1 prevodníka (Obr. 3.11). Ostatné dosky, ako dosky napájacieho zdroja, vertikálneho posuvu, digitálnej časti, adaptéra USB -> FPGA boli bezchybné, a fungovali podľa pôvodného zapojenia.



Obr. 3.11: Pridané premostenie GND signálu

3.7 Použité nástroje

Pri vytváraní hardwaru signálového dátového loggeru boli použité nasledovné nástroje: na kreslenie schém a plošných spojov: Eagle 5, na simuláciu zapojení Orcad – Pspice 10 a LTspice IV, na ďalšie simulácie a výpočty Matlab 2009.

4 SOFTWARE

4.1 Riadiaci software FPGA obvodu

Riadiaci software je písaný v jazyku VHDL. Tento jazyk je veľmi odlišný od obežne známych programovacích jazykov. Hlavnou odlišnosťou je paralelizmus, ktorý je kľúčovým elementom tohto jazyka. Jednotlivé bloky môžu pracovať zcela nezávisle na ostatných blokoch. Ťažkosti nastávajú pri snahe nesynchronnej komunikácie medzi blokmi, alebo pri prístupu k hardwarovým blokom, ktoré používa viacero blokov. Každopádne tieto problémy sú minoritne vedľa toho aké výkonné riadiace programy je možné s kombináciou FPGA obvodu dosiahnuť.

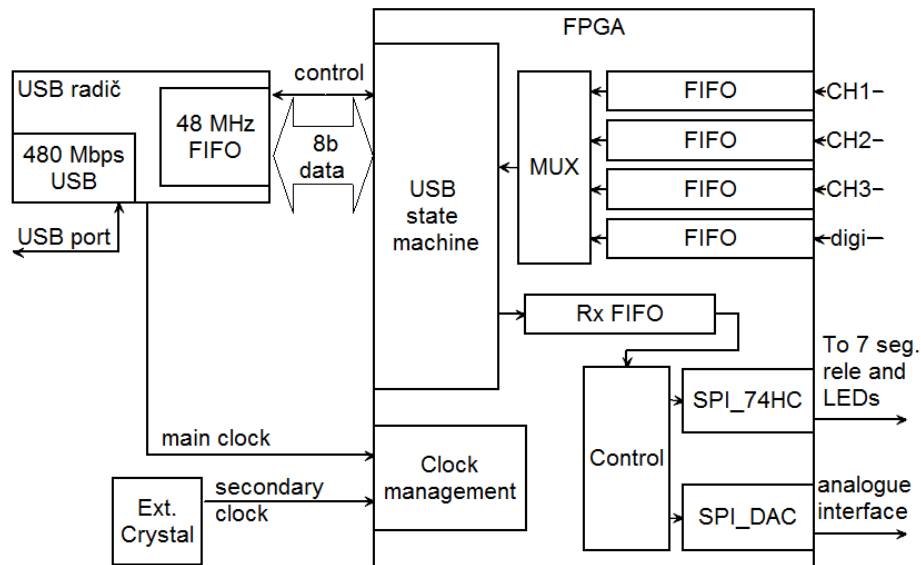
4.1.1 Parametre riadiacej časti

Riadiaci procesor má za úkol vytvoriť most medzi PC a hardwarom. Sú k nemu pripojené všetky analógové a digitálne vstupné časti. Je k nemu pripojený aj USB radič, ktorý bol potrebný na komunikáciu s rýchlosťou Hi-speed. Radič má paralelnú 8 bitovú zbernicu zo strany FPGA bežiacu na 48 MHz a USB zbernicu z druhej strany bežiacu na 480 MHz. Použitie bolo nevyhnutne, pretože FPGA rodiny Spartan 3 má nieje vyrobený pre také rýchlosti. Výsledná rýchlosť závisí od komplexity úlohy, teoreticky maximálne však $\approx 300\text{MHz}$. [27] USB radič má nárazový (burst) charakter prenosu (spôsobený operačným systémom a štandardom USB). Prenos môže mať pauzy až 10 ms, preto obsahuje radič FIFO pamäť. Aby systém bol spoľahlivejší v FPGA sú naimplementované ďalšie FIFO pamäte na jednotlivé kanále (Obr. 4.1). Riadiaci procesor má podporovať nielen posielanie dát do PC, ale aj prijímať z PC. Prijímajú sa len nastavenia, takže tok je aktívny len, keď užívateľ nastavuje parametre. Prijímané dáta sa uchovávajú v pamäti USB radiče a nemusia byť hneď spracované, majú nižšiu prioritu než odchádzajúce dáta. Pripojenie k USB radiči je poloduplexné, preto prijímané dáta sú ošetrované až, keď linka je voľná. FPGA je mastrom pri komunikácií.

Komunikácia s USB radičom prebieha pomocou nasledujúcich signálov: adresovanie FIFO pamäte, signalizácia plná / prázdna aktuálnej pamäte, signál povoľujúci zápis, signál povoľujúci čítanie a signál prepínajúci smer dátovej zbernice. Do FPGA obvodu bol implementovaný stavový automat, ktorý rozhoduje podľa stavov týchto signálov, a nastavuje ďalšie stavy potrebné ku komunikácií s USB radičom.

Funkcia stavového automatu:

1. Poslúcha na strane USB, či sú dostupne prijaté dáta, zároveň pozoruje stav interných FIFO pamätí.
2. Keď pamäť sa naplní aspoň 127 Byte dátami, prepne sa do vysielacieho módu a dáta sa prepisu do pamäte USB radiče v prípade že pamäť je voľná. Dĺžka 127 Byte je daná veľkosťou komunikačného paketu 512 Byte ($127 \cdot 4 = 508 + 4$ Byte informačné byty).
3. Keď dáta sú vyslané prepne sa naspäť do poslúchacieho režimu, či v radiči niesú prichádzajúce dáta. Keď dáta sú prítomné FPGA prevezme ich a spracuje (naformátuje a vyšle na ďalší hardware).



Obr. 4.1: Bloková schéma systému v FPGA

Aby radič USB mohol fungovať podľa predpokladu, bolo potrebné ho naprogramovať správnym firmwre. Použitý bol firmwre z ukážkového programu, kde bol prepojený radič s FPGA obvodom. Vzorové riešenie obsahovalo medzi inými aj základné FPGA jadro, ktoré bolo použité v ďalšej fázy vývoja. Pôvodný projekt zvaný “Implementing an FX2LP™-FPGA Interface“ však už bol výrobcom prerobený. Hlavnou odlišnosťou je použitie 16 bitovej zbernice namiesto 8 bitovej. Pretože pôvodný dokument v podobe ako bol dostupný v čase vývoja už neexistuje na stránkach výrobcu, je priložený v elektronickej prílohe (CD). Ukážkový program v súčasnej dobe je pod názvom „Designing With EZ-USB® FX2LP™ Slave FIFO Interface“ a je dostupný z [10].

4.1.2 Rozvod hodinového signálu

Riadiaca časť obsahuje 2 zdroje hodinového signálu. Na doske riadiacej časti je osadený kryštál, a navyše hodinový signál z USB radiča je pripojená. Kryštál sa používa len v prípade, že hodinový signál z USB radiča nie je prítomný. V tomto prípade systém sa prepne do základného stavu a čaká kým sa objaví primárny hodinový signál. Neprítomnosť primárneho hodinového signálu z USB radiča znamená, že prístroj nie je spojený s PC, tým pádom by nebolo kam ukladať dáta, tak celý systém sa zastaví, avšak minimálne jadro musí bežať aby zistil znovu pripojenie.

Predpokladom je 5 Msps vzorkovanie, ale pretože vzorkovací kmitočet je odvodený práve z primárneho hodinového signálu bude presne $48 / 9 = 5,333$ MHz. Frekvencia primárneho hodinového signálu je daná USB radičom. Týmto hodinovým signálom sú taktované interné pamäte FIFO. Minimálny vzorkovací kmitočet použitého A/D prevodníku je 10 MHz, preto bolo vytvorené ešte aj $48 / 9 \cdot 2 = 10,666$ MHz, ktorým je taktovaný prevodník. Pri prijímaní dát potom sa jednoducho vynechá každá druhá vzorka. Toto bolo nevyhnutné, pretože nedodrzaním minimálnej vzorkovacej frekvencie by sa znehodnotil signál sample & hold obvodom prevodníka (zmena hodnoty vplyvom vybíjania kapacity obvodu).

4.1.3 Periférie a ich riadenie

Každý analógový modul má 2 D/A prevodníky s SPI zbernicou bez možnosti s pripojením do reťazca (nemajú dátový výstup). Rozlíšenie jednotlivých obvodov je riešený signálom CS (chip select). Prístroj obsahuje ešte zobrazovacie LED, relé na prepínanie väzby a dvojitý 7 segmentový display. Priame riadenie týchto periférií bolo nemožné kvôli nedostatku vývodov FPGA. Boli použité prevodníky seriál na paralel. Tieto prevodníky používajú SPI zbernicu na komunikáciu, ktoré je možné spojiť do reťazca.

Pretože periférie používajú inú dĺžku, rýchlosť aj mód SPI (D/A prevodníky majú zvlášť signál CS, 74HC obvody jeden spoločný CS), bolo treba implementovať 2 bloky SPI. Na posielanie dát na zobrazovacie prvky (74HC) je použitá 12 MHz rýchlosť hodinového signálu s 4 byte dĺžkou. Dva byte pre 7 segment display a 2 pre LED a relé spoločne. Na D/A prevodníky je potom posielaných 3·2 byte každému prevodníku, s rýchlosťou 3 MHz. Každý prevodník D/A používa totožnú mapu inštrukcií, majú však iné rozlíšenie: 10 bit (na riedenie zosilnenia) a 12 bit (na GND posun). Pretože 10 b prevodník vlastne nebere v úvahu posledné 2 bity, bolo možné použiť totožný protokol komunikácie.

Na Obr. 7.46 je vidieť analýzu vytvárania zvoleného FPGA obvodu, generovanú kompilátorom. Z analýzy je zrejme, že využitie obecných blokov je 31%, vstupne výstupných portov 62%. Neznamená to však, že by systém mohol byť naimplementovaný v FPGA z nižšej rady Spartan 3 rodiny, pretože nebol by dostatočný počet RAMB (interná RAM pamäť) a DCM obvodov (generátor a tvarovač hodinového signálu).

Konečné zapojenie konektorov na FPGA vývojovom kitu je v prílohe na Obr. 7.9. Konektor C1 je pripojený na analógovú vstupnú časť s vstupmi CH1 a CH2. Konektor C2 je pripojený na analógovú vstupnú časť s vstupom CH3. Na konektor C3 je pripojená doska adaptéru USB radiča. Na konektor C4 sú pripojené potom ostatné periférie, ako DA prevodníky, rozširovač zbernice a 7 segmentový display. Signáli D0-D7 sú vstupy pre jednotlivé digitálne kanále, prichádzajúce z panelu (Obr. 7.4 konektor K4). Button je pripojené tlačidlo z predného panelu, a DBG_LED sú signáli používané pri vývoji.

4.2 Riadiaci software na PC

Primárne bolo nutné vybrať programovací jazyk, v ktorom systém bude napísaný. Bolo uvažované nad jazykom C++ alebo C#, pretože s C++ boli skúsenosti, naopak v jazyku C# boli výrobcom USB radiča napísané vzorové programy. Obavy boli ohľadom výkonnosti kódu v C#. Bolo uvážené aj pridanie MMX inštrukcií, ktoré by však boli len možné v C++. Ako predbežné testy ukázali, jazyk C# na bežnom hardware (Intel pentium core 2 duo 2.2 GHz, 4GB RAM) nemal problémy s rýchlosťou, navyše vytváranie GUI by v tomto vývojovom prostredí bolo jednoduchšou úlohou.

Najprv bolo treba vytvoriť program, ktorý zobrazí navzorkované dáta, umožní nastaviť všetky módy požadovaných tigrov a z neho je možné spustiť, či prepnúť do logovacieho režimu. Aby hardware bol čím menej komplikovaný, bol zvolený čisto softwarové trigrovanie. Prijímané dáta sú sledované, a hľadajú sa v nich parametre,

vyhovujúce podmienkam.

Programovací jazyk C# umožňuje používať vlákna. Tieto vlákna potom môžu bežať virtuálne alebo aj fyzicky nezávisle (na viacjadrovom procesore). Nezávislosť vlákien je kľúčovým pri práci s GUI. Keby prijímanie cez USB, filtrovanie, zobrazovanie dát a snímanie užívateľských inštrukcií bežalo na jednom vlákne, pravdepodobne by ani jeden z úloh nemohlo bežať dostatočujúco: vykresľovania dát by bolo sekané, neskoré reakcie na tlačidlá atd. Preto bolo umiestnené ovládacie okno a zber plus filtrovanie dát na samotne vlákno.

Na spojenie s USB radičom je použitá .dll knihovňa od výrobcu. V súbore sú zahrnuté všetky funkcie na nastavenie, kontrolu a zber dát.

Pred samotným zberom dát, je nutne systém inicializovať. Prvým krokom je rozpoznanie periférie na USB zbernici. Identifikácia je prevedená na základe tzv. VID a PID čísla, ktoré obsahujú špecifické číslo každého hardware. Systém by nemal obsahovať 2 zariadenia s totožnými číslami. Po úspešnom pripojení k hardware, je možno pristupovať k dátam, pomocou takzvaných endpointov. V tomto projekte boli použité vedľa povinných nastavovacích endpoint 0, ďalšie 2, jeden na prijímanie a jeden na vysielanie dát.

Knihovňa podporuje 2 módy komunikácie: pomalejší jednotlivý prístup a rýchlejší prístup pomocou fronty. Týmto úzko súvisí plánovač USB zbernice a fronta, kam jednotlivé programy môžu zadať svoje požiadavky na komunikáciu. Hlavný USB radič rozlišuje 3 módy prenosu a priorít [28].

- 1) Najväčšiu prioritu má takzvaný interrupt transfer. Jedná sa o prenosi s malou dĺžkou, u ktorých je časovanie kritickým. Typickým zariadením používajúcim tento prenos je USB mys, alebo klávesnica, a väčšina HID zariadení.
- 2) Druhý typ je izochronný. Jedná sa o časté a súvislé dáta, ktoré však nie sú kritické na obsah. Typicky sa môže jednať o audio alebo video stream. Keď požadovaný obsah nie je prenesený v danom čase, tak sa dáta vyhodia, užívateľ pozoruje malé vynechanie v o obraze alebo vo zvuku.
- 3) Posledný typ je bulk prenos. Tuto sa jedná o veľkoobjemové dáta, ktoré nie sú časovo kritické, ale musia byť prenesené bezchybne. Typický prenos môže byť pri kopírovaní z USB pevného disku.

Vo finálnom riešení bol použitý bulk prenos. Tento typ bol zvolený kvôli zabezpečeniu, pretože u dátového loggeru stráta dát prenosom nie je prípustná, a pretože tento typ je vhodný na prenos veľkého množstva údajov. Samozrejme aby logger mohol pracovať s plnou kapacitou USB kanálu, v systéme nie je doporučené používať iné USB prostriedky, okrem nevyhnutných ako napr. myš a klávesnica. Tieto zariadenia generujú len minimálnu prevádzku, ktorý ešte neovplyvňuje prenos loggeru. Použitie USB zvukovej karty alebo kamery by už vážne ovplyvňovali prenos. Nielen že by generovali veľký tok dát, ale používajú izochronný prístup, ktorý môže mať prioritu nad bulk prenosom.

Knihovňa teda podporuje 2 možné prístupy do fronty USB plánovača: Pri pomalejšom jednotlivom prístupe, je do fronty pridaný požiadavka na komunikáciu, ktorý za malý čas aj prevedie. Pretože funkcia čaká až na dokončenie prenosu, nieje

možné plánovač zaťažiť, len na cca 10% (overené experimentálne). Druhý rýchlejší mód predpokladá neustále plnenie fronty plánovača USB a tým aj buffre v hardware. Je možné teda zadať hneď viacero požiadaviek, a tým pádom umožniť kvázi-plynulý tok do PC. Touto metódou je možné využiť plnú šírku USB.

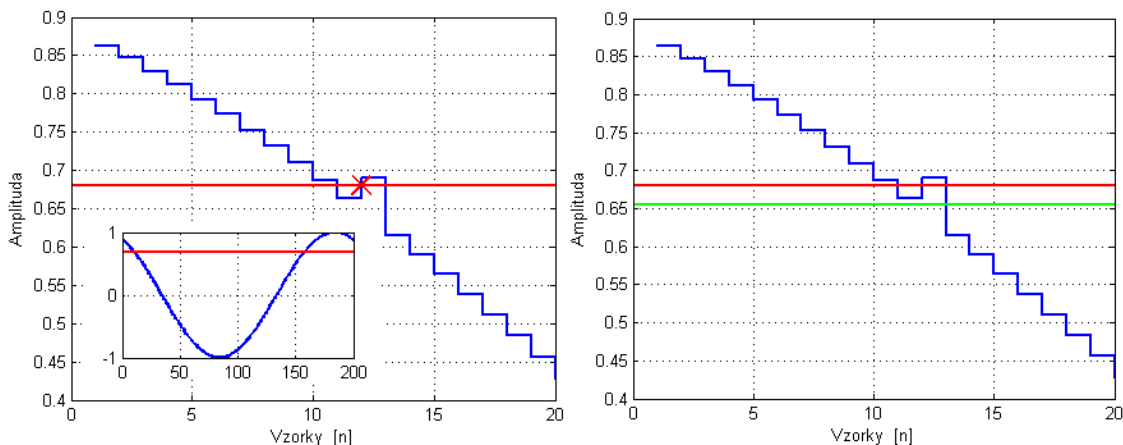
Vo finálnom riešení bola použitá prekladaná metóda, ktorá mala dostatočnú priepustnosť. Bola použitá 16 miestna fronta. V každom požiadavku, (v každej instancii fronty), je požadovaných 512·8 Byte. 512 byte pakety sú dané hardwarovo, pretože práve takú veľkosť majú FIFO buffre v USB radiči. Boli testované rôzne kombinácie dĺžky fronty a bufferu dát. Zvolená kombinácia: 512·8 buffer, a 16 miestná fronta, zaručujú dostatočne plynulý prenos s minimálnym spoždením a požiadavkami na pamäť PC, bez stratených dát.

4.2.1 Možnosti spúšťacích podmienok

Boli implementované tri typy spúšťacích podmienok. Základná: na hranu, prídavná: na šírku pulzu a komplexná, kde užívateľ môže zvoliť na každom kanále z podmienok. Možnosti komplexného triggra sú:

- 1) zostupná hrana, vzostupná hrana,
- 2) úroveň, ktorý u digitálnych signálov je jednoznačné (nízka alebo vysoká) a u analógových sa rozumie nad/pod trigrovacou úrovňou,
- 3) a bypass kanálu, tj. kanál nie je snímaný.

Spúšťanie na hranu signálu u analógových signálov bolo nutne doplniť o malú hysteréziu. Dôvodom je konečný počet úrovni prevodníka a prítomnosť šumu v systéme a v vstupnom signáli. Tieto javy by bez hysterézie mohli spôsobiť spustenie triggra v nesprávny moment. Obr. 4.2 vľavo znázorňuje prípad, keď vplyvom napr. šumu sa dostane do systému zákmit. Tento zákmit je snímaný systémom. Systém má zatrigrovať na vzostupnú hranu. Signál sa zdá byť čistým, ale vplyvom šumu nastane zákmit práve v blízkosti trigrovacej úrovne. Samozrejme systém túto postupnosť vyhodnotí správne, avšak užívateľ uvidí, ako keby systém zatrigroval na zostupnú hranu. Riešením je zavedenie hysterézie do systému. V tomto prípade signál musí klesnúť pod danú úroveň (zelene), až potom môže nastať trigger. V prípade Obr. 4.2 vpravo, systém na rušenie nezatrigruje.



Obr. 4.2: Znázornenie trigrovania bez hysterézie a s hysteréziou

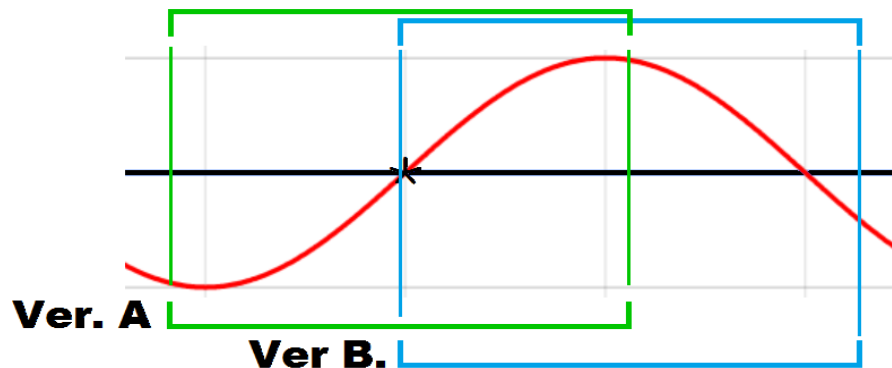
Spúšťač na šírku pulzu môže mať 2 módy: snímanie šírky pozitívneho alebo negatívneho pulzu. Pozitívnym pulzom sa rozumie, keď signál z nízkeho urovná vyskočí na definovaný čas na vysokú úroveň, a potom sa aj vráti na nízku úroveň. Negatívny pulz je potom opakom pozitívnej. Spúšťanie na šírku môže mať viacero nastavení. Snímanie dlhšieho/kratšieho pulzu než definovaná hodnota alebo definované intervalom. Snímanie je prevedené pomocou detekcie hrany. Napr. pri nastavení sa má snímať pozitívny pulz kratší ako x sekúnd systém sa chová nasledovne: čaká na nástupnú hranu, keď hrana je zaregistrovaná spustí sa počítadlo. Keď systém nájde ďalšiu hranu (teraz už zostupnú), prirovná hodnotu počítadla s požadovanou hodnotou, keď hodnota je menšia ako nastavená, trigger sa aktivuje.

Komplexné spúšťanie je najflexibilnejšou metódou na analýzu signálov. Pomocou tohto typu spúšťania je možné trigrovať na konkrétnu digitálnu hodnotu, nastavením jednotlivých úrovni v digitálnom kanáli. Inou možnosťou je kombinácia analógových hodnôt s digitálnymi stavmi, alebo aj hranou. Komplexné trigrovanie môže ale nemusí mať nastavené snímanie hrany signálu, avšak odporúčam nastaviť kanál aj so snímaním hrany, tým sa zmenší pravdepodobnosť nesprávne trigrovaným údajom (vplyvom šumu a rušenia na signáli).

Trigrovanie je čisto softwarové, to znamená, že každá vzorka musí byť z vybraného kanálu spracovaná. Pretože sa jedná o veľký dátový tok, najviac výpočtového výkonu je spotrebovaná práve vyhodnocovaním dát. Snahou bolo maximalizovať efektivitu tejto slučky. Efektívite prispieva, keď podmienky nepoužívajú parametre objektov, ako napr. farba tlačidla, pretože prístup k týmto parametrom trvá dlho. Rýchlou metódou je, keď zmeny objektov sú zaznamenané do dedikovaných premenných, podľa ktorých je potom rozhodnuté v slučke, ktorý typ trigrovania zvoliť a s akým parametrom.

4.2.2 Osciloskop mód

Dáta po trigrovaní musia byť vykreslené do okna, aby užívateľ mohol previesť správne nastavenie. Bolo by nevhodným, avšak jednoduchou úlohou dáta vykresľovať až po zatrigrovaní. Tým však užívateľ nedostane informáciu aký bol priebeh pred trigrom (Obr. 4.3 Ver.B). Preto bolo zvolené, že trigrovaný signál bude vycentrovaný v okne (Obr. 4.3 Ver.A).



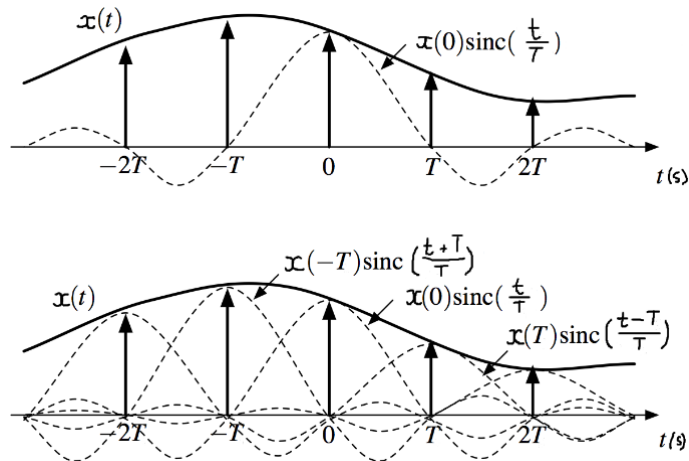
Obr. 4.3: Umiestnenie trigrovaného signálu v okne

Aby takéto vykresľovanie bolo možné, bolo treba implementovať buffer, do ktorého sú priebežne ukladané vzorky, ktoré po splnení podmienky môžu byť vykreslené. Najvhodnejšou metódou je kruhový buffer. Takýto typ buffra má vymedzenú polohu v pamäti a cyklicky je prepisovaná, pritom je k dispozícii ukazovateľ na súčasnú pozíciu. Tento typ buffra má najmenšie nároky na výpočtovú rýchlosť, čiže bol vhodným aj na časovo kritické časti.

Signáli obecné môžu mať rôznu periódu, a aby mohli byť vhodne zobrazené, bolo nutné do systému implementovať nastavenie časovej základne. Časová základňa dokáže pracovať v 2 módoch: keď má signál dlhú periódu, a užívateľ si praje zobrazit' rozumný počet periód, je treba navzorkované dáta zdecimovať. Naopak keď má signál krátku periódu, a v okne je treba zobrazit' rozumný počet periód signálu, dáta je treba interpolovať. V prípade decimácie sa jedná len o vŕhanie n-tic vzoriek. Napr. pri 10 násobnom zdecimovaní je vynechaných 9 vzorkov a berie sa desiaty. Situácia je horšia pri interpolácii. Najprv je potrebné zvolit' typ interpolácie. Najvhodnejšou metódou a tiež bežne používanou u osciloskopov je metóda sinc. Sinc funkcia je definovaná, ako [30]:

$$\text{sinc}(x) = \begin{cases} 1, & \text{pre } x = 0 \\ \frac{\sin(x)}{x}, & \text{inak} \end{cases}$$

Táto funkcia je aplikovaná na každú vzorku. Pri zvolení vhodnej dĺžky interpolačného okna a počtu vzorkov, je možné dostať vernú reprezentáciu priebehu, ktorý bol medzi dvomi vzorkami.

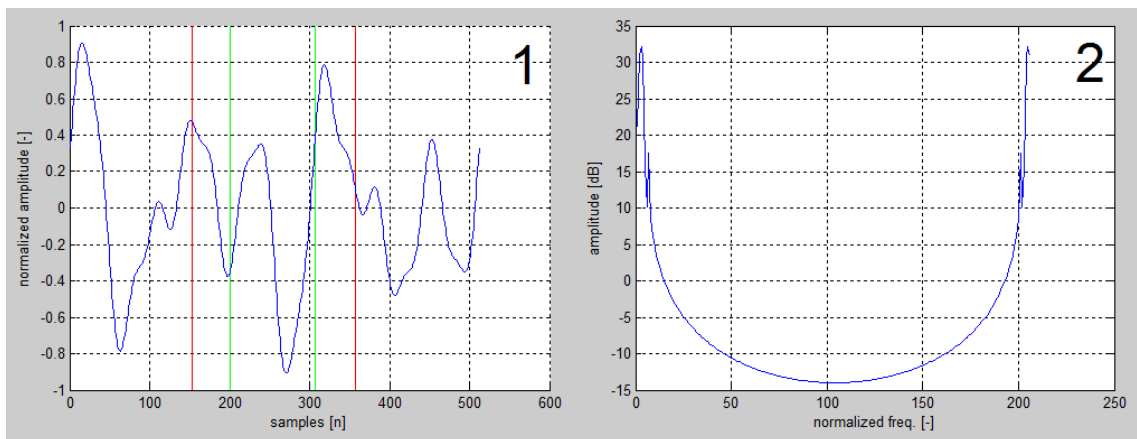


Obr. 4.4: Interpolácia diskrétného signálu funkciou sinc [30]

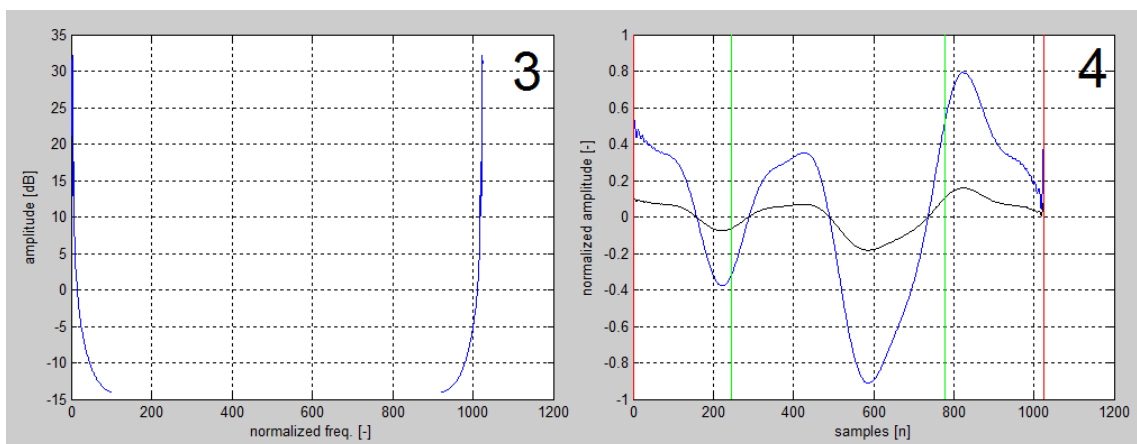
Prakticky je možné túto metódu implementovať ako FIR filter, alebo pomocou funkcie FFT. Testy ukázali, že pre dosiahnutie kvalitného výsledku je lepší použiť metódu FFT. Má s daným počtom dátových bodov strmšiu charakteristiku, tým aj lepšie interpolačné vlastnosti.

Konkrétna použitá metóda je nasledujúca: Okno, do ktorého je signál vykresľovaný obsahuje 533 bodov (odvodené zo vzorkovacej frekvencie 5,333 MHz). Pretože FFT dokáže pracovať len s dĺžkami dát 2^n (n je celé kladné číslo) je potrebné mať buffer s najbližšou vyššou hodnotou mocniny. Veľkosť buffra bude teda 1024. Požadované je

napr. 5x interpolácia. Metoda berie teda z pôvodných dát $1024/5 = 204,8 \approx 205$ vzorkou (Obr. 4.5-1 dáta v intervale červených kurzorov), ktoré pomocou DFT sú prevedené do spektrálnej oblasti (Obr. 4.6-2). DFT je výpočtovo náročnejšou alternatívou FFT, ale dokáže pracovať aj s dĺžkami ktoré nie sú mocninou 2^n , navyše pri malých dĺžkach zvýšenie výpočtovej náročnosti nie je kritické. Následovne spektrum je vyplnený nulami až na dĺžku 1024 (Obr. 4.6-3). Po tomto kroku je prevedená IFFT, po ktorom buffer obsahuje interpolované dáta. Buffer je potom orezaný na požadovanú dĺžku 533 vzorkov, a po korekcii amplitúdy zobrazený (Obr. 4.6-4 dáta v intervale zelených kurzorov). Korigovať amplitúdu je potrebné toľkokrát, koľkokrát bol signál interpolovaný (v konkrétnom prípade 5x). Táto metóda sa anglicky nazýva „Zero - padding“. Zdrojové kódy na výpočet Fourierovej transformácie boli prebrané z: DFT [32], FFT [31].



Obr. 4.5: Interpolácia pomocou vyplňovania spektra nulou, krok 1-2



Obr. 4.6: Interpolácia pomocou vyplňovania spektra nulou, krok 3-4

Na Obr. 4.5 a Obr. 4.6 sú vidieť červené a zelené kurzory. Červené kurzory ukazujú interval ktorý by bol vykreslený bez interpolácie, zelene je označený interval, ktorý je zobrazený po interpolácii.

Voľba dĺžky okna 533 vzorkov je úzko spojená so vzorkovacím kmitočtom, ktorý je $48/9 = 5,333$ MHz (viď. 4.1.2). Aby zobrazovacie okno bolo možné rozumne rozdeliť na dieliky, bolo treba zvoliť dĺžku okna za násobok vzorkovacieho kmitočtu. Tým pádom, keď do okna je vykreslených 533 vzorkov, ktoré boli navzorkované 5,333 MHz dĺžka okna vyjadrená v čase bude $99,9375 \mu s \approx 100 \mu s$ (chyba 0,0625 %). Okno je potom ďalej delené na 10 dielikov, čiže základne rozlíšenie je $10 \mu s$ na dielok. Pri prepínaní časovej základne, dĺžka okna vyjadrená v čase zostáva na štandardných hodnotách známych z osciloskopov: 1-2-5-10-20 atď.

Podobne ako časová základňa, logger musí mať aj prepínateľné zosilnenie analógových vstupov. U prepínaní citlivosti bolo nutne vychádzať z rozlíšenia A/D prevodníkov, ktorý je 8 bitoví, čiže je k dispozícii 256 rôznych úrovní. Preto okno bolo vo vertikálnom smere rozdelené na 8 dielikov (násobok 2^n). Prepínanie dovoľuje prepínať taktiež medzi štandardnými hodnotami známe z osciloskopov. 1-2-5-10-20. K vertikálnemu systému je pridaný aj posúvanie GND úrovne. Pretože prevodník má konečné a fixné rozlíšenie u posuvu, bolo treba ošetriť interval posuvu pri rôznych zosilnení. Napr.: keď signál je potreba posunúť o 1V pri citlivosti 100mV alebo 1V, interval sa zmenší na desatinu. (Jav je spôsobený zapojením GND posúvania ešte pred VCA, viď. 3.2.2 bod 6).

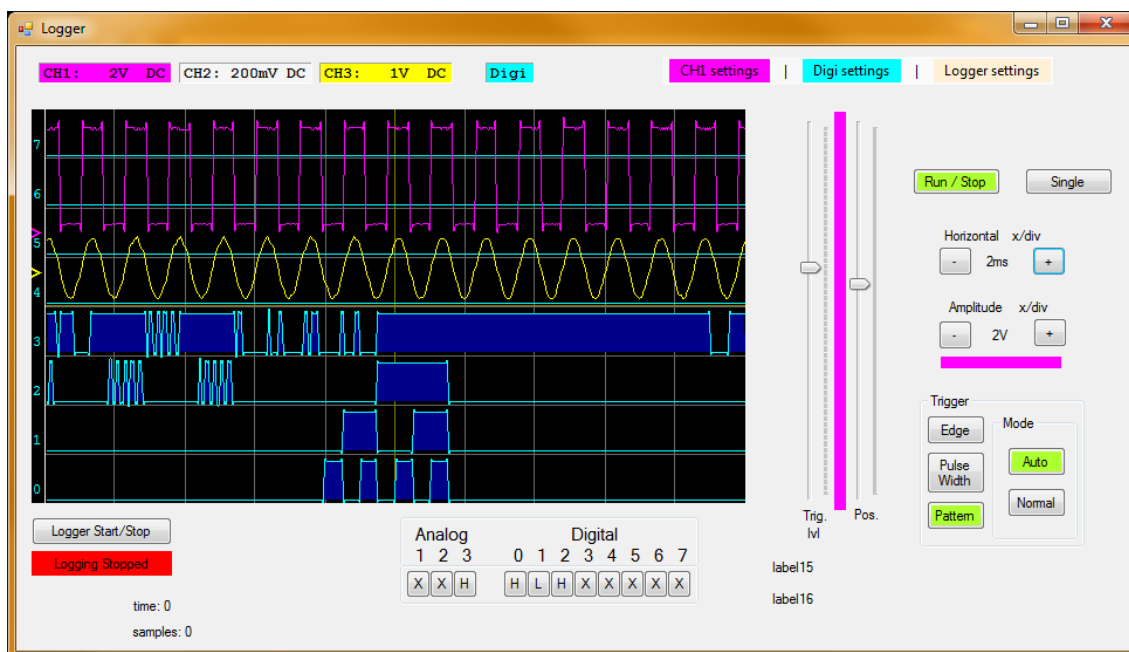
Po zmene ktoréhokoľvek parametra je posielaný celý USB paket s nastaveniami (PC → FPGA). Paket obsahuje všetky parametre: amplitúdové úrovne každého kanálu, posunutie GND každého kanálu, Nastavenie LED a relé, ako aj stav 7 segmentového zobrazovača.

Zber dát a samotné GUI beží na vlastných, separátnych vláknoch. Bolo nutné vykresľovanie vzorkov synchronizovať so zberom dát, pretože používajú totožný buffer. Prepísanie bufferu pri vykresľovaní zberom dát je ošetrované, dočasným zastavením vlákna zberu dát. Pretože pri vykresľovaní nevadí blok vynechaných dát, táto možnosť bola najefektívnejším (dvojitý buffer by skonzumoval dvakrát toľko pamäte ako dočasné prerušenie). Algoritmus pracuje nasledovne: fronta USB radiča je plnená požiadavkami, kým nie je nájdený trigger, alebo kým nevyprší časovač na nútené vykreslenie. Keď jeden z predošlých situácií nastane, do fronty nie sú pridávané ďalšie požiadavky, vyprázdni sa buffer odhodením ďalších vzorkov, ukončí sa vlákno. Po ukončení, sú dáta vykreslené do okna. Po skončení vykreslenia vlákno na zber je automaticky spustené znova.

Aby bolo možné zaznamenaný čas maximalizovať, je umožnené užívateľovi vypínať kanále, ktoré nebude potrebovať. Navyše pri snímaní pomalých dejov, ktoré nepotrebujú vysokorýchlostné vzorkovanie je možné vzorkovaciu frekvenciu znížiť, tým ešte predĺžiť zaznamenanú sekvenciu.

Program tiež umožňuje nastaviť dĺžku sekvencie, ktorá má byť zaznamenaná po zhode s podmienkou (post trigger time). Tým umožňuje flexibilitu a možnosť analyzovať nielen deje ktoré viedli ku kombinácií odpovedajúcim nastaveným podmienkam, ale aj ich vývoj v čase po triggru.

Na Obr. 4.7 je ukážka nastavenia komplexného triggra. Z obrázku je zrejmé, že kanál CH2 je vypnutý. Triggre sú nastavené úrovňové, a to na CH3, a na digitálnu kombináciu HLH (101). Na digitálne vstupy sú privedené signáli z čítača, ktorý číta od 0 do 7 (v binárnej podobe) skombinovaného so signálom zo sériovej zbernice UART.



Obr. 4.7: Pprintsreen ovládacieho a logovacieho programu

4.2.3 Logger mód

Keď užívateľ nastavil všetky požadované parametre snímania a záznamu, môže prepnúť do logger módu. Prepínanie je možné softwarovo aj hardwarovým tlačidlom. V tomto módu navzorkované dáta už sa nezobrazujú v okne, uľahčia tým záťaž na procesor v PC. Logger má podporovať uloženie dlhých sekvencií, čiže je nutné, aby program rezervoval dostatok pamäte. Na počítači s týmto programom by nemali bežať iné aplikácie, aby program mohol rezervovať väčšinu dostupného výpočtového výkonu. V systéme Windows x86 pod .NET nie je možný aby jediný program alokoval pre seba viac ako 1.6 GB pamäte RAM (overované experimentálne, aj na fóru [33]). Limit na systémoch x64 nie je, alebo nebolo ho možné prekonať.

Program je napísaný, aby skúsil čím viac pamäte alokovať pre seba. Iteratívne je skúšaná veľkosť, ktorú ešte operačný systém je ochotný prideliť programu. Program potom podľa dostupnej veľkosti pamäte, počtu kanálov a rýchlosti vzorkovania prepočíta aké dlhé sekvencie bude možné zaznamenať. Alokovaná pamäť slúži ako kruhový buffer, podobne ako v osciloskop módu, má však oveľa väčšiu dĺžku.

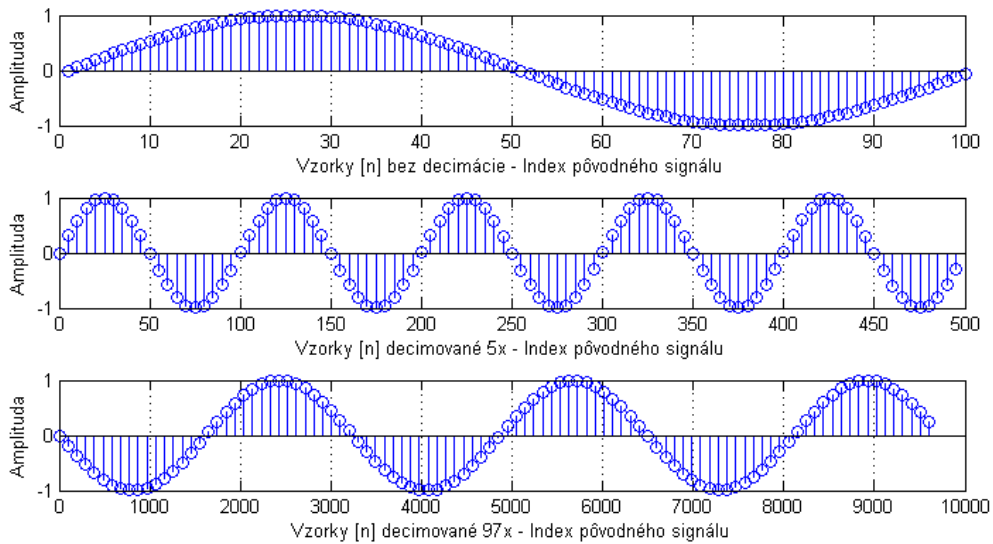
Po sekvencii alokácie pamäte, program už len sníma vstupné dáta, keď nájde nastavenú podmienku, zaznamenané dáta uloží na pevný disk, zvýši čítač zaznamenaných sekvencií a zároveň hodnotu vyíše na 7 segmentový display.

Dáta uložené na disk obsahujú informácie o nastavení aktívnych kanálov, informácie o čašu triggra, a samozrejme čisté dáta.

4.3 Vyhodnocovací software

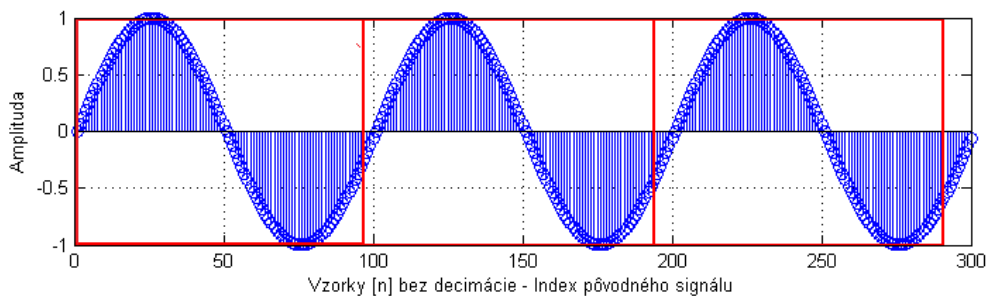
Dáta uložené na disk musia byť analyzovateľné po zberu dát. Preto bolo nutné vytvorenie ďalšieho programu, ktorý umožní zobrazenie a analýzu. Prvou prekážkou pri

vytváraní bol aliasing. Tento jav nastáva aj pri vykresľovaní dát do okna. Príklad: predpokladom je navzorkovaný sínusový priebeh o dĺžke 100 ms. Frekvencia vzorkovania 1 MHz, frekvencia signálu 10 kHz (Obr. 4.8 hore). Aliasing pri vzorkovaní nenastane, uložené dáta majú 100 vzoriek na periódu signálu. Avšak aby každý bod mohol byť vykreslený, bolo by potrebné mať rozlíšenie okna 100 000 bodov na šírku obrazovky. Bežne dostupné rozlíšenia sú 1024 až 1920 bodov. Preto je nutne dáta nejakým spôsobom zmenšiť na požadovanú dĺžku. Najjednoduchšou metódou by bolo vynechanie každých n -tic vzoriek. Práve u tejto metódy by mohol nastať aliasing. Pri decimovaní signálu 5x, ešte aliasing nenastane (Obr. 4.8 stred), zobrazíť by bolo treba 20 000 bodov, čo je ešte stále nemožné. Aby dáta sa zmestili na obrazovku s bežným rozlíšením, je treba zdecimovať ≈ 97 krát. Pretože pôvodný signál mal 100 vzoriek na periódu a každých 97 je vynechaných, užívateľovi sa na obrazovke zobrazí falošný aliasingový signál s frekvenciou odlišnou pôvodnej frekvencie (Obr. 4.8 dole).



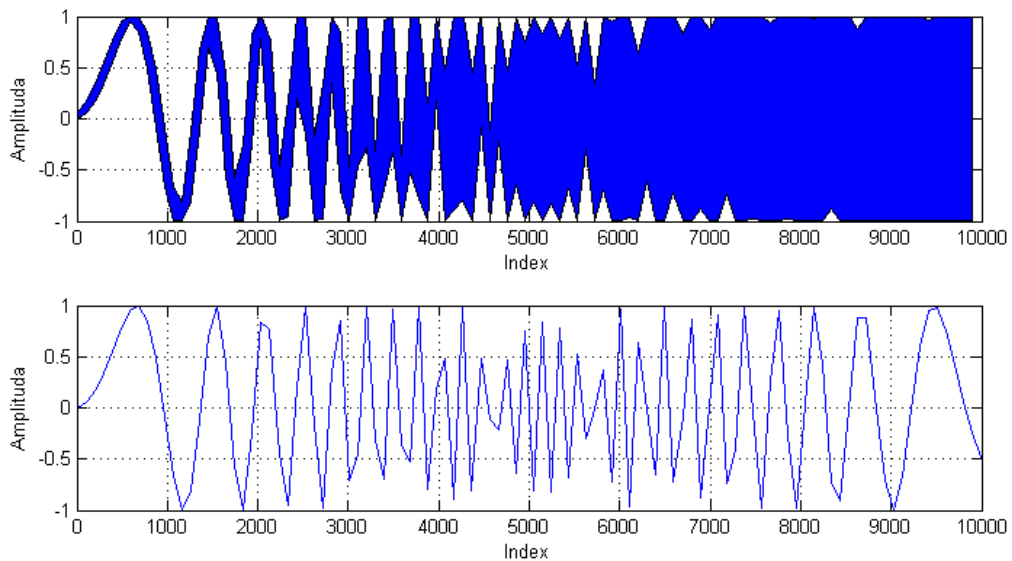
Obr. 4.8: Skrátenie signálu decimáciou

Riešením je zobrazenie obálky signálu. U tejto metódy je uložená maximálna a minimálna hodnota z intervalu, ktorá padne pod jeden pixel. Predpokladajme podmienky signálu z predošlého príkladu. V tomto prípade však nebude vynechaných každých 97 vzorkov, ale bude uložená maximálna aj minimálna hodnota z tohto intervalu (Obr. 4.9).



Obr. 4.9: Intervaly obálky

Výsledok oboch metód je dobré porovnať napr. sínusovým priebehom s rastúcou frekvenciou. S metódou obálky (Obr. 4.10 hore) síce nie je možné povedať aký je presný priebeh signálu, ale dáva užívateľovi najavo, že signál je moc rýchly, a pre podrobné zobrazenie by mal okno priblížiť. Metóda decimácie vzorkov (Obr. 4.10 dole) pri vyšších frekvenciách nedokáže dostatočne podrobne zobrazit' signál a pritom aj tento signál skreslí, akoby sa frekvencia signálu od 5000. vzorky znižovala (tomu tak samozrejme nie je). Funkčnosť metódy vo finálnom programe je vidieť na Obr. 7.43, kde bol aplikovaný signál s logaritmickým frekvenčným rozmietaním od 1 Hz do 5 MHz s dĺžkou 15s. Na obrázku je vidieť presné vykreslenie nízkych frekvencií. Ako sa frekvencia zvyšuje zobrazenie prejde do zobrazenia obálky. Nad $\approx 1,5$ MHz je vidieť ako začína pôsobiť filter.



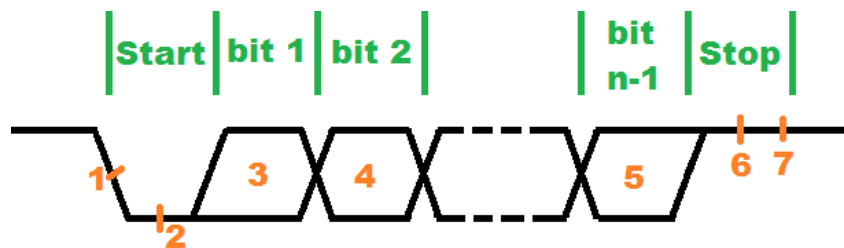
Obr. 4.10: Porovnanie metódy obálky a decimácie

Metóda obálky však má jednu nevýhodu v porovnaní s decimáciou. Pri decimácii stačí zo súboru načítať každú n -tú vzorku a hodnotu priamo vykresliť, kým u metódy obálky musia byť načítané a spracované všetky vzorky. Pri sekvenciách dlhých rádovo minúty, je rozdiel vo výkone výrazne zbadateľný. Príklad: vzorkovaný je jeden kanál s frekvenciou 5,333 MHz, po čase 60 s, dáta budú vykreslené do okna s 1024 bodovou šírkou. Dĺžka dátovej sekvencie bude $60 \cdot 5,333 \cdot 10^6 \approx 320 \cdot 10^6$ vzorkov. Dáta musia byť skrátené cca. $312 \cdot 10^3$ krát. To znamená, že metóda decimácie bude minimálne o toľko rýchlejšia. Zobrazenie takej dlhej sekvencie však má len udávať predbežný náhľad na signál. Práve preto je možné kombinovať predošlé 2 metódy, a tým vytvoriť kombinovanú, menej náročnú metódu obálky. Kombinácia spočíva vo vynechávaní dát, podobne ako u decimácie, avšak po blokoch. Znamená to že je napr. vynechaných 500 vzorkov, potom spracovaných 50 vzorkov. Pomer je nastaviteľný v závislosti na dostupnej výpočtovej sile alebo podľa požadovanej jemnosti detailov. Tento postup zníži potrebný výpočtový výkon výrazne, má však jeden nedostatok, ktorá pôvodná metóda obálky nemala: pri jednorazových alebo krátkych impulzoch nová metóda nemusí tieto pulzy zachytiť. Je to spôsobené práve vynechaním bloku dát. Najhorší prípad, ktorý by mohol nastať je periodický pulzný signál, kde a perióda pulzov a perióda vynechaných blokov je totožná. V tomto prípade na obrazovke vôbec nemusí

byť signál viditeľný, kým užívateľ nezmenší jemnosť vykresľovania, alebo posunie okno, či priblíži signál (zazoomuje). Riešením je pridať do systému náhodnosť. Pri generovaní indexov, sú pripočítané náhodné čísla z definovaného intervalu. Veľkosť pomeru náhodnosti je nastaviteľná, a experimentálne bola nastavená na 12%. Náhodnosť sa pridáva aj k blokom ktoré budú vynechané aj k indexom, ktoré sú použité pri výpočtu. Týmto vylepšením systém stane čiastočne citlivým na periodicky pulzné signály.

Vyhodnocovací software podporuje aj dekódovanie sériovej linky UART. Tento štandard môže mať viac rýchlostí 75 baud až 1 Mbaud a podôb: počet dátových bitov 5 až 9, počet stop bitov 1 až 2, parita: bez, párna, nepárna, navyše signál môže byť v niektorých prípadoch znegovaný (TTL – RS232). Preto bolo nutné pri dekódovaní vytvoriť flexibilnú metódu, ktorá zvládne všetky vymenované nastavenia. Pri dekódovaní je kritickou časovanie, pretože signál je asynchrónneho typu, tj. neobsahuje hodinový signál. Postup dekódovania signálu:

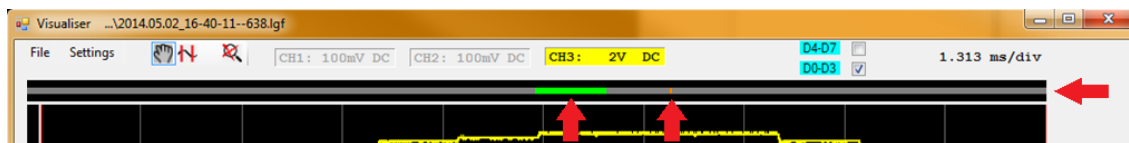
Signál v nečinnom stave má hodnotu log. 1. systém hľadá prvú zostupnú hranu, ktorá signalizuje štart bit prenosu (Obr. 4.11 bod 1). Po detekcii prvej hrany (ktorá je viditeľná v okne GUI) po čase poloviny trvania symbolu je skontrolovaný stav signálu (Obr. 4.11 bod 2). Keď signál sa nachádza v log. 1 jedná sa o falošný štart bit, a ďalšie dekódovanie je prerušené, keď v log. 0 štart bit je vyhodnotený ako správny. V ďalších krokoch (Obr. 4.11 bod 3,4,5) je uložený stav signálu po každom uplynutom čase trvania symbolu toľkokrát, koľko bitov má mať prenos. Pri nastavení, keď je použitý aj paritný bit (Obr. 4.11 bod 5), je snímaný ďalší bit totožnou metódou. Nakoniec od posledného snímaného bitu (dáta či parita) po uplynutí času trvania symbolu je skontrolovaný stop bit (Obr. 4.11 bod 6), ktorý má mať stav log. 1. Keď stop bit má nesprávnu hodnotu, dáta budú zobrazené, ale s chybovou hláskou. Nakoniec po dobe 0,85 násobku trvania stop bitu systém automaticky prepne na snímanie ďalšieho prenosu (Obr. 4.11 bod 7). Toto bolo dôležité pri dekódovaní jedného súvislého prenosu zostávajúcich z viacerých byte.



Obr. 4.11: Príklad prenosu UART

Vyhodnocovací software ďalej podporuje funkciu kurzorov so zobrazením konkrétneho času, amplitúdy a ich rozdielu (delta) Obr. 7.45 vpravo dole. Umožňuje ďalej vypnúť kanáli, ktoré v momente nie sú relevantné. Umožňuje posúvať analógové kanáli v okne podľa potreby. Je možné prepnúť z režimu kurzorov na režim ruky, kde je možné posúvať navzorkované sekvencie plynule pomocou myši. V oboch režimoch je možné zväčšovať/zmenšovať kolieskom myši. Umožňuje vyexportovať obrázok, ktorý obsahuje konkrétny stav z okna. Ďalej zobrazuje aktuálnu polohu zobrazenej sekvencie (zelene) z celkovej navzorkovanej sekvencie a tiež označuje miesto, kde pôvodný

trigger nastal (oranžovo). Detail zobrazenia aktuálnej polohy je vidieť na Obr. 4.12, ktorý je detailom z pôvodného obrázku Obr. 7.44.



Obr. 4.12: Detail zobrazenia aktuálnej polohy

4.4 Použité nástroje

Pri vytváraní softwaru signálového dátového loggera boli použité nasledovné nástroje: Na programovanie GUI loggeru a vyhodnocovacie softwaru Microsoft Visual Studio - C#, na programovanie FPGA obvodu Xilinx ISE Design Suite 13.4, na ďalšie simulácie a výpočty Matlab 2009.

5 KALIBRÁCIA A TESTY PRÍSTROJA

5.1 Kalibrácia

Aby systém mohol spoľahlivo fungovať bolo ho treba skalibrovať. Bol kalibrovaný vstupný zosilňovač (VCA obvod), obvod vertikálneho posuvu, a offset pred AD prevodníkom. Prvé dve kalibrácie sú digitálneho charakteru (sú ovládané cez DAC), tretí je nastaviteľný trimrom. Pretože pôvodne nebolo počítané s výrobou viacerých kusov tohto prístroja, softwarová kalibrácia je pevne nastavená v zdrojovom kóde. Kalibráciu teda nieje možné zmeniť v žiadnom menu, len znovu skompilovaním softwaru. Na kalibráciu bola použitá špeciálna verzia riadiaceho softwaru, ktorá dovoľuje nastavenie kalibrovaných parametrov manuálne a plynule.

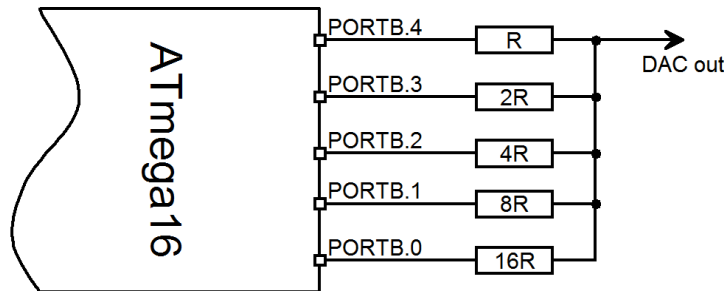
Prvým krokom bola kalibrácia modulu vertikálneho posuvu (Obr. 7.8). Bolo nutne nájsť digitálnu hodnotu, kedy na výstupe modulu bude 0 mV (Obr. 3.3 signál V_{offs}). Pretože modul obsahuje 12 bitový prevodník, a bol stavaný na výstupné napätie $\pm 5\text{V}$, predpokladom je, že výstup 0 mV bude dosiahnutá pri hodnote 2048. Avšak každý modul vykazoval malý offset. Každý modul (kanál) bol skalibrovaný zvlášť, a to s kompenzačnou hodnotu: CH1: 2048 - 18, CH2: 2048 - 11, CH3: 2048 - 9. Hodnoty majú jednotku: digitálna jednotka, alebo DAC count.

Druhým krokom bolo nastavenie správnej GND hodnoty pred AD prevodníkom. Nastaviť bolo potrebné pre všetky analógové kanály zvlášť, pomocou trimru (Obr. 7.3 R28 a R29). Skalibrované bolo pomocou zobrazovacieho programu v osciloskopickom módu, kde boli sledované priamo vykreslené sekvencie. Pomocou trimra boli nastavené správne GND úrovne každého kanálu zvlášť.

Posledným krokom bolo skalibrovanie vstupného zosilňovača, riadeného 10 bitovým DAC (maximálna digitálna hodnota 1024). Jednalo sa zase o digitálnu kalibráciu, kde bolo treba zistiť správne digitálne hodnoty pre dosiahnutie správnych amplitúdových úrovní. Prepínanie je v rozmedzí: 50mV, 100mV, 200mV, 500mV, 1V, 2V, na dielok. Bolo teda nutné nájsť 7 hodnôt. Kalibrácia prebiehala pomocou špeciálne upraveného zobrazovacieho programu v osciloskopickom módu. Na vstup prístroja bol napojený signál známej amplitúdy, a podľa obrazu zo softwaru bolo možné usúdiť kedy je konštanta správna. Z časových dôvodov kalibrácia je obecná pre všetky kanály. Toto vnieslo do systému určitú chybu, pretože ako aj u ostatných blokov nie každá súčiastka je 100% rovnaká. Každopádne konečné testy ukázali, že prístroj aj takto splňuje požiadavky. Kalibračné hodnoty sú: 123, 238, 335, 501, 614, 721, podľa poradia úrovní ako bolo uvedené vyššie. Hodnoty majú jednotku: digitálna jednotka, alebo DAC count.

5.2 Testy

Pri testovaní boli použité prístroje: generátor signálu Agilent 33220A, osciloskop Agilent 54621D, a mikrokontrolér ATMEGA16 s 5 bitovým odporovým DA prevodníkom (Obr. 5.1).



Obr. 5.1: Jednoduchý DA odporový prevodník používaný pri testoch

Konečný prístroj bol dôkladne testovaný rôznymi signálmi, na funkčnosť časovej a amplitúdovej základne, na každý typ triggra, a na možnosti dekódovania UART signálu. V prílohe je možné nájsť:

Test amplitúdovej základne Obr. 7.34 až Obr. 7.37, kde na kanál CH1 bol privedený sínusový signál s danou amplitúdou a v okne bola pozorovaná odozva. Na kanáli CH2 bol privedený kontrolný synchronizačný signál s konštantnou amplitúdou. Systém používa trigger na zostupnú hranu signálu z CH2.

Test časovej základne Obr. 7.38 až Obr. 7.40, kde bol privedený signál konštantnej amplitúdy. Menená bola jeho frekvencia. Na CH1 je obyčajný sínusový signál, na CH2 je synchronizačný signál z generátora, a na CH3 je privedený signál vytváraný pomocným prípravkom obsahujúcim mikrokontrolér a jednoduchý 5 bitový DA odporový prevodník. Hodnota vstupu DA prevodníka bola zvyšovaná konštantnou hodnotou po každom cyklu signálu z generátora. Je dobre všimnúť, že na Obr. 7.40 je vstupný signál frekvencie 1 MHz, takže synchronizačný signál CH2 je skreslený vplyvom filtra a samotnej maximálnej šírky pásma systému.

Test komplexného triggra Obr. 7.41, kde bol privedený analógový signál z výstupu 5 bitového DA prevodníka, a digitálne vstupy totožného prevodníka. Systém zatrigruje v bode najvyššej amplitúdy, čiže za prítomnosti digitálneho signálu s hodnotou (HHHHH, alebo tiež 11111b).

Test triggra na šírku pulzu Obr. 7.42, kde bol privedený signál s 3 úrovňami. Bola testovaná úrovňová aj časová reakcia systému. Z obrázku je zrejmé, že bolo nutné zachytiť pozitívny impulz s vyššou amplitúdou, ktorý má menší čas trvania ako 8 μ s. Na digitálnych vstupoch je možné pozorovať zapínanie jednotlivých úrovni (D0 vyššia úroveň D1 nižšia úroveň).

Test filtra a správnej vykresľovania obálky signálu Obr. 7.43. Detaily preberané v sekcii 4.3.

Test dekódovania UART signálu, kde bola zachytená komunikácia medzi počítačom a mikrokontrolérom s DA prevodníkom (Obr. 7.44). PC posielala pomocou

zbernice UART hodnotu, ktorú mikrokontrolér nastaví na vstupe DA prevodníka, zároveň odpovie kódom 0x55 pre úspešné prijatie hodnoty. Na kanáli CH3 je výstup DA prevodníka, na D1 je UART kanál z počítača do mikrokontroléra, na D0 je spätný kanál.

Test dekódovania UART signálu 2 (Obr. 7.45), kde medzi inými boli overované schopnosti dekódovania UART zbernice s TTL aj RS-232 úrovňami (jedna je znegovaná voči druhému). Na kanáli D3 je UART signál s úrovňami RS-232 (vysoká úroveň nečinného stavu) na D3 je UART signál s úrovňami TTL (nízka úroveň nečinného stavu). Je možné pozorovať, ako systém reaguje na chybu v prenose. Červenými obdĺžniky s nápisom Stop sú označené prenosi, u ktorých bola zavedená chyba v prenose. Systém tento pokus vyhodnotí ako nesprávny s chybou stop bitu.

6 ZÁVER

V prvej časti práce boli preskúmané dneska existujúce prístroje funkčne blízke signálovému a dátovému loggeru (osciloskop, a obecné signálový logger). Bolo vyhodnotených viac možností realizácie, uvážených viac typov návrhu: nezávislý prístroj, alebo s pevným pripojením k PC.

V ďalšej časti boli vypočítané všetky podstatné hodnoty, ktoré boli kľúčové k dokonalej funkčnosti prístroja. U niektorých častí boli vykonané aj simulácie na lepšie pochopenie procesov. Podľa výpočtov a podľa požiadaviek boli vybrané najviac vyhovujúce súčiastky. V ďalšej časti boli vytvorené zapojenia a dosky plošných spojov.

Následne bol napísaný kompletný riadiaci program pre PC aj FPGA obvod, vrátane podpory komplexného triggrovania. Bol napísaný ďalší vyhodnocovací software, ktorý je nevyhnutný pre podrobnú analýzu predne navzorkovaných dát.

Nakoniec systém bol skalibrovaný pomocou ďalších prístrojov a špeciálneho programu. Boli vykonané aj kontrolné merania kompletného systému.

Bol teda vytvorený signálový a dátový logger s 3 analógovými a 8 digitálnymi kanálmi s možnosťami spúšťania na hranu, šírku pulzu, alebo komplexne (čiže na stav, hranu v kombinácii na každý kanál). Signálový logger využíva prostriedky bežného počítača a je k nemu pripojený USB zbernicou. K hardwaru boli vytvorené 2 programy, ktorými je možno aktuálne signály zobrazit', nastaviť parametre systému, dáta logovať, a už uložené dáta analyzovať. Systém vyniká schopnosťou veľmi dlhého záznamu, rádovo jednotky až desiatky minút v plnom rozlíšení. Logger splňuje všetky parametre, ktoré boli naň v požiadavkách kladené. Prístroj je zrovnateľný parametrami vstupných impedancií a komplexným triggrom bežne dostupných osciloskopov.



Obr. 6.1: Finálna fyzická podoba signálového datového loggeru

POUŽITÁ LITERATÚRA

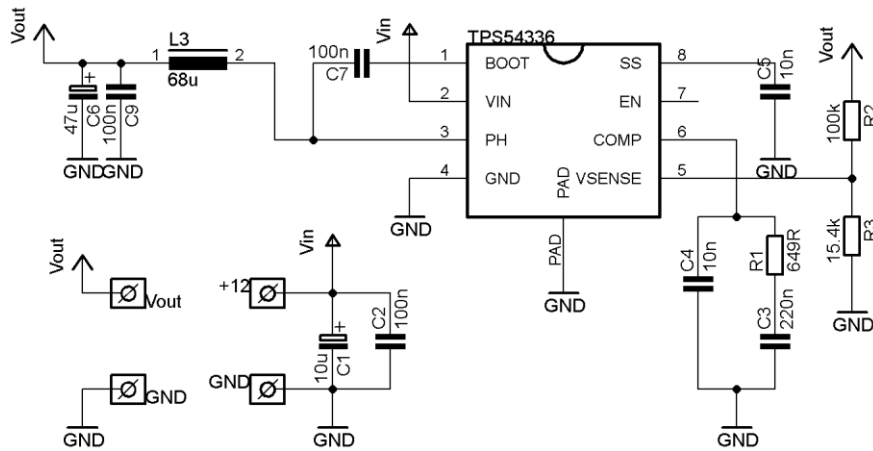
- [1] S. J. Orfanidis, Introduction to Signal Processing, online book, 2011, Dostupné na www: <http://www.ece.rutgers.edu/~orfanidi/intro2sp/>
- [2] Rigol [online]. Products page: *DS6000 Series Digital Oscilloscopes*. Rigol USA - [cit. 16.4.2012]. Dostupné na www: <http://www.rigolna.com/products/digital-oscilloscopes/ds6000/>
- [3] Agilent [online]. Products page: *MSO6014A Mixed Signal Oscilloscope*. Agilent Technologies, Inc. [cit. 26.3.2014]. Dostupné na www: <http://www.home.agilent.com/en/pd-723607-pn-MSO6014A/mixed-signal-oscilloscope-100-mhz-4-scope-and-16-digital-channels?nid=-536902766.536908417&cc=CZ&lc=eng>
- [4] Rohde & Schwarz [online]. Datasheet: *R&S UPV Audio Analyzer*. [cit. 16.4.2012]. Dostupné na www: http://www2.rohde-schwarz.com/file_16555/UPV_bro_en.pdf
- [5] Rigol [online]. DS1000E series oscilloscopes: *DS1102E 100 MHz Digital Oscilloscope*. Rigol USA - [cit. 16.4.2012]. Dostupné na www: <http://www.rigolna.com/products/digital-oscilloscopes/ds1000e/ds1102e/>
- [6] Fairchild Semiconductor [online]. Datasheet *74LVX573 - Low Voltage Octal Latch with 3-STATE Outputs*. [cit. 17.4.2012]. Dostupné na www: <http://www.fairchildsemi.com/ds/74/74LVX573.pdf>
- [7] VRBA, K. Vzájemný převod A/D signálů (MADP), prezentácie z prednášok, Vysoké učení technické v Brně, 2012.
- [8] Cypress [online]. Datasheet *CY7C68013A – High-Speed USB Peripheral Controller*. [cit. 18.5.2014]. Dostupné na www: <http://www.cypress.com/?docID=45142>
- [9] Cypress [online]. Tools *CY3684 EZ-USB FX2LP Development Kit*. [cit. 5.11.2012]. Dostupné na www: <http://www.cypress.com/?rID=14321>
- [10] Cypress [online]. Application Notes *AN61345 - Designing With EZ-USB® FX2LP™ Slave FIFO Interface*. [cit. 18.5.2014]. Dostupné na www: <http://www.cypress.com/?rID=43046>
- [11] Texas Instruments [online]. Datasheet *ADS931 – 8-Bit, 33MHz Sampling Analog to Digital Converter*. [cit. 4.11.2012]. Dostupné na www: <http://www.ti.com/lit/ds/symlink/ads931.pdf>

- [12] Texas Instruments [online]. Datasheet *THS4062 – 180-MHz High-Speed amplifiers*. [cit. 4.11.2012]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/ths4062.pdf): <http://www.ti.com/lit/ds/symlink/ths4062.pdf>
- [13] Texas Instruments [online]. Datasheet *VCA810 – High Gain Adjust Range, Wideband, VARIABLE GAIN AMPLIFIER*. [cit. 4.11.2012]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/vca810.pdf): <http://www.ti.com/lit/ds/symlink/vca810.pdf>
- [14] Texas Instruments [online]. Datasheet *OPA228 – High Precision, Low Noise OPERATIONAL AMPLIFIERS*. [cit. 26.3.2014]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/opa228.pdf): <http://www.ti.com/lit/ds/symlink/opa228.pdf>
- [15] Texas Instruments [online]. Datasheet *LM2990 Negative Low Dropout Regulator*. [cit. 5.4.2014]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/lm2990.pdf): <http://www.ti.com/lit/ds/symlink/lm2990.pdf>
- [16] Texas Instruments [online]. Datasheet *LM2940 - 1A Low Dropout Regulator*. [cit. 5.4.2014]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/lm2940-n.pdf): <http://www.ti.com/lit/ds/symlink/lm2940-n.pdf>
- [17] Texas Instruments [online]. Datasheet *TPS54336 - 4.5V to 28V Input, 3A Output, Synchronous SWIFT™ Step-Down DC-DC Converter*. [cit. 5.4.2014]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/tps54336.pdf): <http://www.ti.com/lit/ds/symlink/tps54336.pdf>
- [18] NXP Semiconductors [online]. *74HC595 - 8-bit serial-in, serial or parallel-out shift register*. [cit. 5.4.2014]. Dostupné na [www](http://www.nxp.com/documents/data_sheet/74HC_HCT595.pdf): http://www.nxp.com/documents/data_sheet/74HC_HCT595.pdf
- [19] Texas Instruments [online]. Datasheet *TLV5637– Low-Power Dual 10-Bit Digital-to-Analog converter*. [cit. 11.11.2012]. Dostupné na [www](http://www.ti.com/lit/ds/symlink/tlv5637.pdf): <http://www.ti.com/lit/ds/symlink/tlv5637.pdf>
- [20] Texas Instruments [online]. Tools & Software *THS4062 – PSpice Model*. [cit. 11.11.2012]. Dostupné na [www](http://www.ti.com/product/ths4062): <http://www.ti.com/product/ths4062>
- [21] PK-design [online]. Hardware: *Základová deska MB-XC3S100/250E-TQ144 v1.1 s obvodem Xilinx Spartan-3E*. [cit. 11.11.2012]. Dostupné na [www](http://pk-design.net/HtmlCz/MB_XC3SxxxE_TQ144v11.html): http://pk-design.net/HtmlCz/MB_XC3SxxxE_TQ144v11.html
- [22] PK-design [online]. Hardware: *Manuál k základové desce MB-XC3S100/250E-TQ144 v1.1*. [cit. 11.11.2012]. Dostupné na [www](http://pk-design.net/Datasheets/Zakladova_deska_XC3SxxxE_TQ144_v11.pdf): http://pk-design.net/Datasheets/Zakladova_deska_XC3SxxxE_TQ144_v11.pdf

- [23] Shenzhen LC Technology CO., LTD [online]. Hardware *EZ-USB FX2LP CY7C68013A USB Development Board*. [cit. 11.11.2012]. Dostupné na <http://www.lctech-inc.com/Hardware/Detail.aspx?id=7caded7b-359a-4e3d-b980-76ffa15171e0>
- [24] Intel Corporation [online]. Product information *Intel® Desktop Board*. [cit. 11.11.2012]. Dostupné na [www: http://www.intel.co.uk/content/www/uk/en/motherboards/desktop-motherboards/desktop-board-d2500hn.html?wapkw=%28Intel+Desktop+Board+D2500HN%29](http://www.intel.co.uk/content/www/uk/en/motherboards/desktop-motherboards/desktop-board-d2500hn.html?wapkw=%28Intel+Desktop+Board+D2500HN%29)
- [25] Xilinx [online]. Design Tools *ChipScope Pro* . [cit. 24.11.2012]. Dostupné na [www: http://www.xilinx.com/tools/cspro.htm](http://www.xilinx.com/tools/cspro.htm)
- [26] Xilinx [online]. Design Tools *ISE Design Suite* . [cit. 24.11.2012]. Dostupné na [www: http://www.xilinx.com/products/design-tools/ise-design-suite/index.htm](http://www.xilinx.com/products/design-tools/ise-design-suite/index.htm)
- [27] Xilinx [online]. *Spartan-3E FPGA Family Data Sheet*, sekcia: *DC and Switching Characteristics*. [cit. 6.4.2014]. Dostupné na [www: http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf)
- [28] KAINKA, Burkhard. *USB. Měření, řízení a regulace pomocí sběrnice USB*. 1. vyd. Praha: BEN, 2002, 247 s. ISBN 80-730-0073-3.
- [29] National Instruments [online]. *Linear versus switch-mode power supplies* [cit. 24.11.2012]. Dostupné na [www: http://digital.ni.com/public.nsf/ad0f282819902a1986256f79005462b1/7438e77138bddf1b86256f660008e9cc/\\$FILE/linear_versus_switching.pdf](http://digital.ni.com/public.nsf/ad0f282819902a1986256f79005462b1/7438e77138bddf1b86256f660008e9cc/$FILE/linear_versus_switching.pdf)
- [30] Iowa State University [online]. Lecture materials *EE 424 #1: Sampling and Reconstruction* [cit. 28.4.2014]. Dostupné na [www: http://www.ece.iastate.edu/~namrata/EE424/11.pdf](http://www.ece.iastate.edu/~namrata/EE424/11.pdf)
- [31] PRESS, William H, Saul A TEUKOLSKY, William T VETTELING a Brian P FLANNERY. *Numerical Recipes: The art of scientific computing*. 3rd ed. Cambridge: Cambridge University Press, 2007, xxi, 1235 s. strana 612-613 ISBN 978-0-521-88068-8.
- [32] Eigenstate.org - Project Nayuki [online]. *How to implement the discrete Fourier transform* [cit. 28.4.2014]. Dostupné na [www: http://nayuki.eigenstate.org/page/how-to-implement-the-discrete-fourier-transform](http://nayuki.eigenstate.org/page/how-to-implement-the-discrete-fourier-transform)

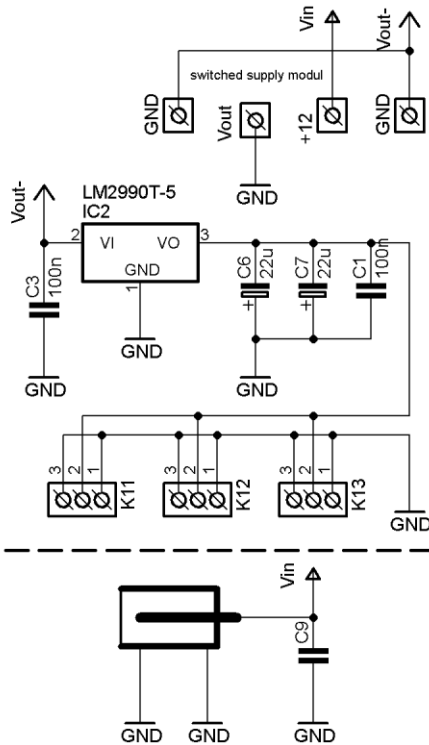
- [33] Stack overflow [online]. *Set Maximum Memory Usage C#* [cit. 28.4.2014].
Dostupné na www: <http://stackoverflow.com/questions/8966639/set-maximum-memory-usage-c-sharp>
- [34] Texas Instruments [online]. Online Design Center *WEBWNCH*. [cit. 16.05.2014].
Dostupné na www: <http://www.ti.com/lscs/ti/analog/webench/overview.page>

PRÍLOHA 1, SCHÉMY ZAPOJENÍ

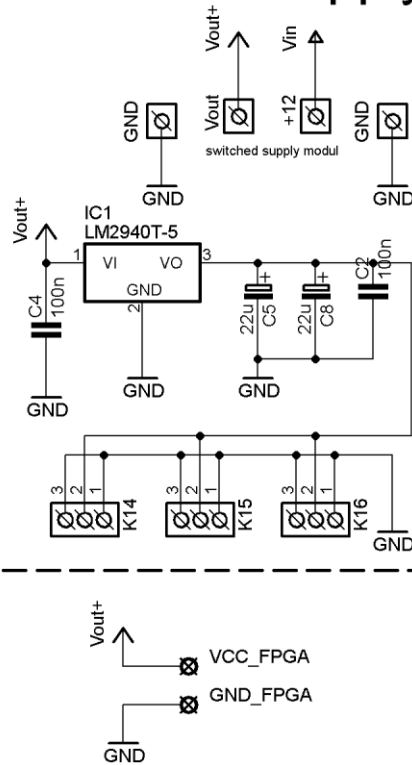


Obr. 7.1: Schéma zapojenia zdroja – modul DC-DC

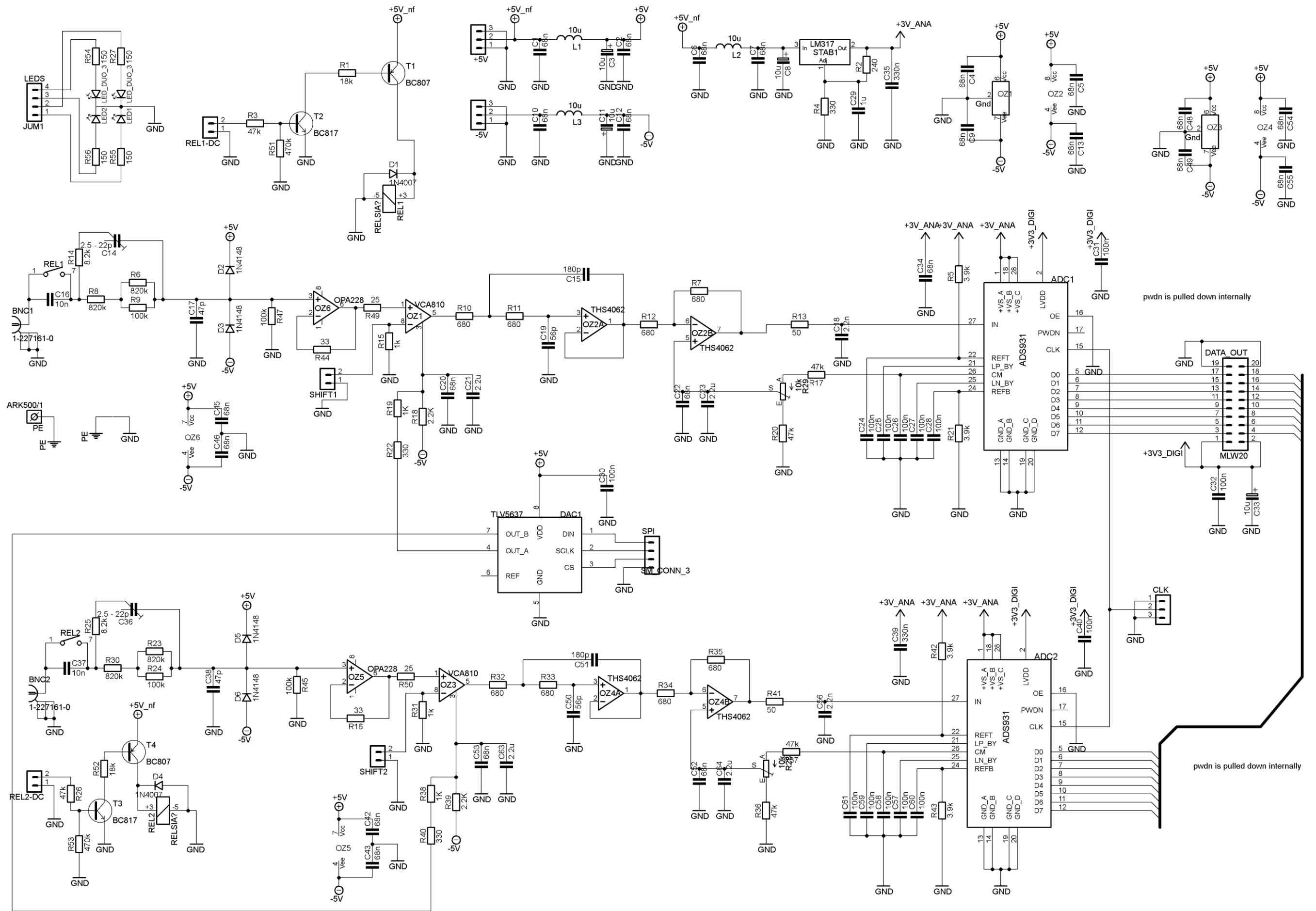
Negative supply



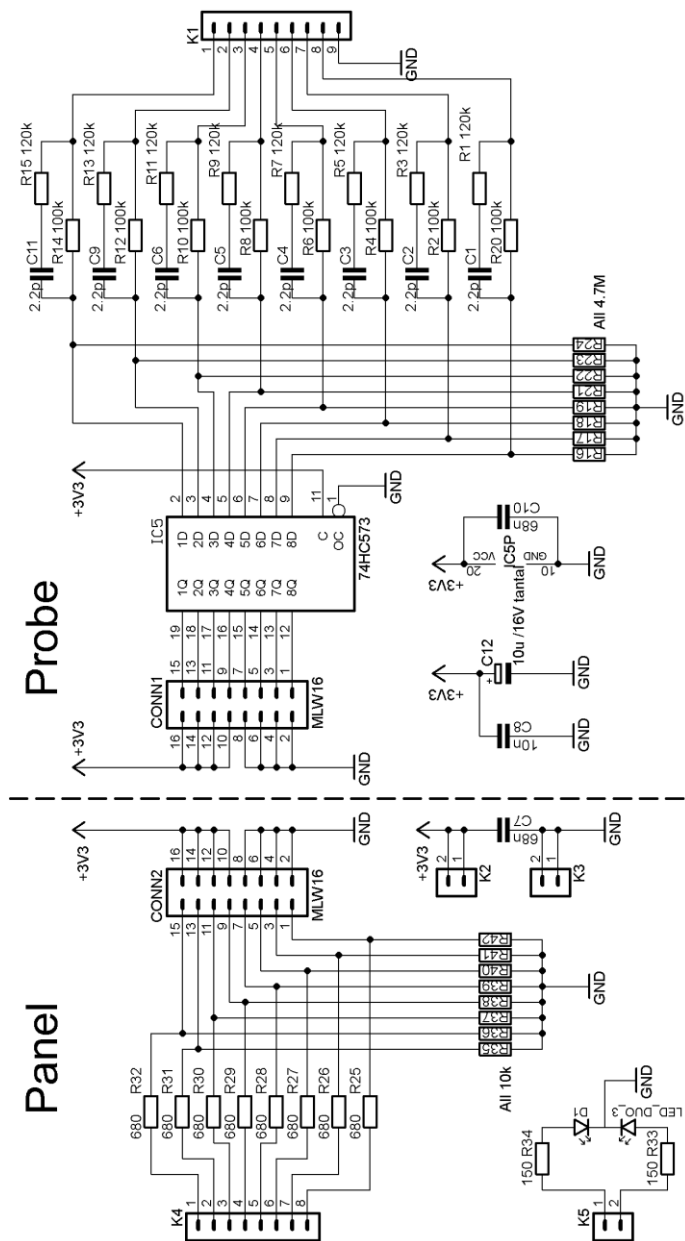
Positive supply



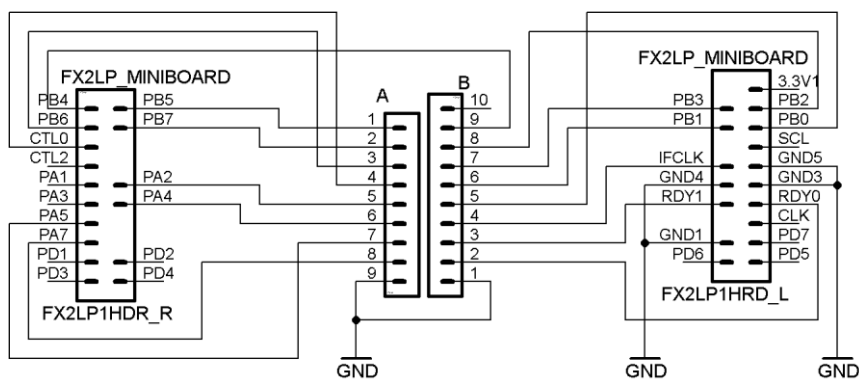
Obr. 7.2: Schéma zapojenia zdroja – modul lineárnych stabilizátorov



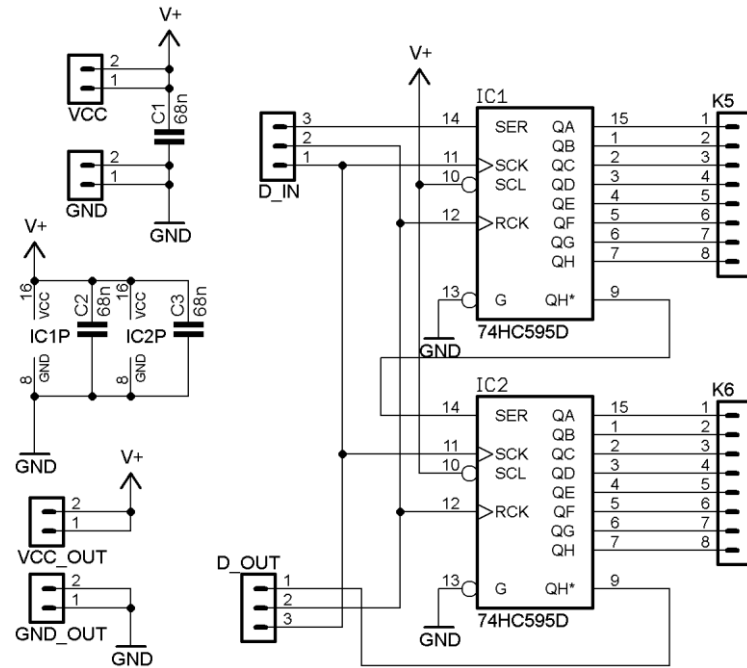
Obr. 7.3: Schéma zapojenia analógovej vstupnej časti



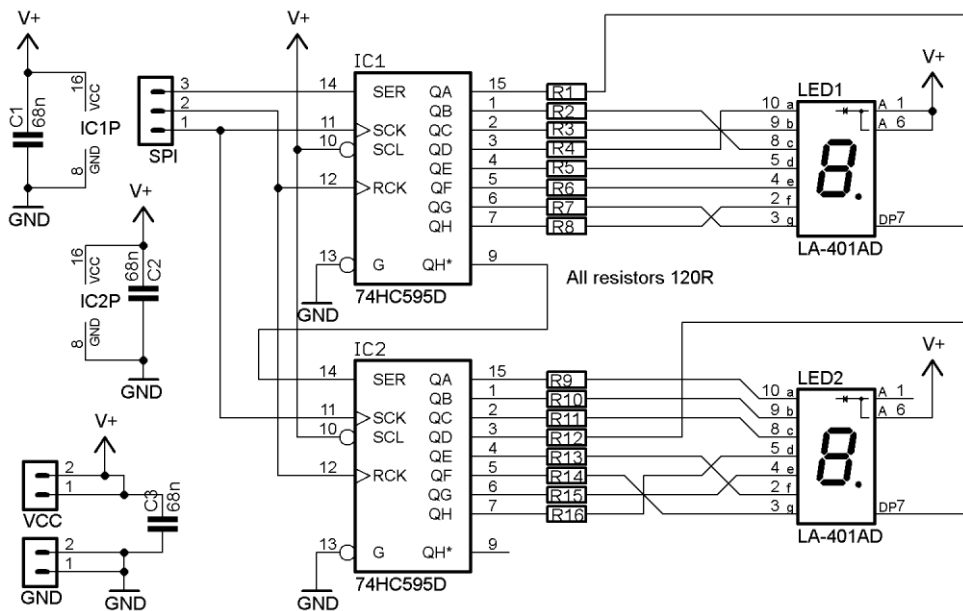
Obr. 7.4: Schéma zapojenia digitálnej vstupnej časti a jej konektoru na panel



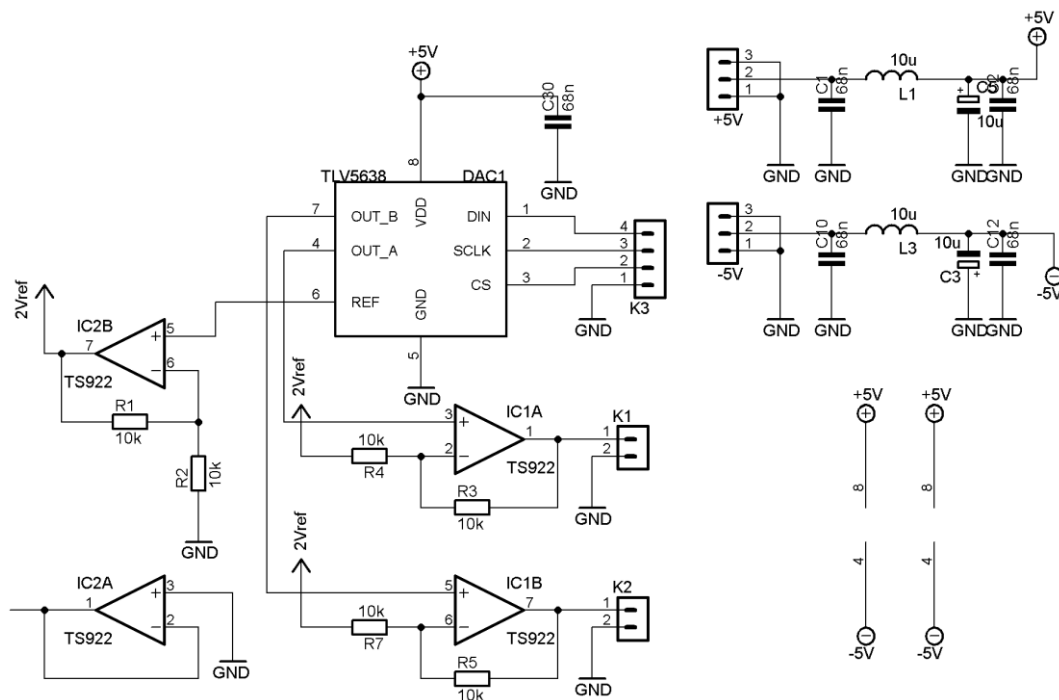
Obr. 7.5: Schéma zapojenia adaptéra na USB modul



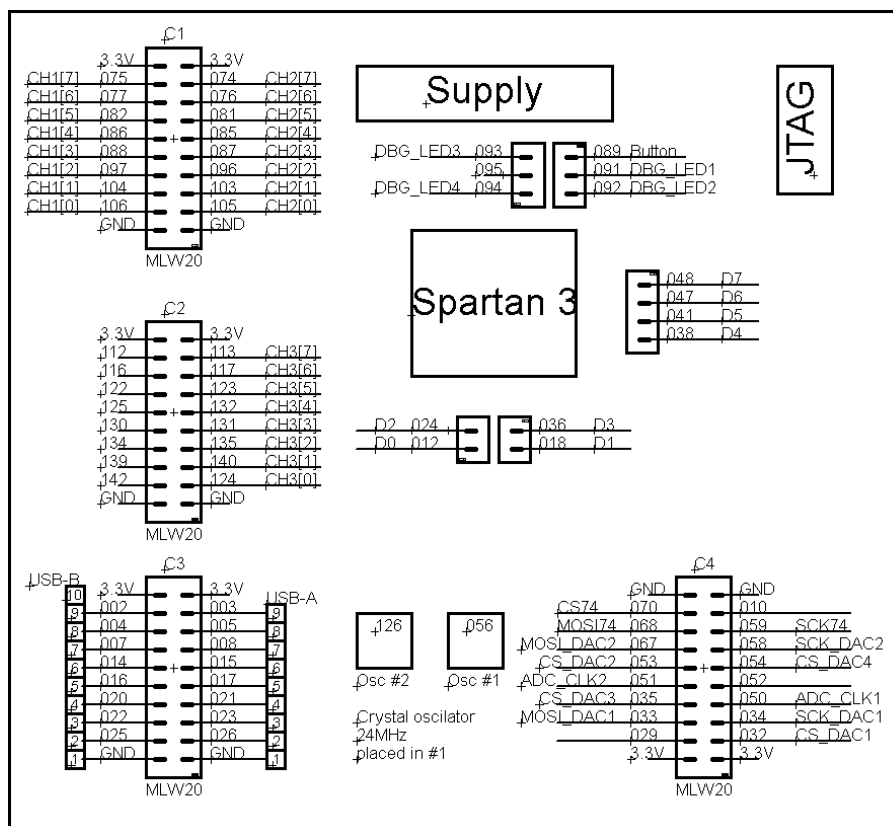
Obr. 7.6: Schéma zapojenia rozširovača portov



Obr. 7.7: Schéma zapojenia zobrazovacieho modulu

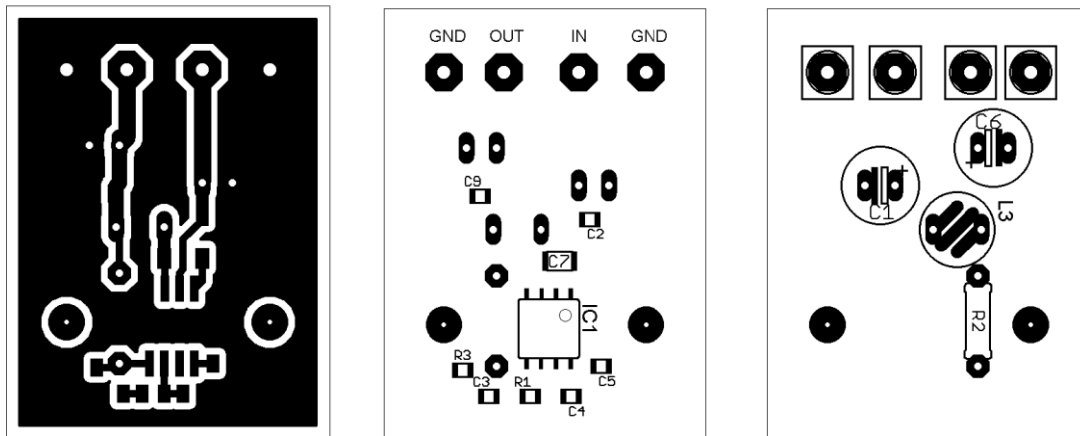


Obr. 7.8: Schéma zapojenia modulu vertikálneho posúvania

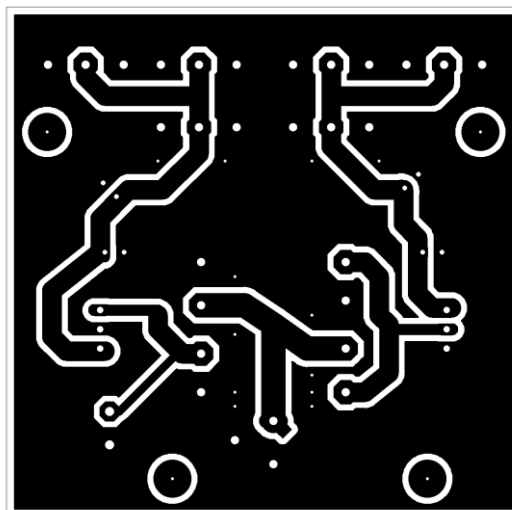


Obr. 7.9: Schéma zapojenia konektorov FPGA vývojového kitu

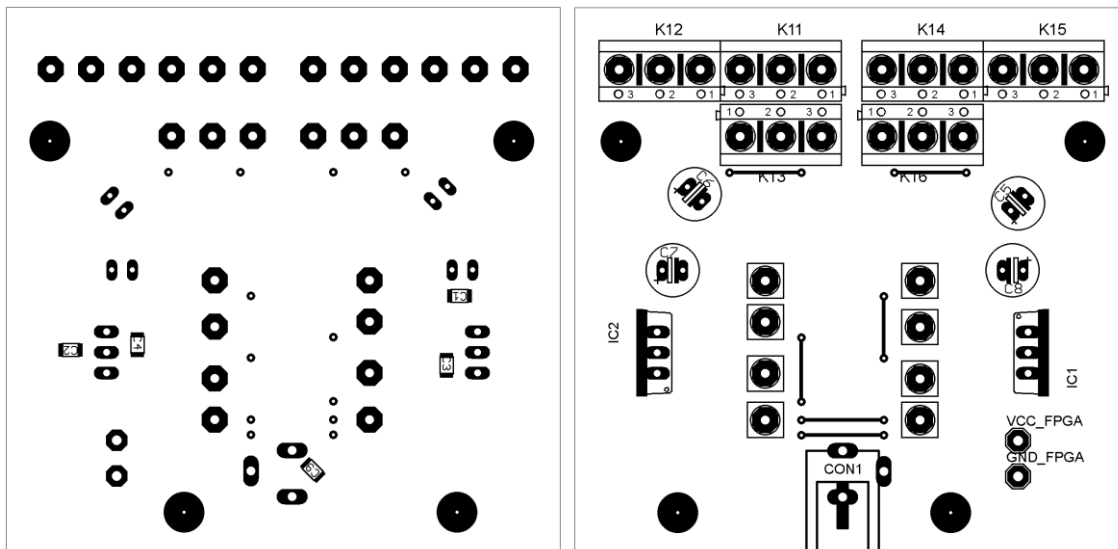
PRÍLOHA 2, OBRAZCE DOSIEK S PLOŠNÝMI SPOJMI



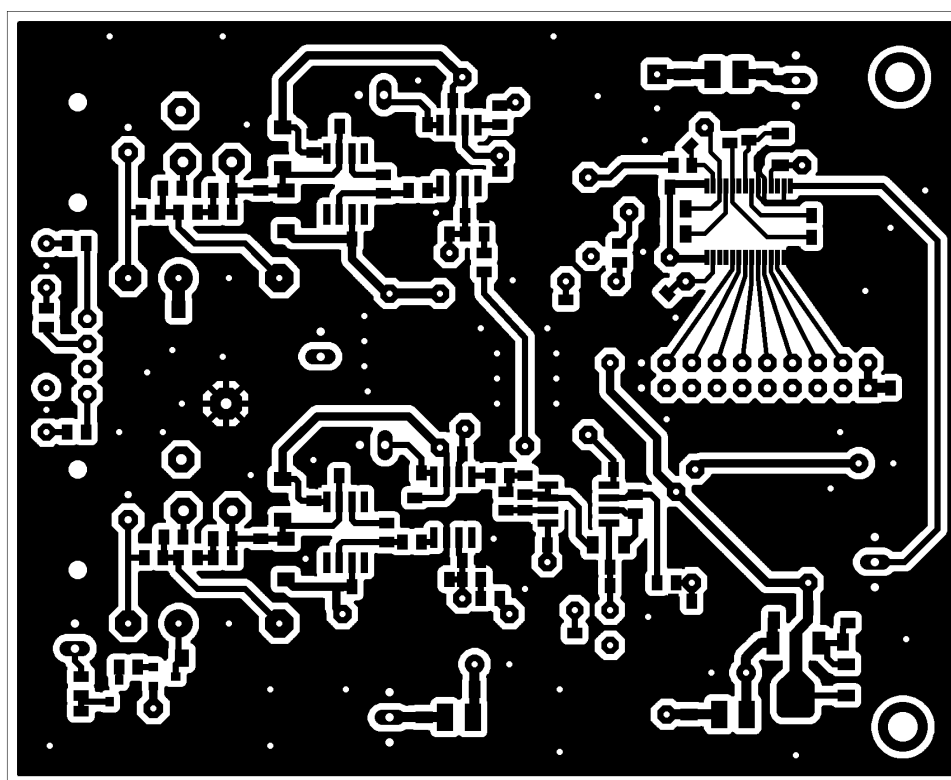
Obr. 7.10: PCB a osadzovací plán zdroja: DC-DC modulu 36,6 x 27,3 mm



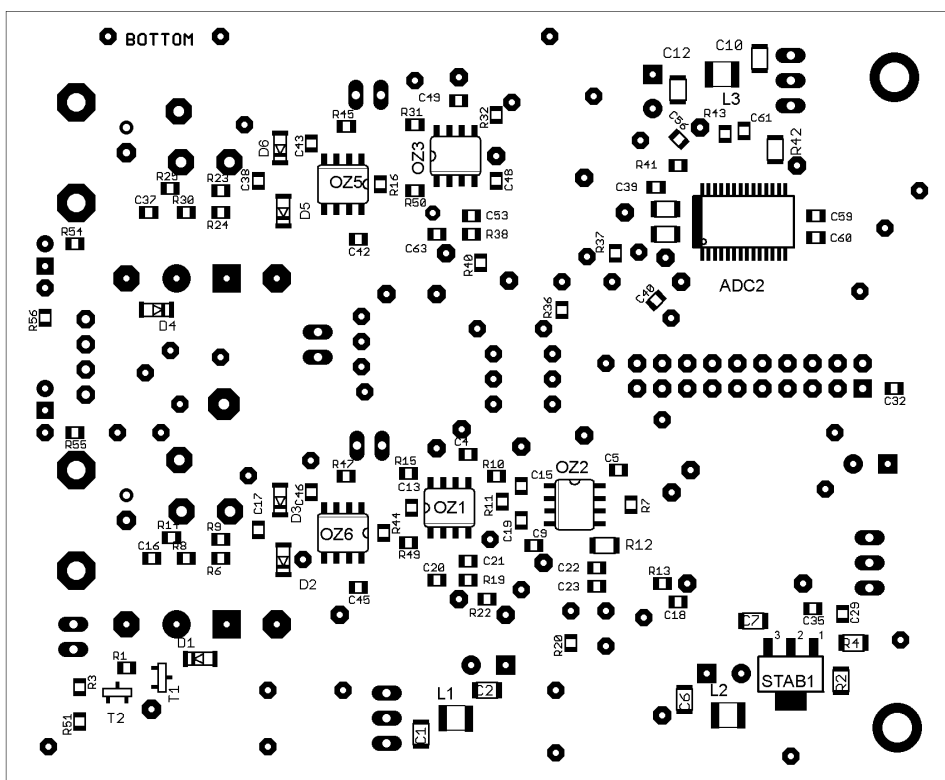
Obr. 7.11: PCB zdroja: modulu lineárnych stabilizátorov 68,3 x 67,3 mm



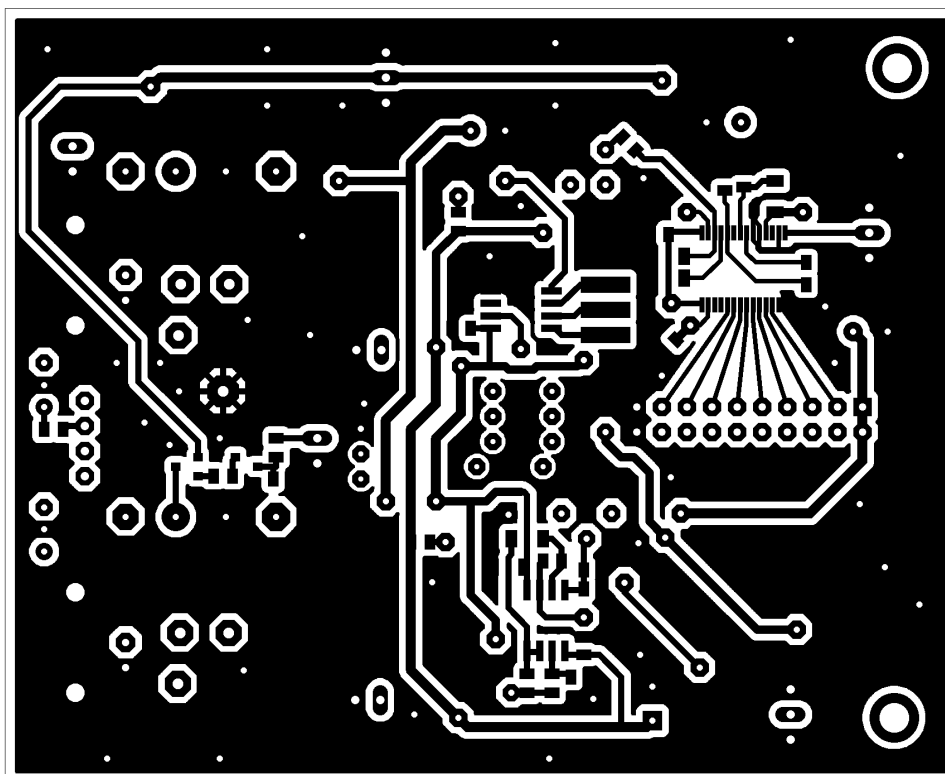
Obr. 7.12: Osadzovací plán zdroja: modulu lineárnych stabilizátorov



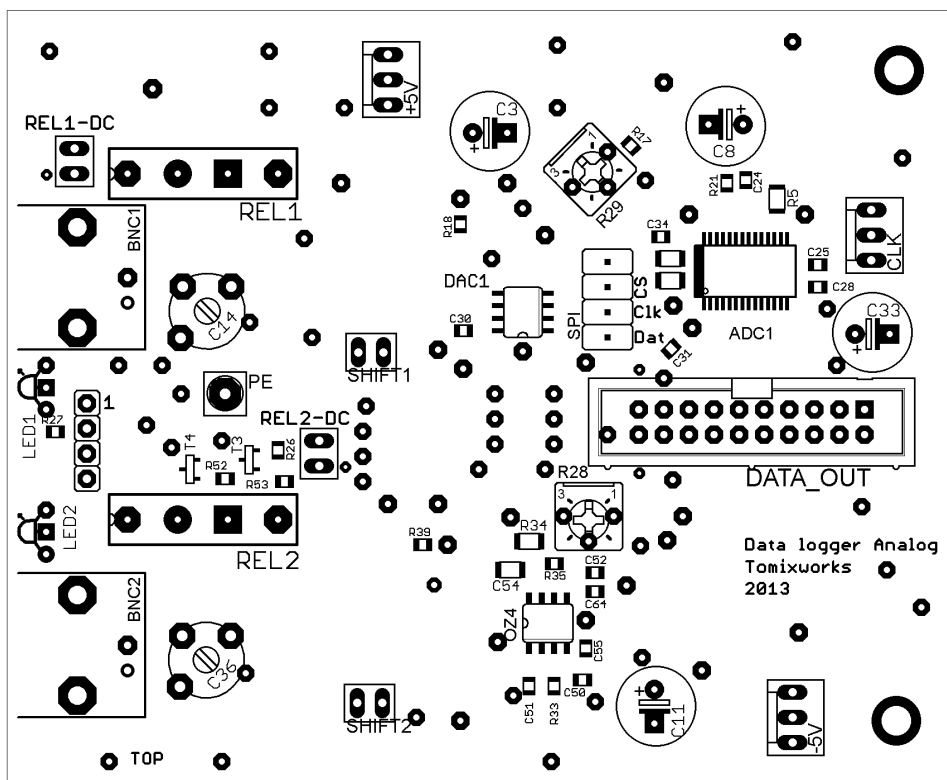
Obr. 7.13: PCB analógovej vstupnej časti, strana "bottom" 96.5 x 78.4 mm



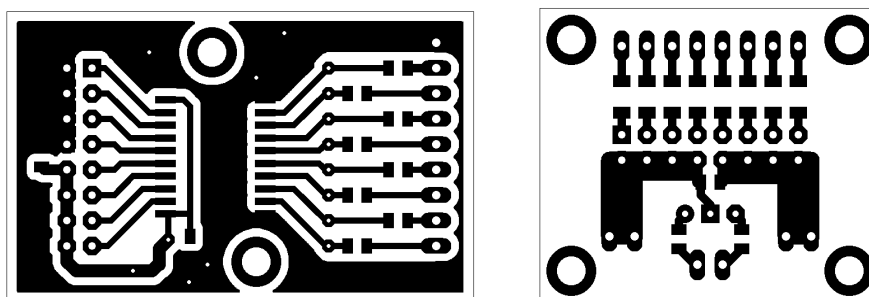
Obr. 7.14: Osadzovací plán analógovej vstupnej časti, strana “bottom”



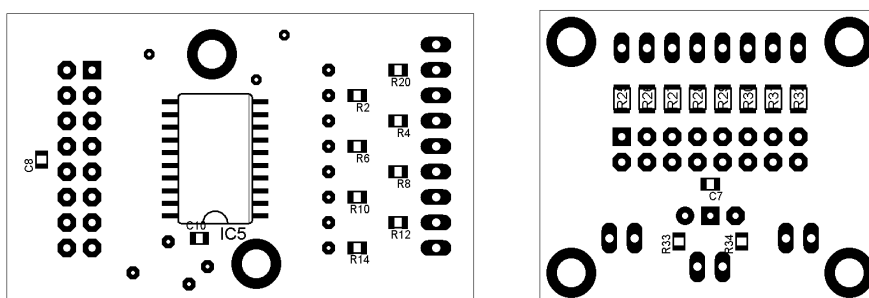
Obr. 7.15: PCB analógovej vstupnej časti, strana “top” 96.5 x 78.4 mm



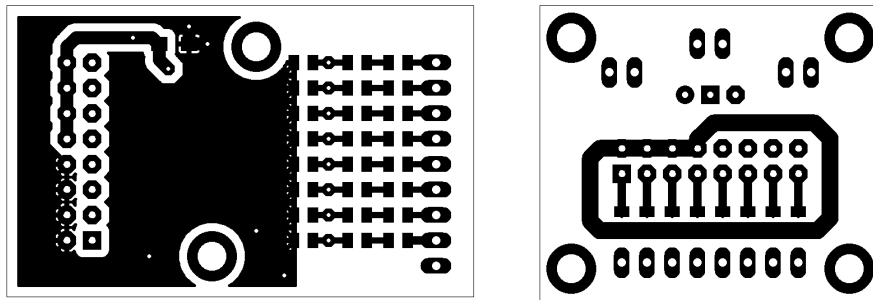
Obr. 7.16: Osadzovací plán analógovej vstupnej časti, strana "top"



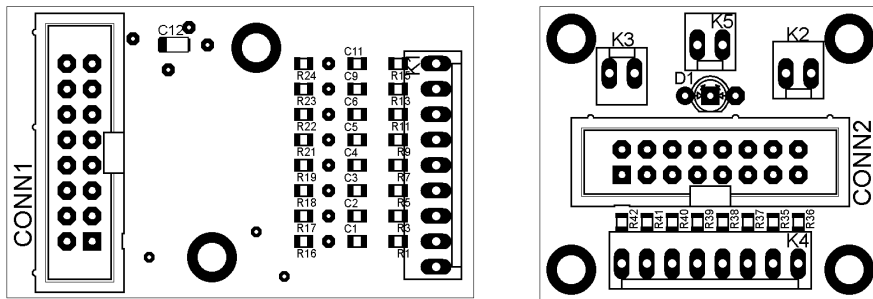
Obr. 7.17: PCB digitálnej vstupnej časti (47 x 29.2mm) a jej redukcie na panel 34.3 x 29.5 mm strany „bottom“



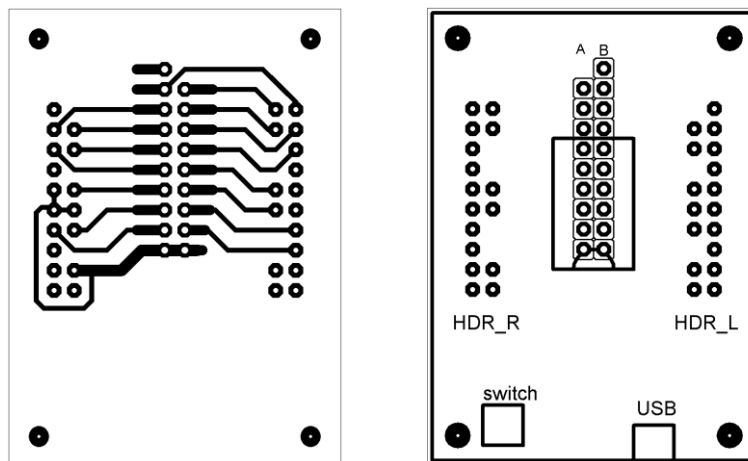
Obr. 7.18: Osadzovací plán digitálnej vstupnej časti a jej redukcie na panel



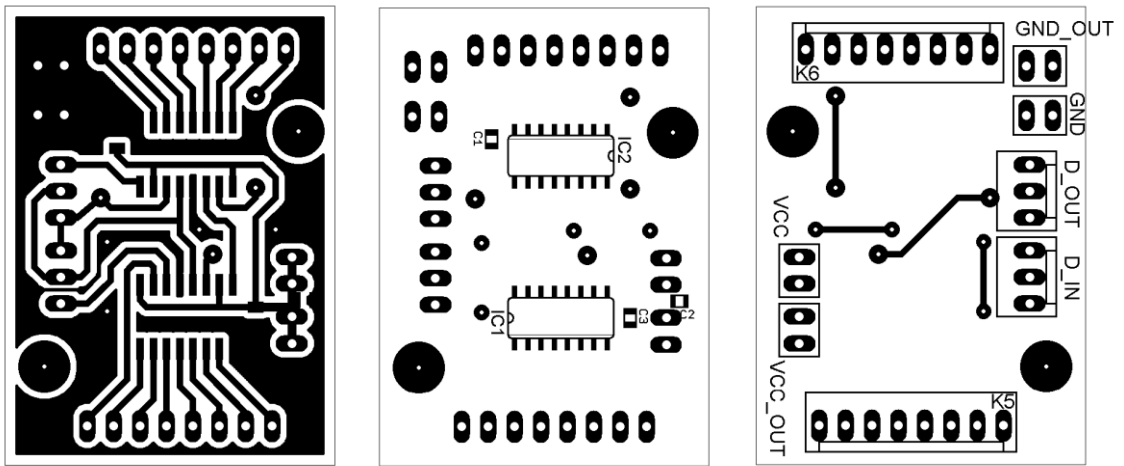
Obr. 7.19: PCB digitálnej vstupnej časti (47 x 29.2mm) a jej redukcii na panel 34.3 x 29.5 mm strany „top“



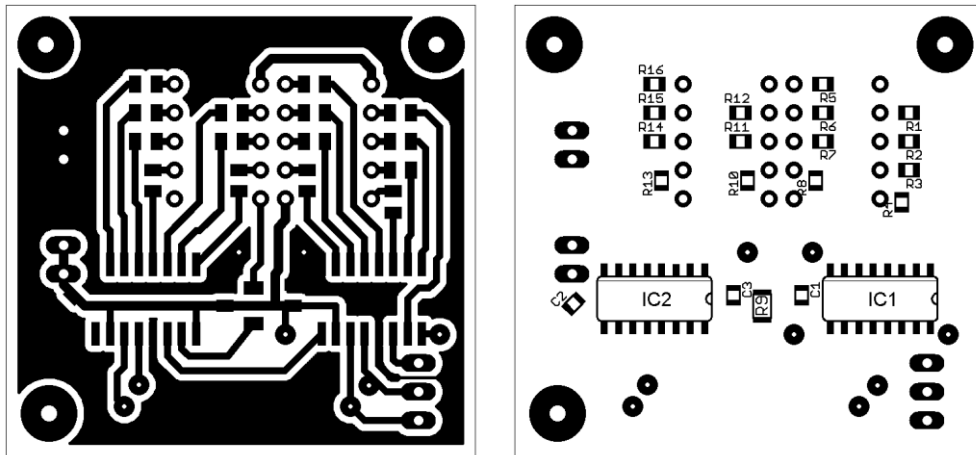
Obr. 7.20: PCB digitálnej vstupnej časti a jej redukcii na panel strany „bottom“



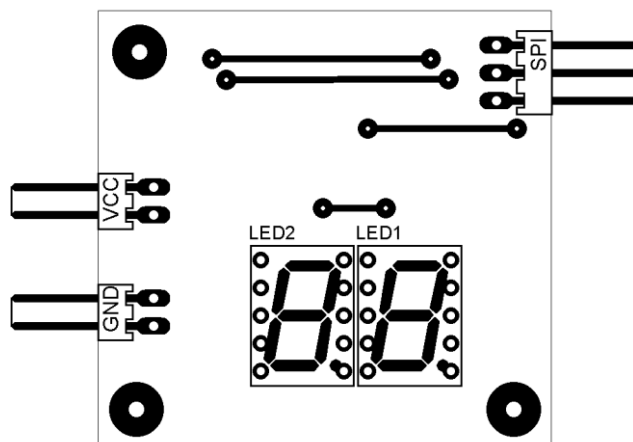
Obr. 7.21: PCB a Osadzovací plán redukcii USB radiča 41.9 x 57.8 mm



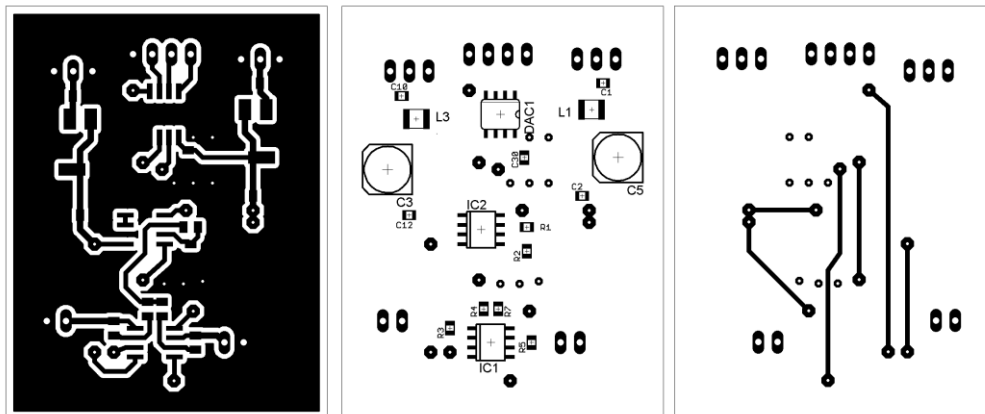
Obr. 7.22: PCB a osadzovací plán rozšiřovača portov 44.1 x 31.8 mm



Obr. 7.23: PCB a osadzovací plán 7 segmentového displeja 41.6 x 40 mm

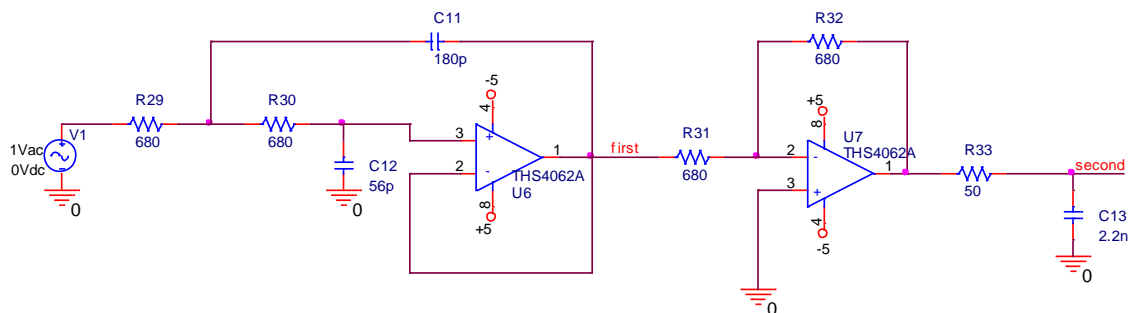


Obr. 7.24: osadzovací plán 7 seg display strana „top“

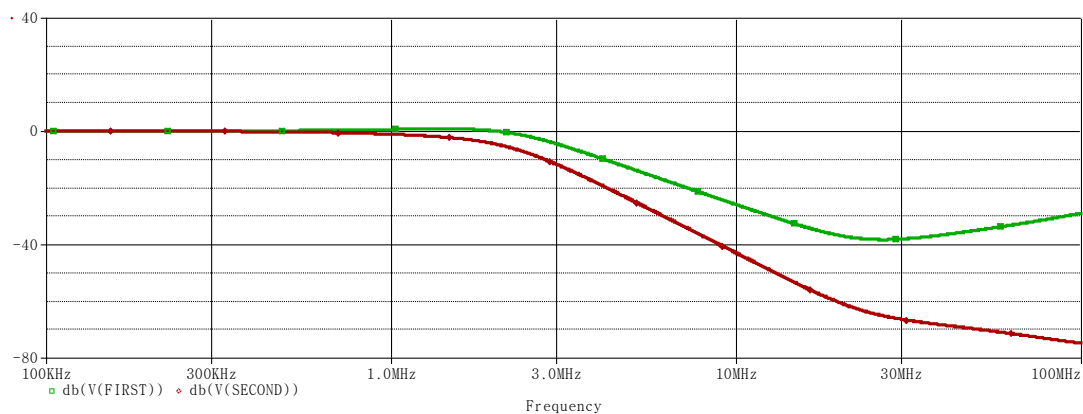


Obr. 7.25: PCB a osadzovací plán horizontálneho posúvania signálu 42.5 x 54.6 mm

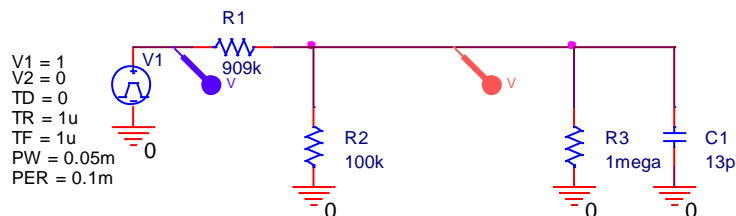
PRÍLOHA 3, VÝSLEDKY SIMULÁCIÍ, A MERANÍ



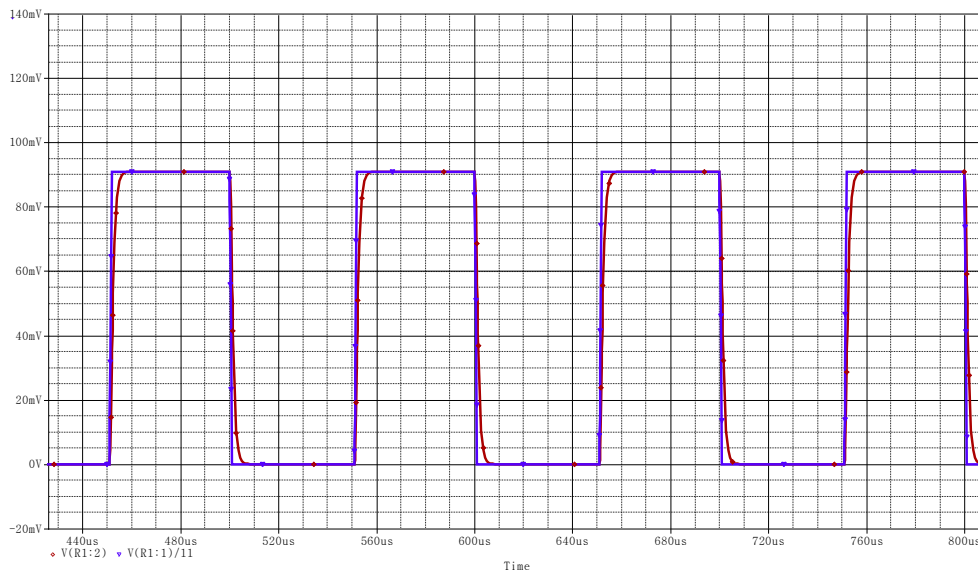
Obr. 7.26 Zapojenie kombinovaného anti-aliasingového filtra (simulácia)



Obr. 7.27 Prenos kombinovaného anti-aliasingového filtra (simulácia)

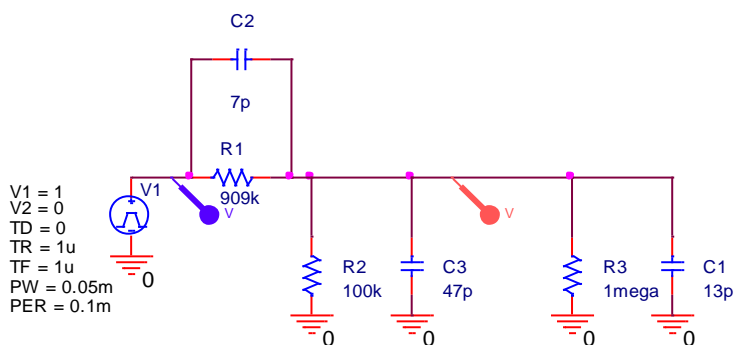


Obr. 7.28: Zapojenie simulácie podkompenzovaného vstupného napät'ového deliče

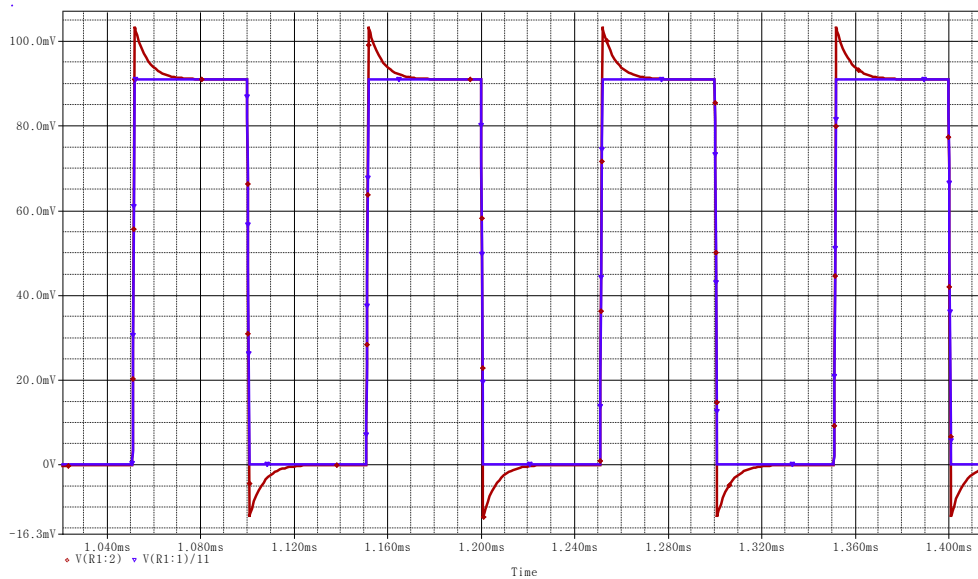


Obr. 7.29: Výsledok simulácie podkompenzovaného vstupného napät'ového deliče

Vstupné napätie – modrý priebeh - je normalizovaný, aby bolo lepšie vidieť odchýlky pôvodného a vydeleného signálu.

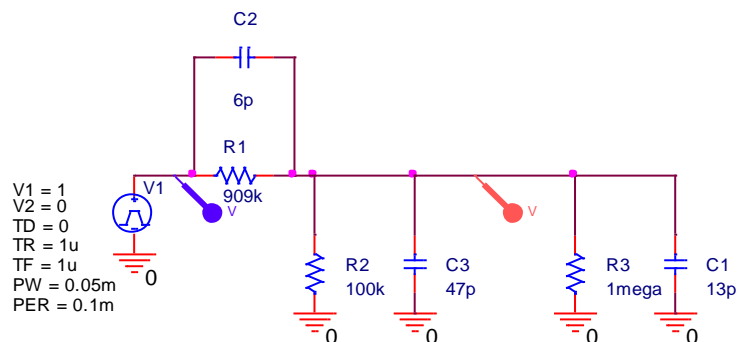


Obr. 7.30: Zapojenie simulácie prekompenzovaného vstupného napät'ového deliče

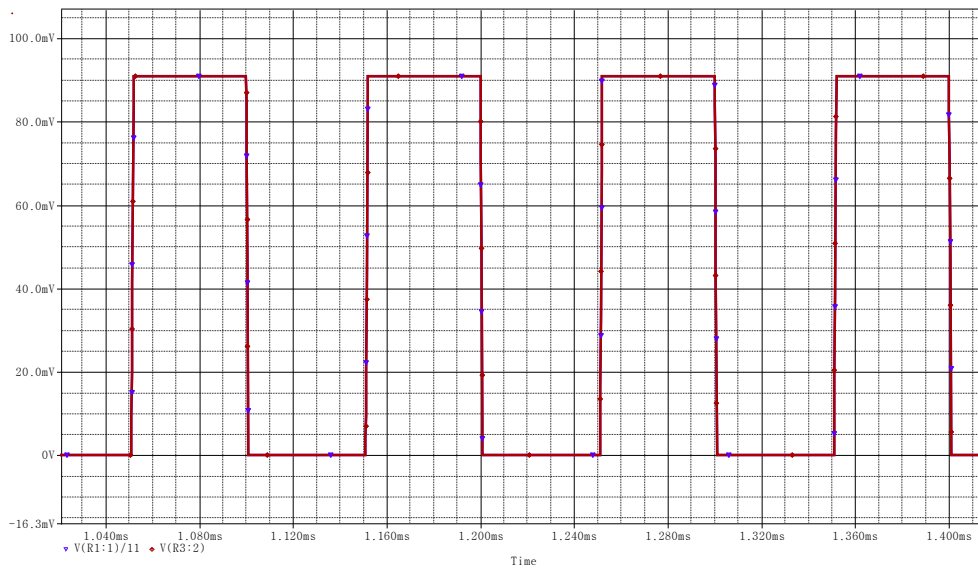


Obr. 7.31: Výsledok simulácie prekompenzovaného vstupného napät'ového deliče

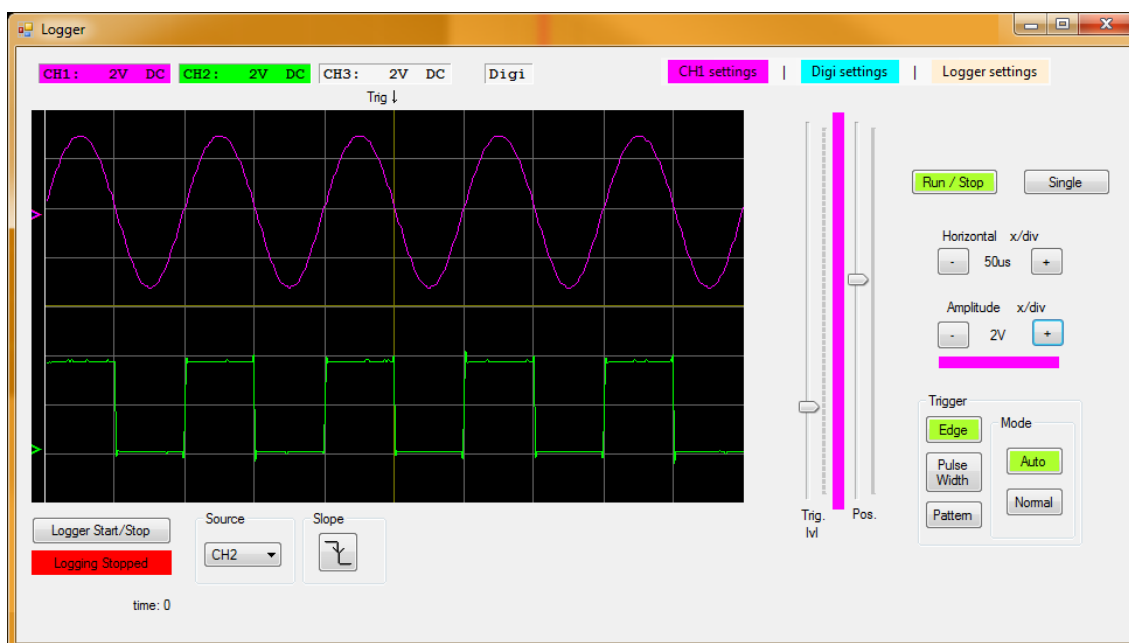
Vstupné napätie – modrý priebeh - je normalizovaný, aby bolo lepšie vidieť odchýlky pôvodného a vydeleného signálu.



Obr. 7.32: Zapojenie simulácie vykompenzovaného vstupného napät'ového deliče



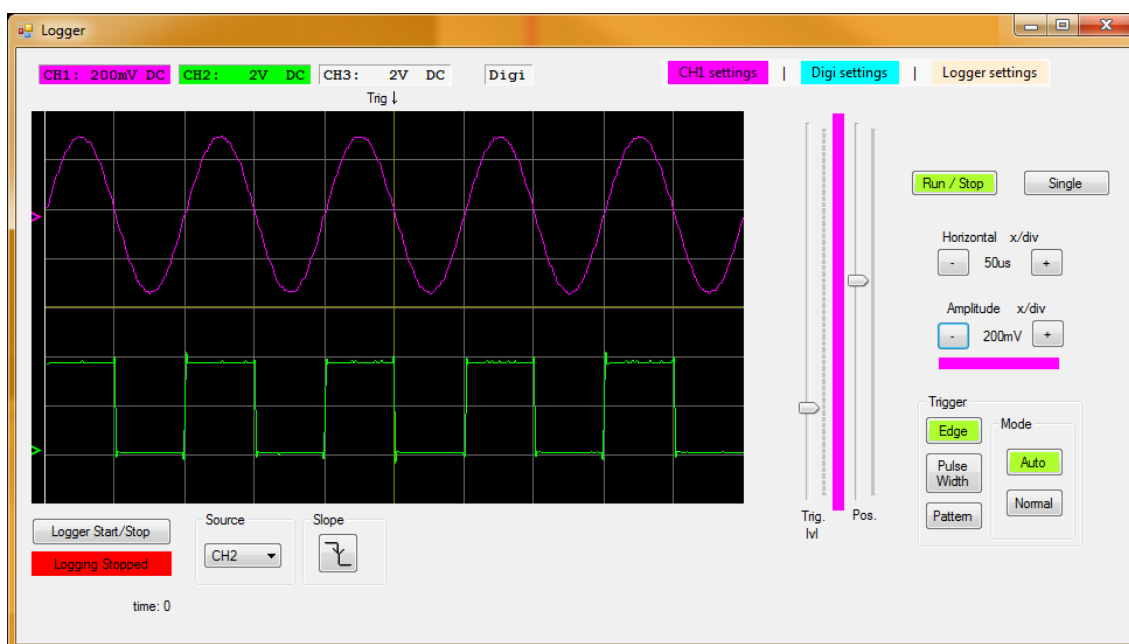
Obr. 7.33: Výsledok simulácie vykompenzovaného vstupného napät'ového deliče



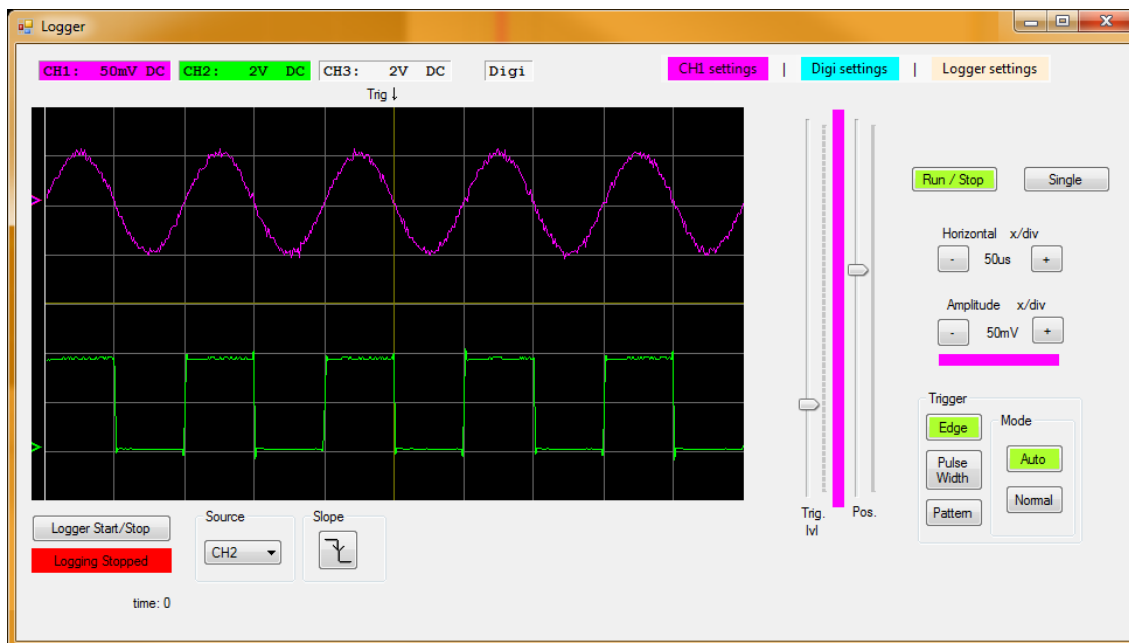
Obr. 7.34: Test vstupnej amplitúdy: sínus 5 Vpp (10 kHz)



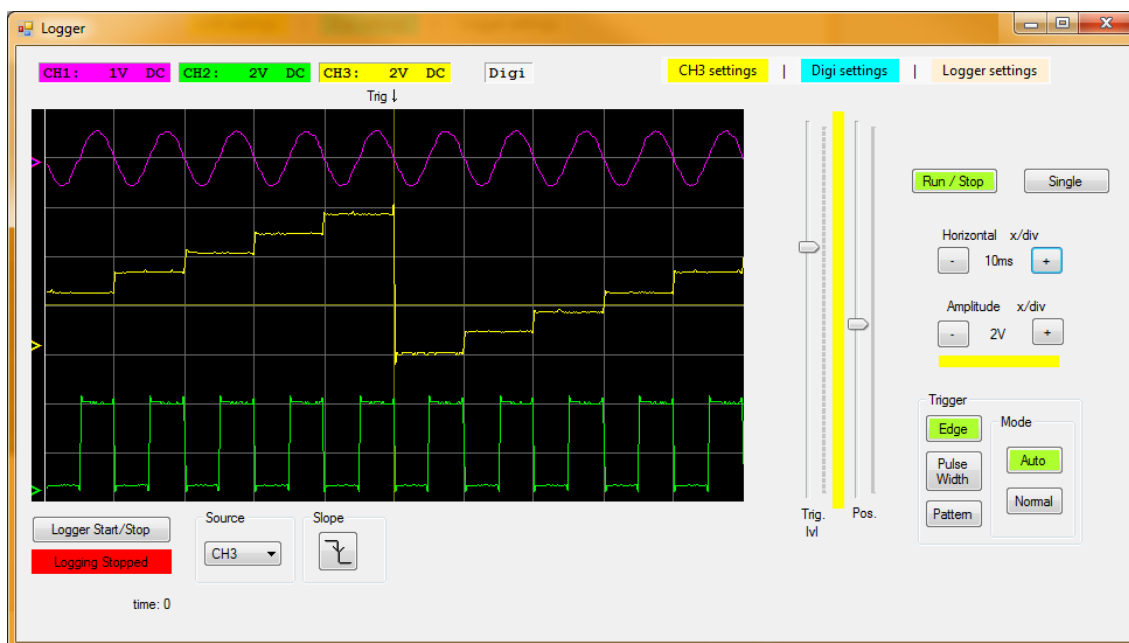
Obr. 7.35: Test vstupnej amplitúdy: sínus 1.14 Vpp (10 kHz)



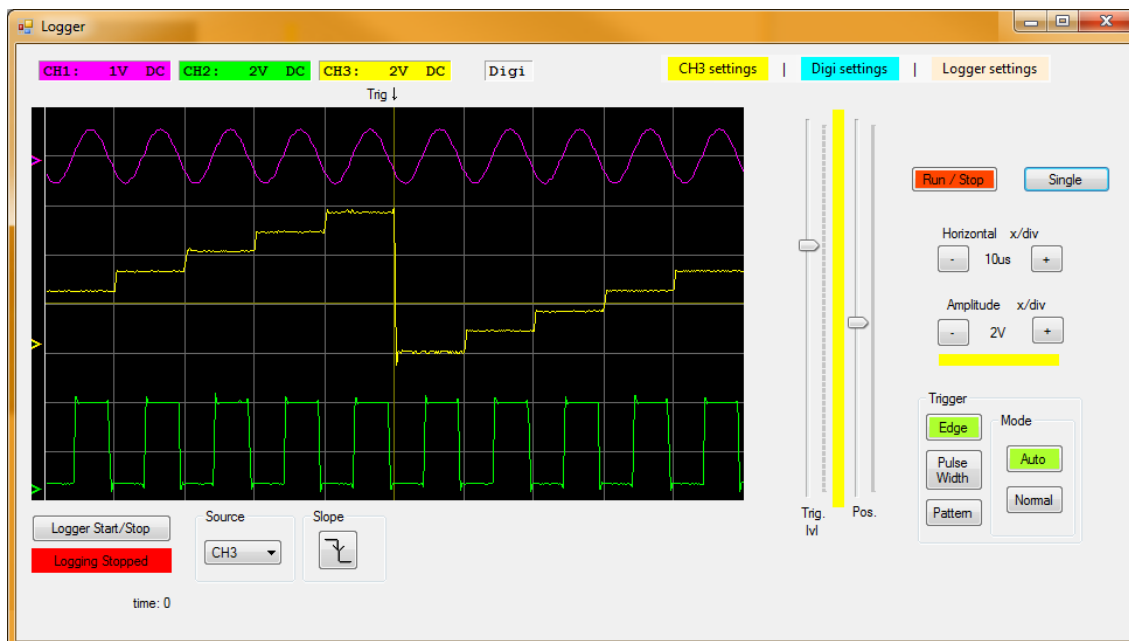
Obr. 7.36: Test vstupnej amplitúdy: sínus 500 mVpp (10 kHz)



Obr. 7.37: Test vstupnej amplitúdy: sínus 100 mVpp (10 kHz)



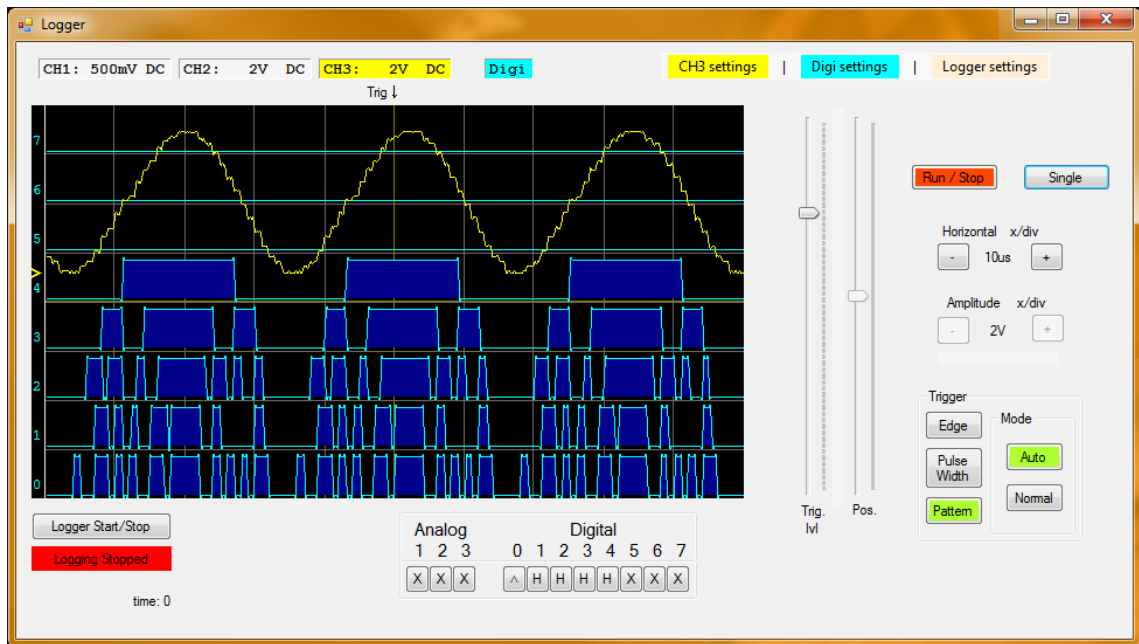
Obr. 7.38: Test časovej základne: sínus 100 Hz (1 Vpp)



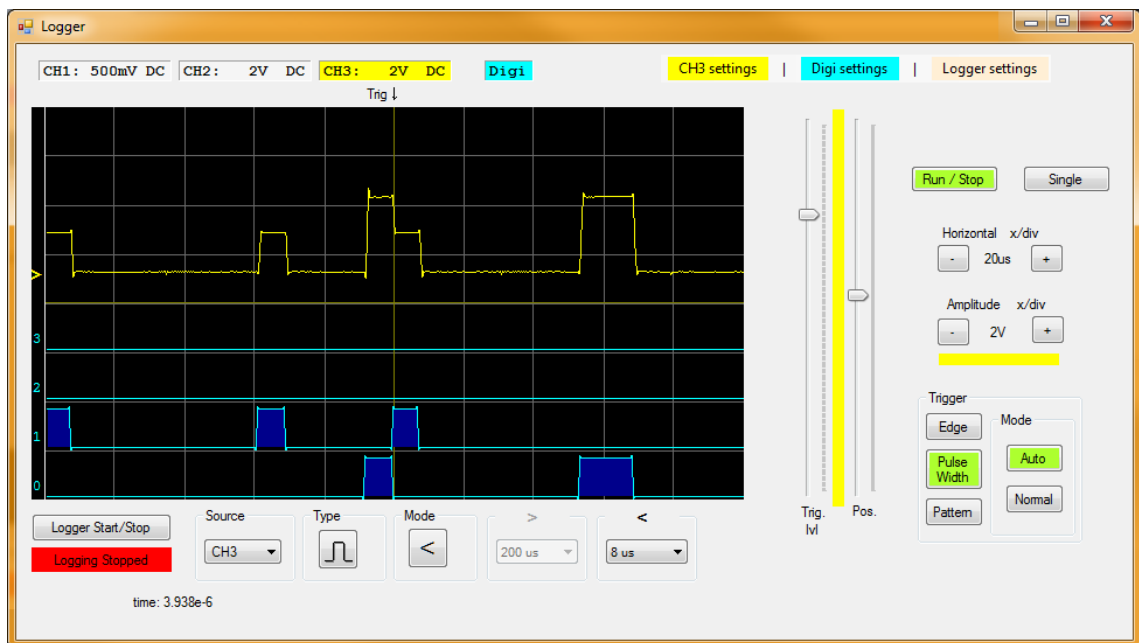
Obr. 7.39: Test časovej základne: sínus 100 kHz (1 Vpp)



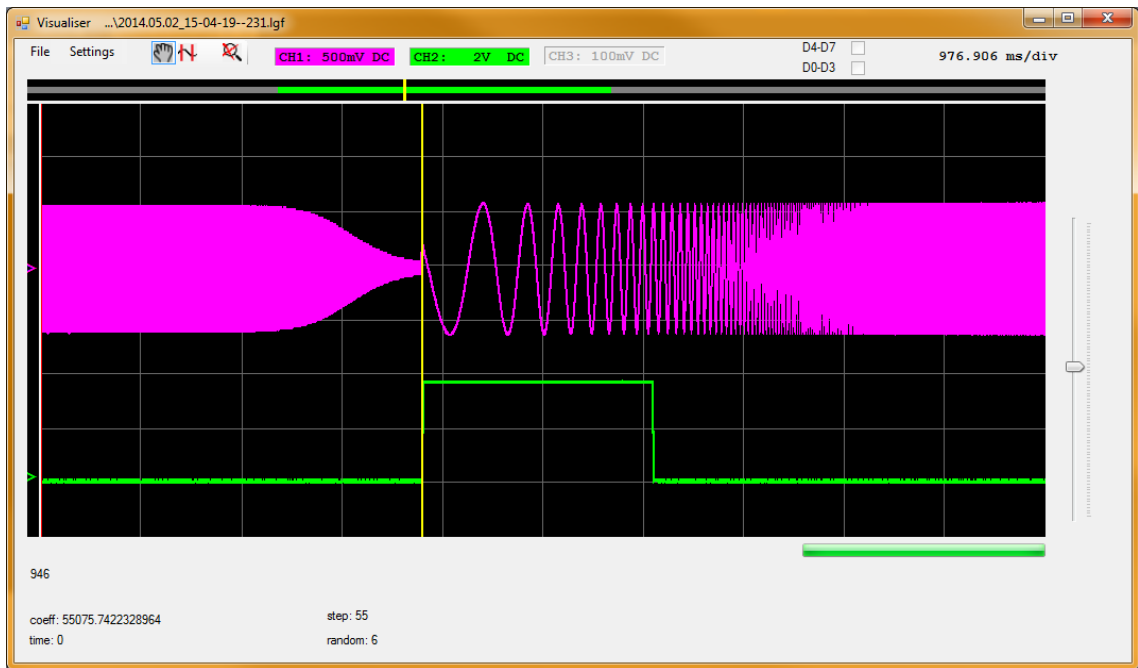
Obr. 7.40: Test časovej základne: sínus 1 MHz (1 Vpp)



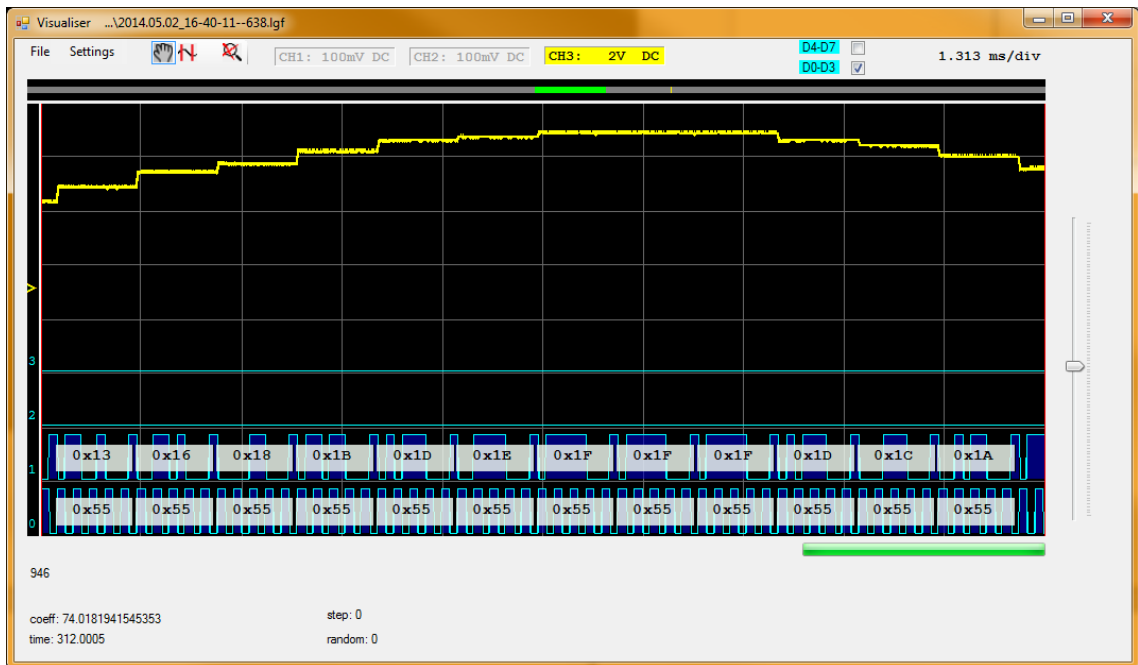
Obr. 7.41: Test komplexného triggra digitálnym signálom z 5 bitového DAC



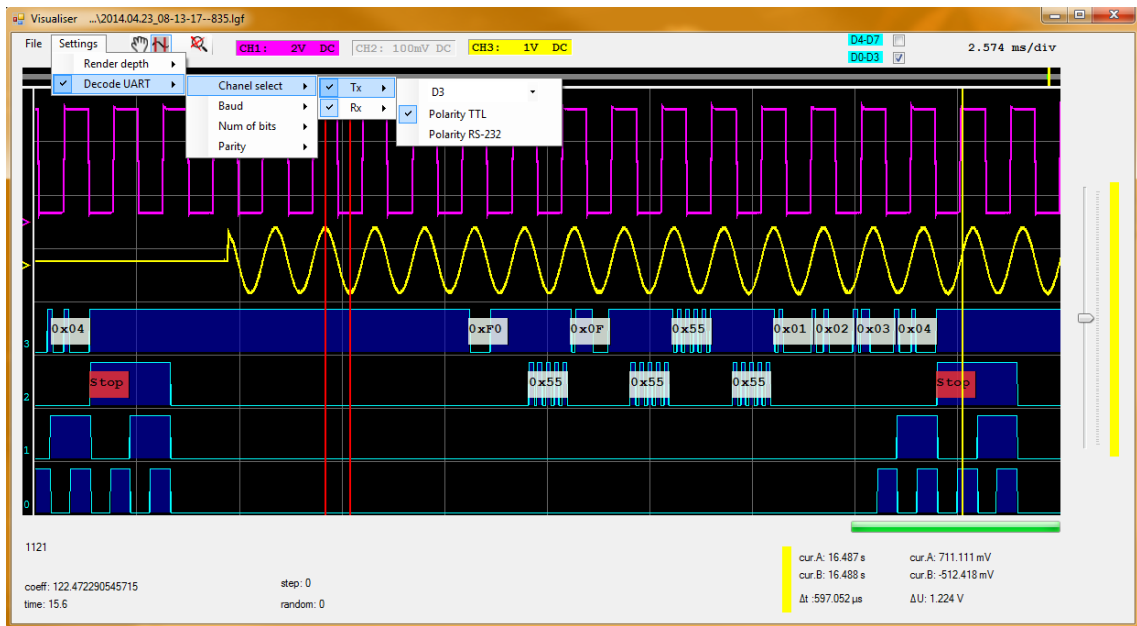
Obr. 7.42: Test triggra na šírku pulzu



Obr. 7.43: Logaritmičné frekvenčné rozmiatanie 1Hz – 5MHz 15 sec



Obr. 7.44: Ukážka dekódovania UART zbernice



Obr. 7.45: Ukážka offline analyzátora uložených sekvencií

fpga_master Project Status (04/07/2014 - 14:49:49)				
Project File:	FX2LP-FPGA.xise	Parser Errors:	No Errors	
Module Name:	fpga_master	Implementation State:	Programming File Generated	
Target Device:	xc3s250e-4tq144	Errors:	No Errors	
Product Version:	ISE 13.4	Warnings:	80 Warnings (0 new)	
Design Goal:	Balanced	Routing Results:	All Signals Completely Routed	
Design Strategy:	Xilinx Default (unlocked)	Timing Constraints:	All Constraints Met	
Environment:	System Settings	Final Timing Score:	0 (Timing Report)	
Device Utilization Summary [-]				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	970	4,896	19%	
Number of 4 input LUTs	854	4,896	17%	
Number of occupied Slices	780	2,448	31%	
Number of Slices containing only related logic	780	780	100%	
Number of Slices containing unrelated logic	0	780	0%	
Total Number of 4 input LUTs	1,043	4,896	21%	
Number used as logic	854			
Number used as a route-thru	189			
Number of bonded IOBs	67	108	62%	
IOB Flip Flops	4			
Number of RAMB16s	8	12	66%	
Number of BUFGMUXs	7	24	29%	
Number of DCMs	3	4	75%	
Average Fanout of Non-Clock Nets	2.77			

Obr. 7.46: Detail vyťaženia FPGA obvodu

PRÍLOHA 4, ZOZNAM SÚČIASTOK

Zoznam súčiastok je súčasťou elektronickej prílohy (CD). Je generovaný pre každú časť zvlášť a je možno ho nájsť vždy vedľa súborov schémy a plánu plošného spoja danej časti. Súbor obsahujúci zoznam má príponu .bom a je ho možné otvoriť bežným textovým editorom. Pre úplnosť boli hodnoty súčiastok uvedené aj v schémach zapojenia.