



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV RADIOELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

## LABORATORNÍ VYSOKOFREKVENČNÍ GENERÁTOR

LABORATORY HIGH-FREQUENCY GENERATOR

### BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

### AUTOR PRÁCE

AUTHOR

Jan Konzal

### VEDOUCÍ PRÁCE

SUPERVISOR

doc. Ing. Jiří Šebesta, Ph.D.

BRNO 2017



# Bakalářská práce

bakalářský studijní obor **Elektronika a sdělovací technika**  
Ústav radioelektroniky

**Student:** Jan Konzal    **ID:** 164745    **Ročník:** 3    **Akademický rok:** 2016/17

## NÁZEV TÉMATU:

### Laboratorní vysokofrekvenční generátor

#### POKYNY PRO VYPRACOVÁNÍ:

Prostudujte možnosti obvodového řešení vysokofrekvenčního generátoru s kmitočtovým rozsahem do několika stovek MHz a výstupním výkonem cca do 10 dBm pro výst. impedanci 50 Ohmů s využitím moderní součástkové základny. Pro vybranou koncepci navrhnete schéma obvodu, mechanické uspořádání a desku plošných spojů. Uvažujte implementaci generátoru do laboratorního systému Diametral. Navržený vysokofrekvenční generátor sestavte a oživte. Proveďte komplexní měření parametrů generátoru a vytvořte uživatelský manuál.

#### DOPORUČENÁ LITERATURA:

- [1] CARR, J. J. Practical Radio Frequency Test & Measurement. New Jersey: Newnes Publisher, 1999.
- [2] EGAN, W. F. Practical RF System Design. Hoboken: John Wiley & Sons, 2003.

**Termín zadání:** 6.2.2017

**Termín odevzdání:** 30.5.2017

**Vedoucí práce:** doc. Ing. Jiří Šebesta, Ph.D.

**Konzultant:**

**prof. Ing. Tomáš Kratochvíl, Ph.D.**

*předseda oborové rady*

#### UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **ABSTRAKT**

Tato práce popisuje návrh vysokofrekvenčního laboratorního generátoru, založeném na principu nepřímé analogové syntézy s fázovým závěsem. První část práce popisuje princip přímé číslíkové a nepřímé analogové syntézy. Frekvenční rozsah navrženého generátoru je do 900 MHz. Výstupní výkon generátoru je navržen do 12 dBm. Výstupní impedance je 50  $\Omega$ . Pro dosažení kmitočtů nižších než 800 MHz je využito principu směšování. Generátor je řízen mikroprocesorem. Ovládán je klávesnicí a rotačním kodérem.

## **KLÍČOVÁ SLOVA**

Vysokofrekvenční generátor, fázový závěs, ATmega16, směšování kmitočtů.

## **ABSTRACT**

This thesis describes a proposal of laboratory high frequency generator based on the principle of indirect analogue synthesis with a phase sling. The first part of the work describes the principle of a direct numerical and indirect analogue synthesis. Frequency range of the designed generator is up to 900 MHz. The output of the generator is designed to be up to 12dBm. Output impedance is 50  $\Omega$ . To reach a frequency of oscillation lower than 800 MHz, the principle of fusion is used. Further, the control was suggested to be carried out by a microprocessor. Operating is realized using a keyboard and a rotary encoder.

## **KEYWORDS**

High frequency generator, phase lock loop, ATmega16, mixing frequency.

KONZAL, J. *Laboratorní vysokofrekvenční generátor*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2017. 30 s., 15 s. příloh. Bakalářská práce. Vedoucí práce: doc. Ing. Jirí Šebesta, Ph.D.

# PROHLÁŠENÍ

Prohlašuji, že svoji bakalářskou práci na téma Laboratorní vysokofrekvenční generátor jsem vypracoval samostatně pod vedením vedoucího bakalářské práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené bakalářské práce dále prohlašuji, že v souvislosti s vytvořením této práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

V Brně dne .....

.....

(podpis autora)

# PODĚKOVÁNÍ

Děkuji vedoucímu této bakalářské práce doc. Ing. Jiřímu Šebestovi, Ph.D. za odborné vedení mé práce a za cenné rady při konzultacích.

# OBSAH

<b>Abstrakt</b>	<b>3</b>
<b>Klíčová slova</b>	<b>3</b>
<b>Abstract</b>	<b>3</b>
<b>Keywords</b>	<b>3</b>
<b>Prohlášení</b>	<b>5</b>
<b>Obsah</b>	<b>vi</b>
<b>Seznam obrázků</b>	<b>viii</b>
<b>Seznam tabulek</b>	<b>ix</b>
<b>Úvod</b>	<b>1</b>
<b>1 Rozbor vysokofrekvenční kmitočtové syntézy</b>	<b>2</b>
1.1 Fázový závěs - PLL .....	2
1.2 Přímá číslicová syntéza - DDS .....	2
1.3 Srovnání PLL a DDS .....	2
<b>2 Teorie kmitočtové syntézy</b>	<b>4</b>
2.1 Kmitočtový syntezeátor s fázovým závěsem.....	4
2.2 Syntezeátor s celočíselným / neceločíselným poměrem N.....	5
2.3 Fázově frekvenční detektor.....	5
2.4 Filtr smyčky .....	5
2.5 Napětím řízený oscilátor (VCO).....	5
<b>3 Návrh generátoru</b>	<b>6</b>
3.1 První fázový závěs .....	6
3.1.1 ADF4157 .....	7
3.1.2 Napětím řízený oscilátor .....	7
3.1.3 Filtr fázového závěsu .....	7
3.2 Druhý fázový závěs PLL .....	11
3.2.1 ADF4351 .....	11
3.2.2 Filtr fázového závěsu .....	12

3.3	Výstupní obvody.....	15
3.3.1	Směšovač .....	15
3.3.2	Atenuátor .....	16
3.3.3	Dolní propusti .....	17
3.3.4	Zesilovač.....	17
3.4	Řízení.....	17
3.4.1	Maticová klávesnice .....	18
3.4.2	Rotační kodér.....	18
3.4.3	LCD .....	18
3.5	Napájení.....	19
<b>4</b>	<b>Firmware generátoru</b>	<b>20</b>
<b>5</b>	<b>Návod k použití</b>	<b>24</b>
<b>6</b>	<b>Konstrukce a osazení</b>	<b>25</b>
<b>7</b>	<b>Závěr</b>	<b>28</b>
	<b>Literatura</b>	<b>29</b>
	<b>Seznam symbolů, veličin a zkratk</b>	<b>30</b>
<b>A</b>	<b>Návrh zařízení</b>	<b>31</b>
A.1	Schéma zapojení řídicí části .....	31
A.2	Deska plošného spoje řídicí část – top (strana součástek).....	32
A.3	Deska plošného spoje řídicí část – bottom (strana spojů).....	33
A.4	Osazovací plán řídicí části – top (strana součástek) .....	34
A.5	Osazovací plán řídicí části – bottom (strana spojů).....	35
A.6	Seznam součástek řídicí části .....	36
A.7	Schéma zapojení vysokofrekvenční části – list1 .....	37
A.8	Schéma zapojení vysokofrekvenční části – list2 .....	38
A.9	Deska plošného spoje vysokofrekvenční část – top (strana součástek)..	39
A.10	Deska plošného spoje vysokofrekvenční část – bottom (strana spojů) ..	40
A.11	Osazovací plán vysokofrekvenční část – bottom (strana spojů).....	41
A.12	Osazovací plán vysokofrekvenční část – top (strana součástek) .....	42
A.13	Seznam součástek pro vysokofrekvenční část .....	43

# SEZNAM OBRÁZKŮ

Obrázek 2.1	Blokové schéma fázového detektoru s N děličkou.....	4
Obrázek 2.2	PLL syntezátor s řízeným předděličem a referenčním děličem.....	4
Obrázek 3.1	Blokové schéma generátoru.....	6
Obrázek 3.2	Blokové schéma obvodu ADF4157 (převzato z [1]).....	7
Obrázek 3.3	Typické katalogové zapojení operačního zesilovače LM6211.....	8
Obrázek 3.4	Schéma filtru závěsu PPL1 z ADIsimPLL.....	8
Obrázek 3.5	Graf závislosti frekvenční chyby na čase.....	9
Obrázek 3.6	Graf závislosti fázového šumu na kmitočtu, při kmitočtu 1,13GHz.....	9
Obrázek 3.7	Schéma zapojení prvního fázového závěsu.....	11
Obrázek 3.8	Blokové schéma obvodu ADF4351 (převzato z [3]).....	12
Obrázek 3.9	Graf závislosti fázového šumu na kmitočtu pro šířku filtru 20 kHz.....	12
Obrázek 3.10	Graf závislosti fázového šumu na kmitočtu pro šířku filtru 10 kHz.....	13
Obrázek 3.11	Graf závislosti frekvenční chyby na čase.....	13
Obrázek 3.12	Schéma filtru závěsu PPL2 z ADIsimPLL.....	14
Obrázek 3.13	Schéma zapojení druhého fázového závěsu.....	15
Obrázek 3.14	Schéma zapojení procesoru.....	18
Obrázek 3.15	Schéma napájecího zdroje.....	20
Obrázek 4.1	Vývojový diagram funkce pro skenování klávesnice.....	21
Obrázek 4.2	Vývojový diagram funkce externího přerušení.....	21
Obrázek 4.3	Časový diagram SPI komunikace ADF4157 (převzato z [1]).....	22
Obrázek 6.1	Osazená řídicí deska horní strana.....	25
Obrázek 6.2	Osazená řídicí deska spodní strana.....	25
Obrázek 6.3	Osazená vysokofrekvenční deska horní strana.....	27

## SEZNAM TABULEK

Tabulka 1.1	Srovnání vlastností obvodů s DDS a PLL .....	2
Tabulka 3.1	Tabulka hodnot izolace mezi vstupy a výstupy .....	16
Tabulka 3.2	Pravdivostní tabulka pro řízení atenuátoru .....	16

# ÚVOD

V elektrotechnické praxi se velmi často setkáváme s potřebou zdroje signálů o vysokých kmitočtech. Zejména v případě, potřebujeme-li testovat nebo opravovat rádiové přijímače, vysílače nebo jiná zařízení, která pracují na vysokých kmitočtech. Díky miniaturizaci integrovaných obvodů se začaly využívat moderní metody generování střídavých signálů. Tyto moderní metody jsou dvě, přímá číslicová syntéza (DDS) a nepřímá analogová syntéza za použití fázového závěsu a napětím řízeného oscilátoru (PLL).

Cílem této práce je návrh vysokofrekvenčního laboratorního generátoru s výstupním kmitočtem do 900 MHz, výstupní úrovní 12 dBm a impedancí 50  $\Omega$ . Návrh generátoru je přizpůsoben pro implementaci do laboratorního systému Diametral. První částí této práce je seznámení se syntézami DDS a PLL a teoretický rozbor fázového závěsu. V další části je popsán samotný návrh generátoru. Tato část obsahuje popis koncepce zařízení spolu s blokovým schématem. Následuje návrh jednotlivých částí generátoru, výběr součástek, návrh schémat a desek plošných spojů.

# 1 ROZBOR VYSOKOFREKVENČNÍ KMITOČTOVÉ SYNTÉZY

Tato část práce se zabývá srovnáním a výběrem metody generování signálu. Generátory mohou být realizovány klasickými analogovými oscilátory, dále také moderními metodami pomocí přímé číslicové syntézy (DDS) nebo nepřímé syntézy pomocí fázového závěsu (PLL). Výhodou kmitočtové syntézy oproti klasickým oscilátorům je vysoká stabilita a přesnost generovaného kmitočtu. Kmitočtové syntezátory bývají většinou přeladitelné a jejich frekvenci lze nastavovat s určitým krokem. Jejich přesnost a stabilita jsou dané stabilním zdrojem přesného referenčního kmitočtu. V moderních vysokofrekvenčních generátorech se používají syntezátory na základě nepřímé syntézy pomocí napětím řízeného oscilátoru (VCO) s fázovým závěsem (PLL) nebo na základě přímé číslicové syntézy (DDS). U obou těchto systémů bývají kmitočet i fáze odvozeny od referenčního signálu, a proto je označujeme jako koherentní. V dnešní době existuje na trhu mnoho obvodů v integrované podobě, které stačí doplnit o pasivní součástky a krystalový oscilátor.

## 1.1 Fázový závěs - PLL

Jedná se o nelineární obvod se zpětnou vazbou, který synchronizuje výstupní signál napětím řízeného oscilátoru (VCO) na signál referenčního kmitočtu. Fázový závěs se skládá z fázového detektoru, filtru smyčky a napětím řízeného oscilátoru. Napětím řízený oscilátor je řízen signálem z filtru smyčky. Výstupní signál VCO je výstupním signálem syntezátoru.

## 1.2 Přímá číslicová syntéza - DDS

Výstupní časový průběh je uložen v paměti. Z paměti se postupně vybírají jednotlivé vzorky a odesílají se na D/A převodník, kde vzniká analogový signál. Výstupní kmitočet je dán taktovacím kmitočtem a počtem bitů fázového akumulátoru.

## 1.3 Srovnání PLL a DDS

Obvody s fázovým závěsem mívají velkou spektrální čistotu, kmitočty výstupních signálů mohou dosahovat hodnot několika GHz. Výhodou obvodů číslicové syntézy bývá velmi malý krok pro nastavení kmitočtu, který se pohybuje v desetínách Hz. Další výhodou je velký rozsah hodnot od desetin Hz do taktovacího kmitočtu, řádově několik stovek MHz. Pro srovnání obou syntéz jsou v následující *tabulce 1* uvedeny příklady integrovaných obvodů a jejich vlastností.

Tabulka 1.1 Srovnání vlastností obvodů s DDS a PLL

Název obvodu	AD9915	AD9911	AD9955	ADF4360-7	AD4355-2
Syntéza	DDS	DDS	DDS	PLL	PLL

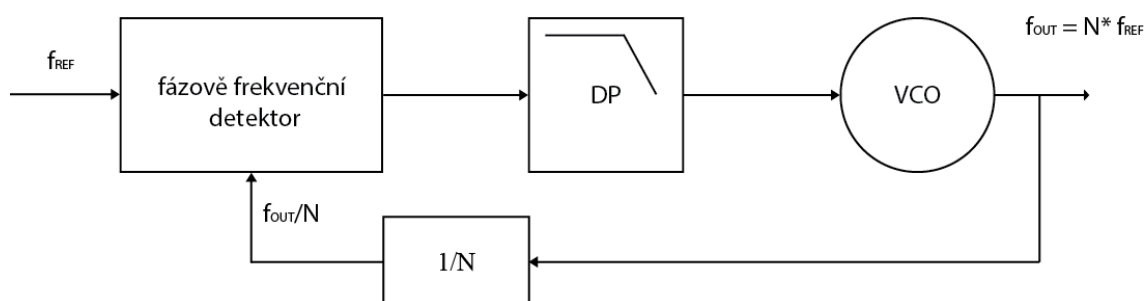
Min f	0	0	0	350 MHz	54 MHz
Max f	1 GHz	250 MHz	2,7 GHz	1,8 GHz	4,4 GHz
Frekvenční krok	135 pHz	27,1 $\mu$ Hz	1,4 pHz		7 mHz
Rychlost kroku	188 $\mu$ s	2,04 $\mu$ s		400 $\mu$ S	3 ms
Programování	Sériové	Sériové	Sériové	Sériové	Sériové
Výstupní úroveň				-5 dBm	8 dBm
Cena	134,36 €	28,78 €	30,55 €	6,25 €	27,98 €

## 2 TEORIE KMITOČTOVÉ SYNTÉZY

Pro návrh generátoru byla zvolena nepřímá syntéza s fázovým závěsem PLL, především pro svoji spektrální čistotu, vysoký výstupní kmitočet a v neposlední řadě také z důvodu pořizovací ceny potřebných integrovaných obvodů.

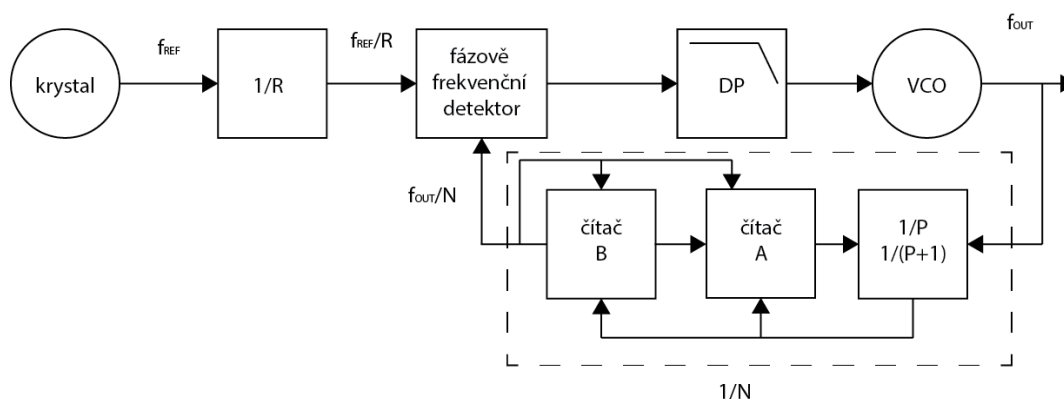
### 2.1 Kmitočtový syntezátor s fázovým závěsem

Jak již bylo popsáno výše, fázový závěs umožňuje fázovou a frekvenční synchronizaci napětím řízeného oscilátoru na referenční signál. V případě laboratorního generátoru potřebujeme výstupní frekvenci měnit. Aby to bylo možné, musíme do zpětné vazby vložit děličku, která přivádí výstupní signál na fázově frekvenční detektor podělený dělicím poměrem  $N$ .



Obrázek 2.1 Blokové schéma fázového detektoru s  $N$  děličkou

Pokud se zpětnovazební smyčka zasynchronizuje, tak na výstupu napětím řízeného oscilátoru je referenční kmitočet znásoben  $N$ -krát. Změnou poměru  $N$  můžeme po krocích měnit výstupní frekvenci. Maximální frekvence syntezátoru je maximální frekvenci napětím řízeného oscilátoru a taky maximální vstupní frekvencí děličky.



Obrázek 2.2 PLL syntezátor s řízeným předděličem a referenčním děličem

Aby mohlo být dosaženo vyšších kmitočtů, než je maximální vstupní frekvence děličky, vkládá se ještě mezi výstup VCO a děličku rychlá předdělička. Syntezátory ještě

obsahují děličku referenčního kmitočtu  $R$ . Pro generování vstupního signálu se nejčastěji používají krystalové oscilátory. Abychom získali dostatečně jemný frekvenční krok, potřebujeme vstupní kmitočet v řádu jednotek kHz, a to nám zajistí právě dělička referenčního kmitočtu  $R$ .

## 2.2 Syntezátor s celočíselným / neceločíselným poměrem $N$

Frekvenční krok  $\Delta f$  syntezátoru s celočíselným poměrem je závislý na referenčním kmitočtu. Pro zmenšení kroku je nutné zvětšit poměr  $R$  děličky a tím také  $N$  děličky. Snižování vstupního kmitočtu způsobuje prodloužení doby přeladování. Zvyšování dělicího poměru děliček má také za následek zvyšování šumu syntezátoru. Odstranit tyto nežádoucí jevy pomůže využití syntezátoru s neceločíselným dělicím poměrem  $N$ . Tento typ syntezátoru je schopen pracovat s jemným frekvenčním krokem, který není závislý na velikosti kmitočtu referenčního signálu. Tyto výhody umožňuje  $N$  dělička, která přepíná mezi dělicím poměrem  $N$  a  $(N+1)$ . Výsledkem je neceločíselný dělicí poměr  $N$ . Díky neceločíselnému dělicímu poměru může být vstupní referenční kmitočet vyšší, čímž se zvyšuje rychlost ustálení výstupního signálu. Neceločíselná  $N$  dělička má také své nevýhody. Neustálým přepínáním dělicího poměru nedojde k úplnému ustálení výstupního kmitočtu a tím vznikají nežádoucí složky ve spektru výstupního signálu.

## 2.3 Fázově frekvenční detektor

Fázový detektor na základě rozdílů fází vstupních signálů řídí svým napětím na výstupu napětím řízený oscilátor. Výstupní napětí detektoru je dáno jeho ziskem  $K_d$  [V/rad], který je závislý na fázích vstupních signálů. Může být realizován analogovou násobičkou anebo dvojicí klopných obvodů typu D.

## 2.4 Filtr smyčky

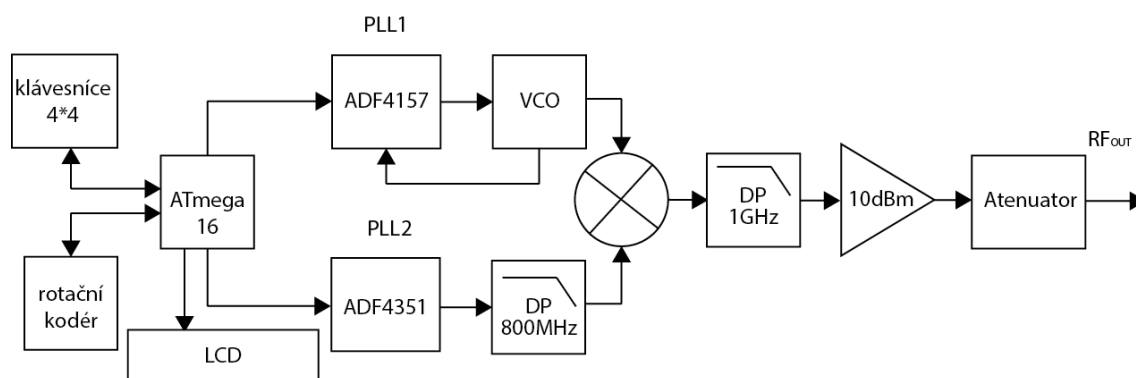
Mezi fázově frekvenčním detektorem a napětím řízeným oscilátorem se musí nacházet filtr typu dolní propust, který odstraňuje vysokofrekvenční část výstupního signálu fázově frekvenčního detektoru. Návrh této části syntezátoru je velmi důležitý, protože má vliv na dynamické vlastnosti smyčky. Tento filtr může mít také vliv na stabilitu, fázový šum nebo také na odezvu skokové změny referenčního kmitočtu. Filtry smyčky mohou být realizovány RC články aktivními nebo pasivními, různých řádů.

## 2.5 Napětím řízený oscilátor (VCO)

VCO je realizován RV oscilátorem s varikapem. Kmitočet kmitání oscilátoru můžeme řídit změnou napětí přiloženého na varikap. Změnou napětí na varikapu se změní jeho kapacita a oscilátor se přeladí na jiný rezonanční kmitočet.

## 3 NÁVRH GENERÁTORU

Srdcem celého generátoru jsou dva PLL syntezátory od firmy Analog Devices. ADF4157 je syntezátor, který řídí smyčku PLL1. Aby bylo možné generovat sinusový průběh, je zapotřebí použít externí sinusový napětím řízený oscilátor. Byl vybrán obvod CVCO55BE od firmy Crystek. Pro generování nižších kmitočtů než je minimální výstupní kmitočet syntezátoru VCO, což je asi 800 MHz, je výstup připojen na frekvenční směšovač, do kterého je také připojen druhý PLL syntezátor. Ten je stabilně nastaven na 800 MHz. Za směšovačem následuje filtr typu dolní propust a za ním zesilovač a atenuátor pro nastavení výstupní úrovně. Jako zdroj referenčního kmitočtu slouží krystalový oscilátor. Oba syntezátory jsou řízeny po sériové ISP sběrnici procesorem Firmy Atmel ATmega16L. Pro snadné ovládání uživatelem generátor obsahuje maticovou klávesnici, rotační kodér a alfanumerický displej, viz blokové schéma generátoru obrázek 3.1.



Obrázek 3.1 Blokové schéma generátoru

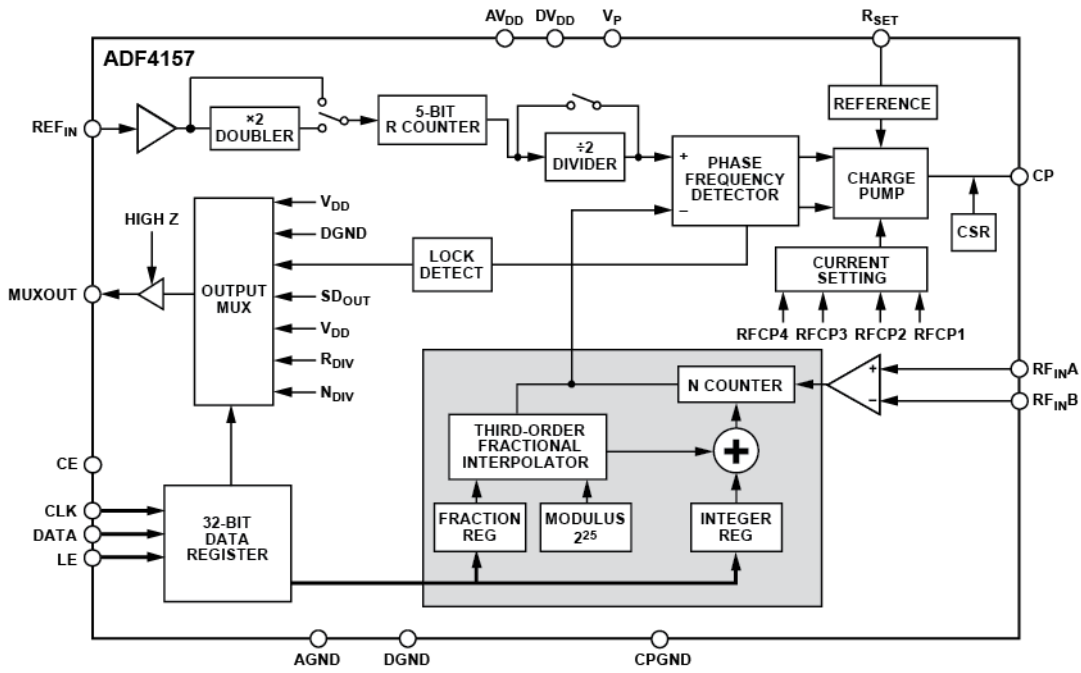
Alternativní možností by bylo použít místo druhého fázového závěsu programovatelný generátor clocku. Například obvod SI570 od firmy Silicon Labs. Clock na výstupu generátoru by musel být řádně vyfiltrován předtím, než by byl přiveden na směšovač. Generátor clocku by bylo možné použít, protože generovaný kmitočet pro směšovač se nemění, a tím pádem není problematické signál před směšovačem řádně vyfiltrovat jen na základní harmonickou složku. Výhodou tohoto zapojení by bylo zjednodušení zapojení a zjednodušení DPS. Nevýhodou by byla konstrukce filtru vyššího řádu z diskretních součástek pro tak vysoké kmitočty.

### 3.1 První fázový závěs

V této kapitole je rozebrán návrh prvního fázového závěsu. Je zde popsán výběr součástek, simulace filtru smyčky a nakonec celkový návrh schématu fázového závěsu. Úkolem tohoto závěsu je generování sinusového průběhu s přeladitelným kmitočtem od 800 MHz do 1,6 GHz a s co nejmenším frekvenčním krokem, aby bylo možné jemně přeladovat i nízké kmitočty. Tento úkol zajistí integrovaný PLL syntezátor s externím oscilátorem řízeným napětím.

### 3.1.1 ADF4157

Integrovaný obvod ADF4157 firmy Analog Devices je vysokofrekvenční syntezátor. Používá neceločíselnou N děličku. Rozlišovací schopnost má 25 bitů, může pracovat až do frekvence 6 GHz. Napájecí napětí je 2,7 – 3,3 V, proudový odběr 23 mA. Tento obvod bude přeladovat napětím řízený oscilátor tak, aby bylo možné na VCO nastavit kmitočty od 800 MHz do 1600 MHz.



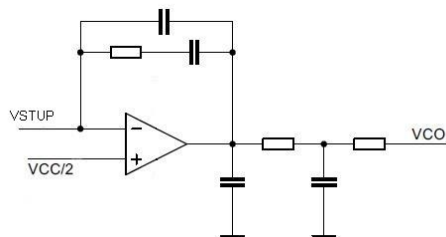
Obrázek 3.2 Blokové schéma obvodu ADF4157 (převzato z [1])

### 3.1.2 Napětím řízený oscilátor

Protože je požadován na výstupu sinusový průběh, bylo nutné do zapojení zařadit externí napětím řízený oscilátor. Na trhu mnoho napětím řízených oscilátorů se sinusovým výstupním průběhem dostupných není, a proto byl vybrán CVCO55BE firmy Crystek. Frekvenční rozsah tohoto VCO je 800 až 1600 MHz. Ladící napětí je v rozsahu 0,5 až 19 V. Napájecí napětí 11 až 12 V. Výstupní výkon je 7 dBm. Citlivost obvodu je 60 MHz/V. Fázový šum při ofsetu 10 kHz -100 dBc/Hz a při ofsetu 100kHz - 122 dBc/Hz.

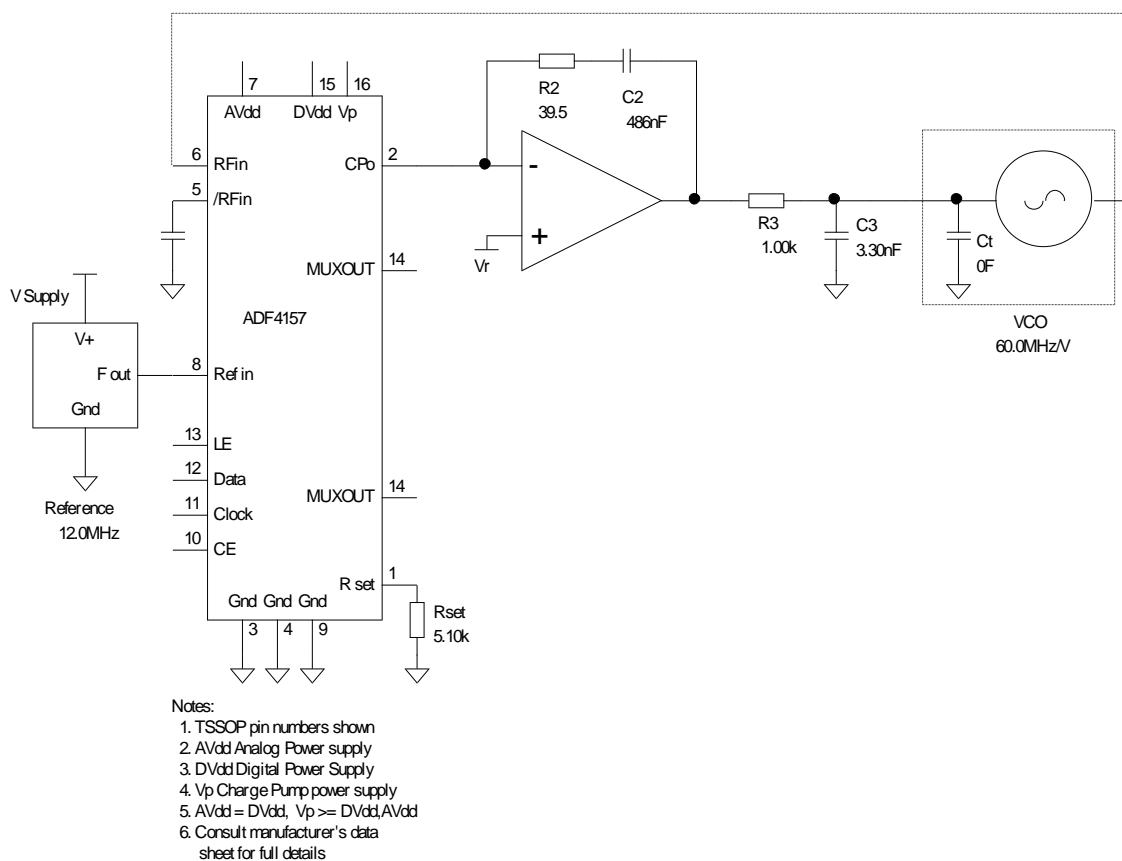
### 3.1.3 Filtr fázového závěsu

Mezi VCO a PLL je nutné vložit filtr typu dolní propust z důvodu odfiltrování vf. složky z fázově frekvenčního detektoru. V případě externího VCO bude třeba také vhodného zesílení, a proto je použit aktivní filtr s operačním zesilovačem. VCO je řízen napětím v rozmezí od 0,5 do 19 V. Z toho důvodu, bylo zapotřebí zvolit operační zesilovač, který je schopný řídicí napětí zesílit až na 19 V. Operační zesilovač byl zvolen nízkošumový LM6211 firmy Texas Instruments. Jeho typické použití je právě ve smyčkách PLL.



Obrázek 3.3 Typické katalogové zapojení operačního zesilovače LM6211

Tento operační zesilovač může být napájen napětím v rozmezí 5 až 24 V. Zesilovač má dobu přechodu  $5,6 \text{ V}/\mu\text{s}$ , vstupní šum  $5,5 \text{ nV}/\sqrt{\text{Hz}}$ , Harmonické zkreslení 0,01% při 1 kHz. Pro návrh samostatného filtru byl použit návrhový program ADIsimPLL od Analog Devices. Schéma zapojení filtru je na obrázku 3.3. Šířka filtru byla zvolena 20 kHz.



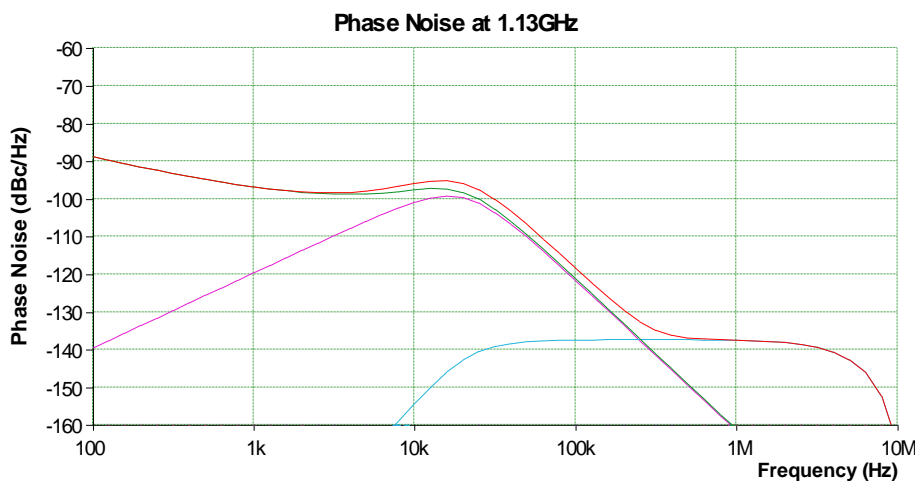
Obrázek 3.4 Schéma filtru závěsu PPL1 z ADIsimPLL

Obrázek 3.5 znázorňuje graf závislosti posuvu frekvence na čase při skokové změně 800 MHz. Z tohoto grafu lze odečíst dobu ustálení kmitočtu při skokovém přeladění celého frekvenčního pásma, která je 2,5 ms.



Obrázek 3.5 Graf závislosti frekvenční chyby na čase

Z obrázku 3.4 lze také odečíst, že pro změnu kmitočtu o 100 kHz je zapotřebí k ustálení frekvence přibližně 0,25 ms. Obrázek 3.6 znázorňuje závislost fázového šumu na frekvenci.



Obrázek 3.6 Graf závislosti fázového šumu na kmitočtu, při kmitočtu 1,13GHz

Celkové schéma fázového závěsu je uvedeno na obrázku 3.7. Součástky v zapojení vyžadují různé napájecí napětí. Napájení bude přivedeno ze zdrojové desky. Samotný syntezátor IC1 požaduje napětí v rozmezí 2,7 až 3 V pro číslicovou ( $DV_{DD}$ ) i analogovou ( $AV_{DD}$ ) část. Na pinech  $AD_{VV}$  a  $VD_{DD}$  musí být stejné napětí, proto jsou oba piny napájeny ze stejné větve a vysokofrekvenčně odděleny tlumivkou L1 o hodnotě 100  $\mu$ H. Aby nebylo překročeno maximální napájecí napětí, je v této větvi Schottkyho dioda D2 s nízkým prahovým napětím 0,4 V, která zajistí snížení napájecího napětí.

Aby bylo blokování účinné a rušení v napájecích cestách neovlivňovalo jednotlivé obvody, musí být vždy v co největší blízkosti napájecích pinů blokovací kondenzátory.

V případě integrovaného obvodu ADF 4157 to jsou kondenzátory C11, C14, C17 o kapacitě 10 pF a C10, C13, C16 o kapacitě 100 nF. Tyto kondenzátory musí mít nízký sériový odpor ESR. Pro blokování ve vysokofrekvenčních obvodech je vhodné použít kondenzátory s hmotou dielektrika NPO (COG). Tyto kondenzátory mají nejstabilnější dielektrikum nezávislé na teplotě a stejnosměrném napětí na elektrodách a současně dobré vlastnosti i pro vysokofrekvenční oblast. C69 a C70 jsou tantalové blokovací kondenzátory. Napájení nábojové pumpy ( $V_p$ ) vyžaduje napětí v rozmezí od 3 do 5,5 V. Poblíž pinu  $V_p$  musí být opět blokovací kondenzátory C17, C16 a C70.

Teplotně stabilizovaný krystalový oscilátor IC2 je napájen napětím 3,3 V, které je blokováno kondenzátory C3, C4 a C12. Tyto kondenzátory se musí nacházet v blízkosti pinu VDD. Výstup je připojen přes vazební kondenzátory C5, C8 o kapacitě 100 pF a přizpůsobovací rezistor o odporu 51  $\Omega$  na referenční vstup syntezátoru.

Napětím řízený oscilátor IC3 má rozsah napájecího napětí 11 až 12 V, z důvodu odchylky stabilizátoru 7812 musí být napětí sníženo o prahové napětí Schottkyho diody D1. Poblíž pinu VCC se musí nacházet blokovací kondenzátory C1, C21 a C22. Výstup VCO je přes vazební kondenzátor C23 a rezistory R22, R21 a R16 rozdělen na výstupní a referenční signál pro IC1.

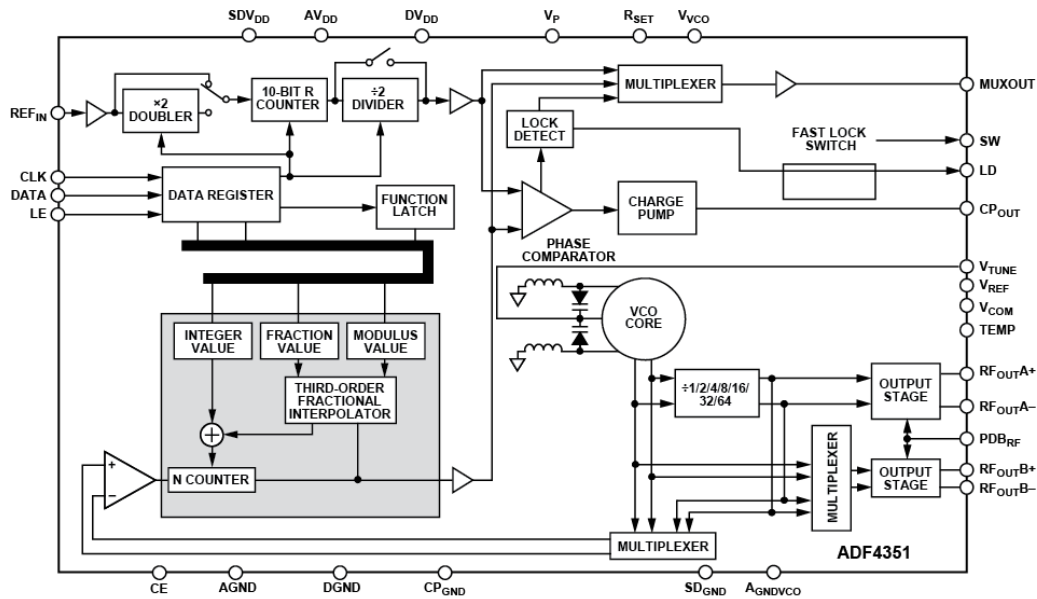
K syntezátoru IC1 je přes odporové děliče tvořené rezistory R6, R7, R8, R9, R10, R11, R12, R13 a konektor SV1 přivedena SPI sběrnice mikroprocesoru. Nastavení maximálního proudu nábojové pumpy  $I_{CPMAX}$  se provede připojením rezistoru mezi pin  $R_{SET}$  a zem. Hodnota nastavovacího rezistoru je určena vztahem (1).

$$R_{SET} = \frac{25,5}{I_{CPMAX}} \quad (1)$$

Maximální proud nábojové pumpy  $I_{CPMAX} = 5$  mA a výsledný odpor  $R_{SET} = 5,1$  k $\Omega$ . Ve schématu je tento rezistor označen jako R3. Na pin  $RF_{INA}$  je přiveden referenční kmitočet přes vazební kondenzátor C16. Pin  $RF_{INB}$  je přes C17 vysokofrekvenčně uzemněn.

Rezistory R1, R2 a kondenzátor C6 a C8 jsou součástí filtru smyčky. Jejich hodnoty vychází ze simulace, avšak byly upraveny tak, aby odpovídaly výrobním řadám součástek. Součástí filtru je i operační zesilovač LM6211. Jeho napájecí napětí je 24 V. Napájení filtrují blokovací kondenzátory C24, C27 a C15. Invertující vstup je připojen na výstup CP obvodu IC1. Neinvertující vstup je připojen na offsetové napětí, které je rovno polovině napájecího napětí tedy 2,5 V. Toto napětí vzniká na napěťovém děliči, tvořeném rezistory R15 a R7 o hodnotě 100 k $\Omega$ . Offsetové napětí ještě filtruje kondenzátor C29 o kapacitě 100 nF. Výstup filtru je připojen na vstup VCO.

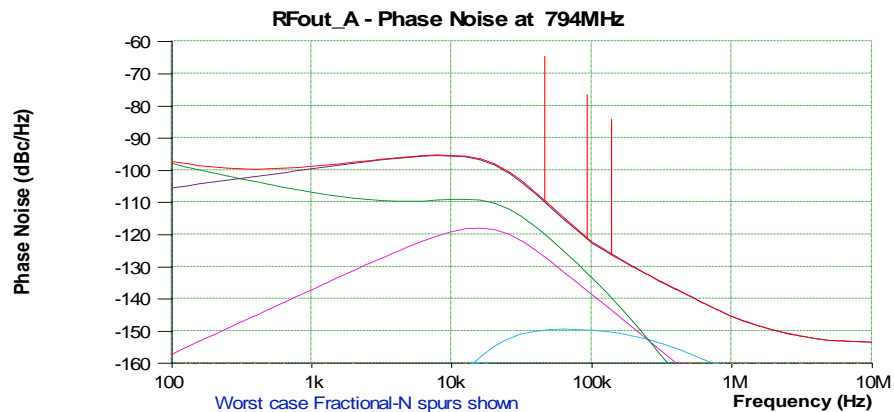




Obrázek 3.8 Blokové schéma obvodu ADF4351 (převzato z [3])

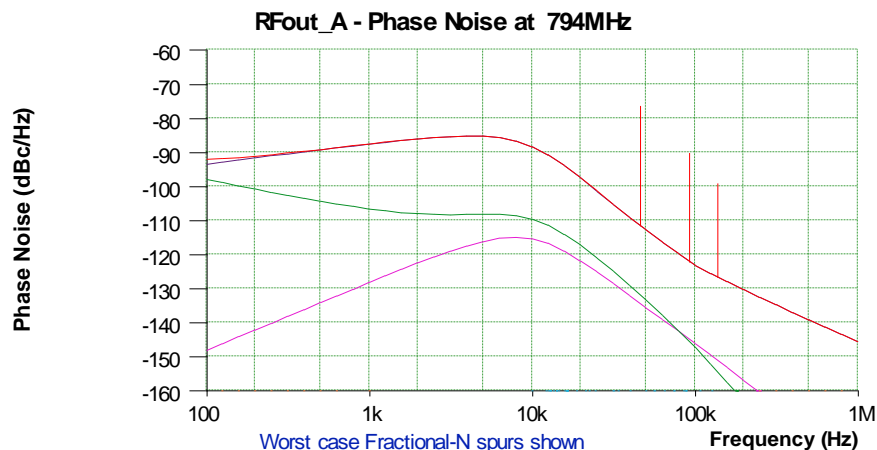
### 3.2.2 Filtr fázového závěsu

Zde je situace díky integrovanému VCO jednodušší. Výstup z fázově frekvenčního filtru nemusí být zesílen, a proto mohla být použita pasivní dolní propust. Pro návrh filtru byl opět použit program ADIsmiPLL. Šířka filtru byla opět zvolena 20 kHz. Ve spektru na obrázku 3.9 jsou vidět rušivé spektrální složky (spury).



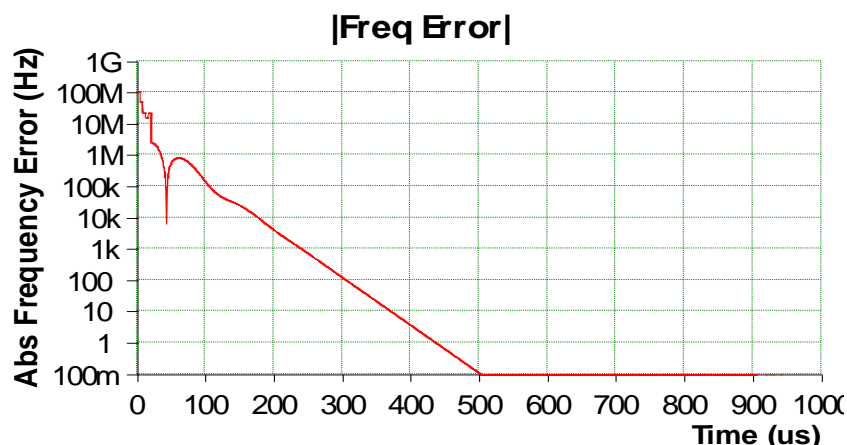
Obrázek 3.9 Graf závislosti fázového šumu na kmitočtu pro šířku filtru 20 kHz

Na obrázku 3.10 je vidět potlačení spurů asi o 10 dB díky změně šířky filtru na 10 kHz. Proto byla ve výsledném návrhu upravena šířka filtru na 10 kHz. Hodnota fázového šumu je podle simulace oproti nosné potlačena asi o 85 dB.



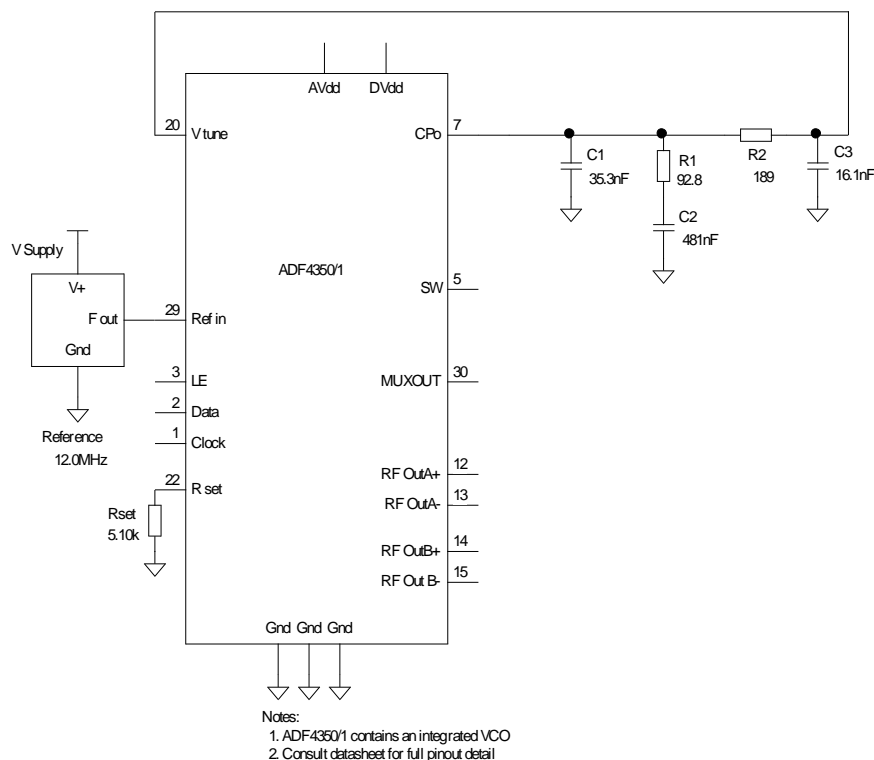
Obrázek 3.10 Graf závislosti fázového šumu na kmitočtu pro šířku filtru 10 kHz

Obrázek 3.11 zobrazuje graf závislosti chyby frekvence na čase. Z grafu můžeme odečíst čas ustálení, který je 500  $\mu$ s.



Obrázek 3.11 Graf závislosti frekvenční chyby na čase

Na obrázku 3.12 je zobrazeno schéma návrhu filtru z programu ADIsmiPLL. Celkové schéma druhého fázového závěsu je na obrázku 3.13. Napájení je opět přivedeno z řídicí DPS. Syntezátor IC1 vyžaduje pro všechny svoje napájecí piny  $AV_{DD}$ ,  $DV_{DD}$ ,  $V_{VCO}$ ,  $SDV_{DD}$  a  $V_P$  stejné napájecí napětí, a to v rozmezí 3 až 3,6 V. Napájecí napětí je vysokofrekvenčně odděleno tlumivkami L1, L2, L3, L4 a L5 o indukčnosti 100  $\mu$ H. Všechny napájecí piny musí mít ve své blízkosti blokovací kondenzátory C1, C2, C4, C5, C8, C9, C11, C12, C32 a C33 o kapacitách 100 nF a 10 pF. Opět je vhodné použít kondenzátory označené NPO (COG). V každé napájecí větvi je ještě tantalový filtrační kondenzátor C6, C7, C10, C34 o hodnotě 4,7  $\mu$ F.

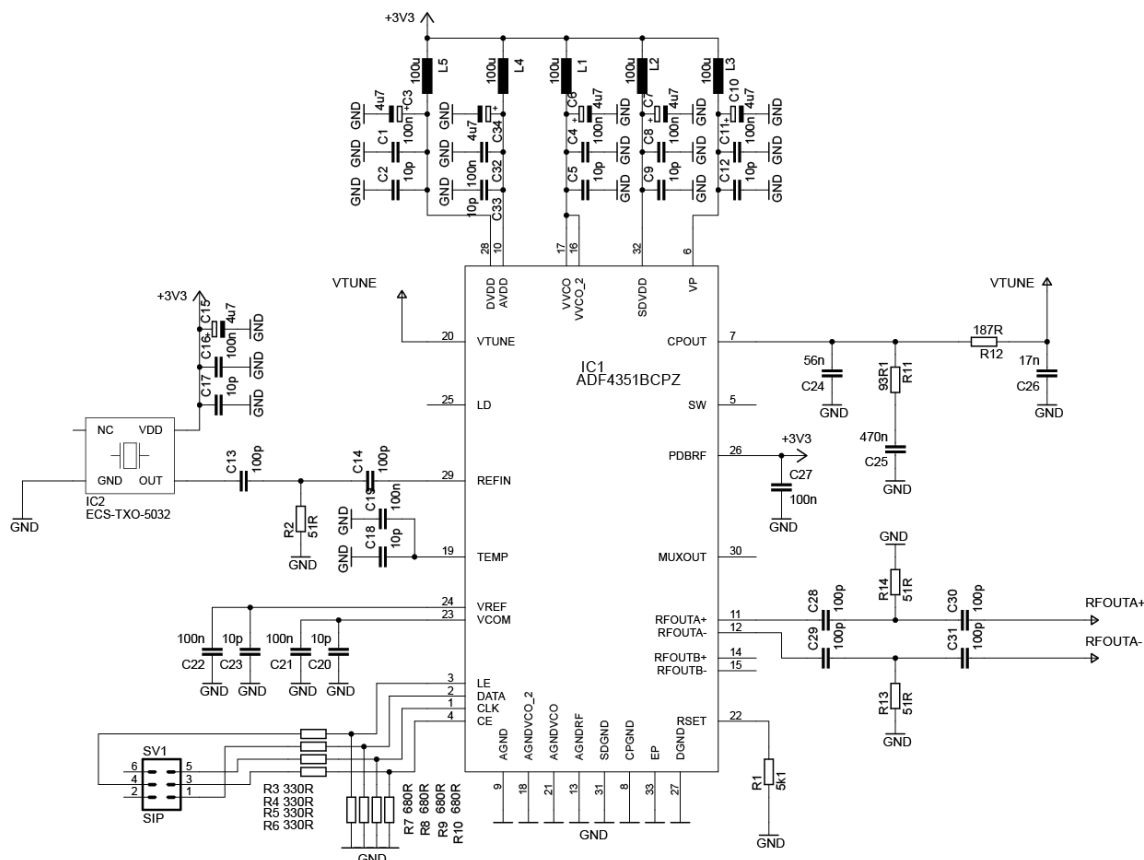


Obrázek 3.12 Schéma filtru závěsu PPL2 z ADIsimPLL

Zdroj přesného kmitočtu krystalový oscilátor IC2 požaduje napájecí napětí v rozmezí 3,135 až 3,465 V. Napájecí větev pro tento obvod je filtrována kondenzátory C15, C16 a C17. Opět by kondenzátory C16 a C17 měly být co nejbližší pinu VDD. Výstup oscilátoru je připojen na vstupní referenční pin syntezátoru IC1 přes dva vazební kondenzátory C13, C14, o kapacitě 100 pF, a přizpůsobovací rezistor R2, o hodnotě odporu 51  $\Omega$ .

Teplotní stabilizace obvodu IC1 pin TEMP je vysokofrekvenčně uzemněna přes C18 a C19. Napěťová reference na pinu  $V_{REF}$  a interní kompenzační uzel  $V_{COM}$  jsou také vysokofrekvenčně uzemněny přes kondenzátory C20, C21, C22 a C23. Nastavení proudu nábojové pumpy se provádí pomocí rezistoru připojeného mezi pin  $R_{SET}$  a zem. Hodnota odporu se spočítá podle vztahu (1). Pro proud  $I_{CP} = 5 \text{ mA}$  vychází  $R_{SET} = 5,1 \text{ k}\Omega$ . Pomocí konektoru SV1 je na obvod přivedena řídicí SPI sběrnice. Je připojena přes odporové děliče tvořené rezistory R3, R4, R5, R6, R7, R8, R9 a R10. Pin  $PDB_{RF}$  slouží k mutování RF výstupů. Výstupy se zamutují, pokud se na  $PDR_{RF}$  objeví nízká logická úroveň. Aby výstupy nebyly stále zamutované, na tento pin bude přivedeno napětí vysoké logické úrovně 3,3 V. K pinu je navíc připojen blokovací kondenzátor 100 nF. Pin  $CP_{OUT}$  slouží k připojení externího filtru smyčky. Filtr smyčky je složen z kondenzátorů C24, C25 a C26 a rezistorů R11 a R12. Jejich hodnoty vychází ze simulace fázového závěsu.

K pinu  $V_{TUNE}$  je připojen výstup filtru smyčky. Vysokofrekvenční výstupy  $RF_{OUTA+}$  a  $RF_{OUTA-}$  jsou opatřeny vazebními kondenzátory C28, C29, C30 a C31, o kapacitě 100 pF, a přizpůsobovacími odpory R13 a R14, o hodnotě 51  $\Omega$ .



Obrázek 3.13 Schéma zapojení druhého fázového závěsu

### 3.3 Výstupní obvody

V této kapitole bude popsán výběr a návrh obvodů pro úpravu výstupního signálu. Pro dosažení kmitočtů nižších než 800 MHz byl použit směšovač, ve kterém budou odečteny výstupní kmitočty prvního a druhého fázového závěsu. Za směšovačem musí následovat filtr typu dolní propust pro odfiltrování nežádoucích směšovacích produktů. Výstupní úroveň prvního fázového závěsu je 7 dBm. Výstupní úroveň druhého fázového závěsu je 5 dBm. Konverzní ztráta směšovače je 7 dB. Z tohoto důvodu byl ještě před attenuátorem vložen zesilovač, aby bylo možné dosáhnout výstupní úrovně 10 dBm. Poslední částí výstupních obvodů je číslicově řízený attenuátor pro nastavení výstupní úrovně.

#### 3.3.1 Směšovač

Aby nebylo nutné vytvářet přizpůsobovací baluny, byl zvolen pasivní směšovač. Nejdůležitější vlastností pro výběr směšovače byl frekvenční rozsah. S ohledem na tato kritéria byl vybrán směšovač MAXES0117 od firmy Macom. Tento obvod je pasivním směšovačem a jeho frekvenční rozsah pro vstupy RF a LO je 80 – 2 500 MHz, výstupní rozsah se pohybuje od stejnosměrné hodnoty do 1 GHz. Další důležitou vlastností je izolační odpor mezi vstupy a výstupy, který je uveden v Tabulce 3.1.

Tabulka 3.1 Tabulka hodnot izolace mezi vstupy a výstupy

Parametr	Piny	Frekvence [MHz]	Hodnota [dB]
Izolace	LO - RF	80 – 1000	33,5
		1000 – 2500	28,9
Izolace	LO - IF	80 – 1000	31,5
		1000 – 2500	17,4
Izolace	RF - IF	80 – 1000	26,9
		1000 – 2500	25,9

### 3.3.2 Atenuátor

Pro nastavování výstupní úrovně byl zvolen atenuátor firmy Hittite HMC472ALP4E. Tento obvod je digitálně řízený atenuátor. Napájecí napětí má 5 V, řídicí napětí úroveň LOW 0 až 0,8 V a HIGH 2 až 5 V. Obvod je řízen šestibitově. Nejmenší krok útlumu je 0,5 dB, odchylka maximálně  $\pm 0,25$  dB, maximální útlum 31,5 dB. Důležitou vlastností je opět frekvenční rozsah, který tento obvod má 0 až 3,8 GHz.

Tabulka 3.2 Pravdivostní tabulka pro řízení atenuátoru

Řídící vstupy						Útlum
V1	V2	V3	V4	V5	V6	
16dB	8dB	4dB	2dB	1dB	0,5dB	Referenční úroveň
High	High	High	High	High	High	0,5 dB
High	High	High	High	High	Low	1 dB
High	High	High	Low	High	High	2 dB
High	High	Low	High	High	High	4 dB
High	Low	High	High	High	High	8 dB
Low	High	High	High	High	High	16 dB
Low	Low	Low	Low	Low	Low	31,5 dB

Obvod vyžaduje pro svoji funkci podle katalogového zapojení k pinům 8, 10, 11 a 13 připojit kondenzátory 330 pF. V blízkosti napájecího pinu je třeba připojit blokovací kondenzátory 1 nF a 100 nF. Vazební kondenzátory pro vstup a výstup mají hodnotu 1 nF. Typický odběr obvodu je 2,5 mA. Odběr řídicích vstupů při úrovni HIGH je 40  $\mu$ A, a proto může být obvod řízen přímo procesorem.

### 3.3.3 Dolní propusti

Pro filtrování kmitočtu z druhého fázového závěsu a smíšeného signálu byly zvoleny integrované dolní propusti od firmy Johanson Technology 0915LP15B026E a 0898LP18A035E.

### 3.3.4 Zesilovač

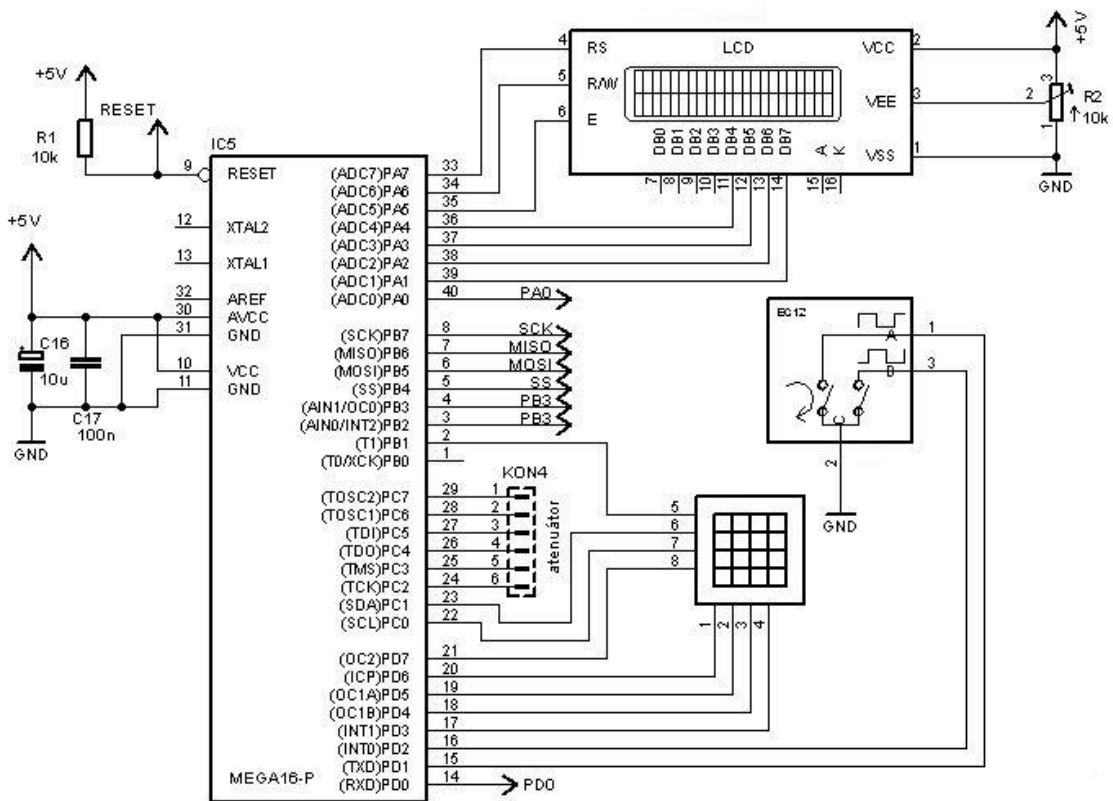
Pro zesílení výstupního signálu byl vybrán zesilovač AG602-89G od firmy TriQuint. Je to vysokofrekvenční zesilovač s kmitočtovým rozsahem 0 až 3,5 GHz. Zesílení je 14 dB. Zesílení není v celém kmitočtovém rozsahu konstantní, ale v rozsahu do 1 GHz jsou změny minimální.

## 3.4 Řízení

Pro řízení generátoru byl vybrán osmibitový mikroprocesor procesor firmy ATMEL ATmega16L z řady AVR. Mikroprocesor je napájen 5 V. Vnitřní architektura mikroprocesoru je typu RISC.

ATmega16 disponuje čtyřmi osmibitovými porty, které je možné využít k ovládní různých periférií. Tento mikroprocesor disponuje také několika komunikačními protokoly, a to protokolem SPI, USART a TWI. Z těchto protokolů využijeme SPI pro ovládní syntezátorů. Jednou z výhod tohoto ATmega16 je vnitřní RC oscilátor, díky kterému není k provozu zapotřebí externí krystal.

Na obrázku 3.14 je schéma zapojení mikroprocesoru. Přes rezistor R1 je na reset přivedena vysoká úroveň, aby nedocházelo k samovolnému restartování mikroprocesoru. Trimr R2 slouží k nastavení jasu LCD. Kondenzátory C1 10  $\mu$ F a C2 100 nF slouží k blokování napájecího napětí procesoru. Přes konektor KON7 se připojuje programátor procesoru. Konektor KON6 je určen k připojení ISP sběrnice k syntezátorům. Ke konektoru KON5 je připojena LED pro indikaci sepnutého/vypnutého výstupu. Konektor KON4 připojuje klávesnici. KON3 je určen pro rotační kodér, konektor KON2 pro nastavovací piny atenuátoru. Ke konektoru KON1 je připojen LCD.



Obrázek 3.14 Schéma zapojení procesoru

### 3.4.1 Maticová klávesnice

Pro zadávání hodnot a ovládání generátoru byla zvolena maticová klávesnice KB1604-PAW od firmy ACCORD. Tato klávesnice má 16 kláves, z toho 10 číslic. Šest kláves zbývá pro ovládání generátoru. Každá klávesa má živostnost 1 000 000 cyklů. Maximální odpor kontaktu 200 mΩ. Maximální pracovní napětí 24 V, a maximální pracovní proud 20 mA.

### 3.4.2 Rotační kodér

Pro snadné krokování výstupní frekvence, nebo výstupní úrovně, byl do návrhu doplněn rotační kodér. Vybrán byl kodér firmy ALPS EC11E15244G1. Rozlišení kodéru je 15 imp/otáčku. Pracovní napětí 5 V, pracovní proud 10 mA, životnost 15 000 cyklů. Kodér má tři piny, dva kódovací a jeden pro uzemnění. Jeden z kódovacích pinů bude připojen k externímu přerušení mikroprocesoru a druhý k pinu nastavenému jako vstup. V případě otočení kodér vyvolá v mikroprocesoru funkci přerušení, která otestuje druhý pin kodéru a podle jeho logické hodnoty určí, jestli se kodér otáčí doprava nebo doleva.

### 3.4.3 LCD

Aby bylo možné zobrazovat aktuální nastavení generátoru, bylo potřeba do návrhu zařadit displej. Jednoduchou a dostačující variantou je alfanumerický LCD s řadičem

ST7066 a podsvícením. Pro možnost zobrazení všech důležitých hodnot byl současně vybrán displej se čtyřmi řádky po šestnácti znacích RAYSTAR OPTRONICS RC1604A-BIW-ESX. Tento displej používá negativní zobrazení na modrém podkladu. Napájecí napětí vyžaduje 5 V, odběr proudu 1,2 mA. Napětím  $V_{DD} - V_0$  se řídí kontrast displeje. Toto napětí a tím i kontrast lze měnit trimrem R2 zapojeným jako napěťový dělič. Hodnota jeho odporu je podle katalogu 10 k $\Omega$ . Na piny 15 a 16 se připojuje napájení podsvícení. LED v podsvícení vyžaduje napětí 3,5 V, a proud 48 mA. Aby bylo těchto hodnot docíleno, LED je napájena přes předřadný odpor. Jeho hodnota 33 $\Omega$  byla vypočtena podle vztahu (2). Původní návrh s podsvícením nepočítal, proto byl o napájení LED a předřadný odpor doplněn. LCD je k procesoru připojen a ovládán 4 bitovou komunikací.

$$R_p = \frac{V_{CC} - V_{LED}}{I_{LED}} \quad (2)$$

### 3.5 Napájení

Generátor je napájen ze sítě 230 V. Vstup síťového napětí je opatřen trubičkovou pojistkou pro ochranu zařízení při zkratu. Napětí je z 230 V transformováno na napětí 2 x 12 V pomocí symetrického EI transformátoru BV EI 481 1327 od firmy HAHN. Jedno vinutí je využito pro 12 voltovou větev a obě vinutí dohromady pro 24 voltovou větev. Následně je střídavé napětí usměrněno pomocí usměrňovacích můstků. Usměrněné napětí se vyfiltruje pomocí kondenzátoru C7 a C8. Kapacita C7 a C8 se spočítá podle vztahu (3), kde I je proud protékající diodou usměrňovače.

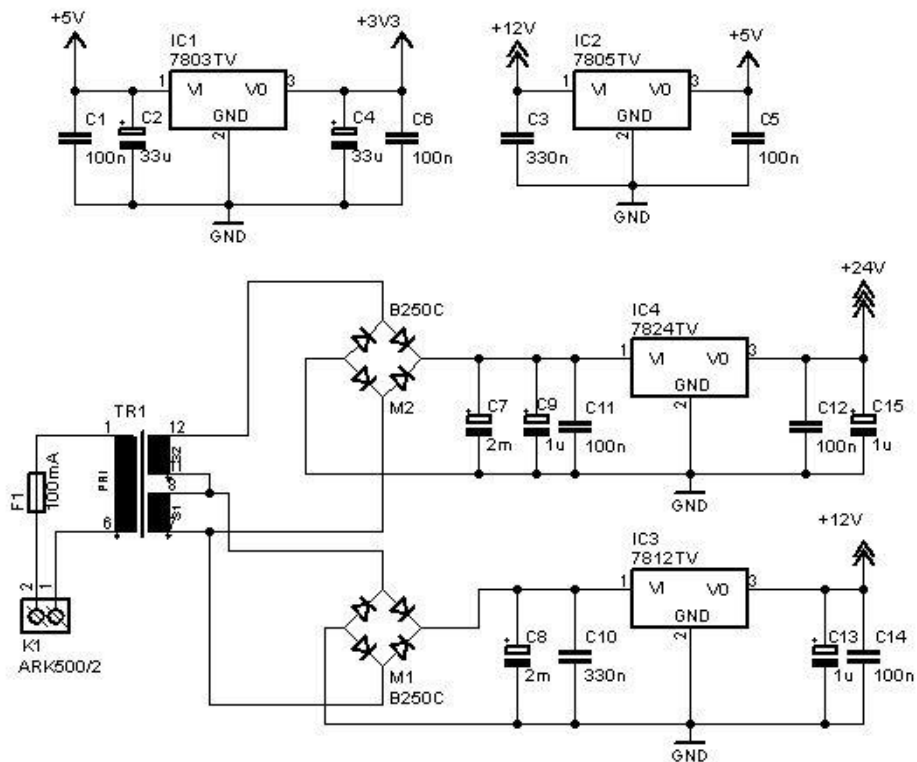
$$C = I \frac{\Delta t}{\Delta u} \quad (3)$$

Tento proud byl spočítán přibližně na 0,125 A.  $\Delta t$  se pro dvoucestný usměrňovač volí 8 ms.  $\Delta u$  je zvlnění napětí. Zvlnění napětí bylo zvoleno 0,5 V. Po dosazení do vztahu (3) vyjde kapacita 2 mF. Maximální napětí bylo zvoleno na 35 V.

Pro napájení operačního zesilovače ve filtru prvního fázového závěsu je potřeba napětí 24 V. Pro stabilizaci tohoto napětí byl zvolen stabilizátor LM7824. Pro správnou funkci stabilizátorů je potřeba na vstup i výstup připojit kondenzátory. Podle katalogového listu byly vybrány kondenzátory C9 a C15 1  $\mu$ F, C11 a C12 100 nF.

K napájení VCO (12 V) slouží stabilizátor LM7812. Tento obvod vyžaduje na vstupu kondenzátor o kapacitě 300 nF C10 a na výstupu 100 nF C14. Pro napájení mikroprocesoru, atenuátoru, LCD a nábojové pumpy je potřeba 5 V napájecí větev. Pro ni byl zvolen stabilizátor LM7805. Tento stabilizátor také na vstupu vyžaduje kondenzátor o kapacitě 300 nF C3 a na výstupu 100 nF C5. Pro napájení PLL syntezátorů je potřebné napájecí napětí 3,3 V. Pro toto napětí byl zvolen stabilizátor LM7803. Tento obvod vyžaduje na vstupu i výstupu kondenzátory o kapacitě 33  $\mu$ F C2 a C4. Stabilizátor

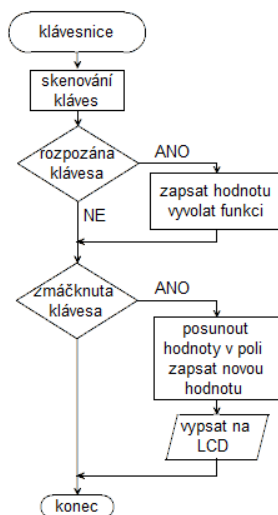
byl doplněn ještě o blokovací kondenzátory o kapacitě 100 nF C1 a C6



Obrázek 3.15 Schéma napájecího zdroje

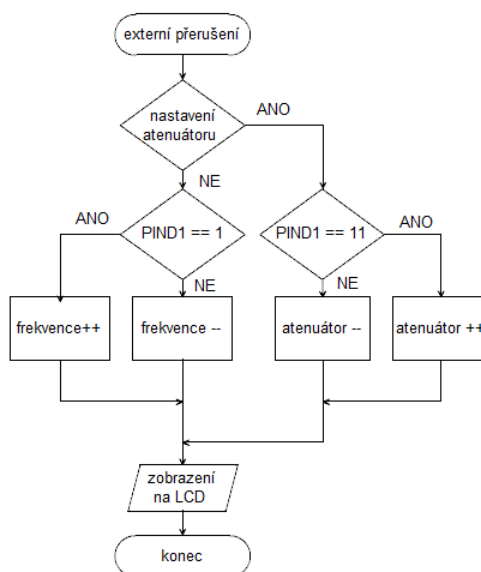
## 4 PROGRAMOVÉ VYBAVENÍ GENERÁTORU

Hlavní funkce programu začíná nastavením vstupů a výstupů jednotlivých portů, a jejich počátečních stavů. Poté je provedeno nastavení registrů pro externí přerušení. V registru GICR je povoleno přerušení INT0, v MCUCR reakce na logickou nulu a pomocí instrukce se povolí všechny přerušení. Následuje nastavení SPI komunikace pomocí registrů SPCR a SPSR. Procesor je nastaven do role masteru. Rychlost přenosu je 250 kHz. Dále pokračuje inicializace LCD a výpis základní obrazovky. Hlavní funkce končí nekonečnou smyčkou, která volá funkci pro skenování klávesnice. Tato funkce postupně posílá na jednotlivé sloupce klávesnice logickou 0 a skenuje řádky, kde se tato úroveň po zmáčknutí klávesy objeví. Když je klávesa rozpoznána, program vyčká, až ji uživatel pustí. Poté je volána funkce klávesy anebo uloženo její číslo.



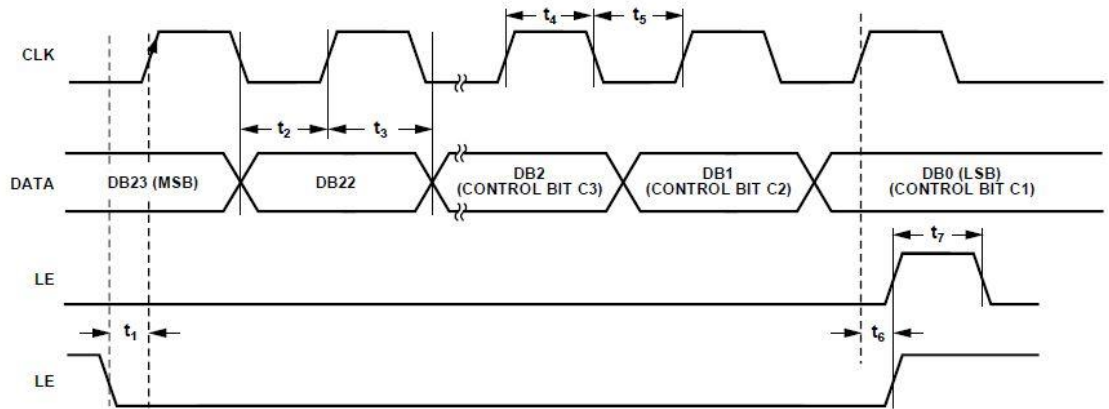
Obrázek 4.1 Vývojový diagram funkce pro skenování klávesnice

Čísla jsou ukládána do pole, kde se řadí za sebe. Při zadání dalšího čísla, se hodnoty pomocí cyklu posouvají do buněk pro vyšší řád a tím uvolní místo pro nové číslo. Pokud dojde k naplnění pole, nejde již dále zadávat další hodnoty, dokud není uživatelem číslo smazáno. Z pole hodnot se vypočte celé číslo a uloží pro další výpočty. Následně je hodnota vypsána na displej. Displej je obsluhován pomocí 4 bitové paralelní komunikace, kterou obstarává knihovna alcd.h. Z této knihovny byly využity funkce `lcd_gotoxy()` pro určení pozice kurzoru, `lcd_clear` k mazání obsahu displeje, `lcd_putsf()` vypisuje obsah proměnných a `lcd_puts()` vypisuje zadaný text. Rotační kodér využívá externí přerušení. V případě přerušení program zjišťuje, zda uživatel zvolil změnu kmitočtu nebo změnu nastavení atenuátoru. Pokud uživatel vybral jednu z možností, přečte se logická hodnota druhého pinu rotačního kodéru, podle které je inkrementována nebo dekrementována příslušná proměnná.



Obrázek 4.2 Vývojový diagram funkce externího přerušení

Ovládání výstupního atenuátoru probíhá paralelně pomocí 6 bitů. Obsluhu provádí funkce `write_aten()`, která podle pravdivostní tabulky 3.2 přiřazuje na port jednotlivé kombinace bitů. Procesor se syntezátory komunikuje pomocí sériového periferního rozhraní. Na obrázku 4.3 je vidět příklad, jak má procesor komunikovat se syntezátory.



Obrázek 4.3 Časový diagram SPI komunikace ADF4157 (převzato z [1])

Tuto komunikaci obstarává funkce `spi_send()`. Z čísla zadaného uživatelem, vypočítá kmitočty pro směšování a z nich pak nastavení registrů děliček pro oba syntezátory. Výpočet pro ADF4157 probíhá podle vztahů (4), (5), (6) a (7).

$$f_{PFD} = REF_{IN} * \frac{1 + D}{R * (1 + T)} \quad (4)$$

$$N = int\left(\frac{RF_{OUT}}{f_{PFD}}\right) \quad (5)$$

$$F_{MSB} = int\left(\left(\frac{RF_{OUT}}{f_{PFD}} - N\right) * 2^{12}\right) \quad (6)$$

$$F_{LSB} = int\left(\left(\left(\frac{RF_{OUT}}{f_{PFD}} - N\right) * 2^{12}\right) - F_{MSB}\right) * 2^{13} \quad (7)$$

$REF_{IN}$  - vstupní referenční frekvence

$F_{MSB}$  -12 bitová část FRAC v registru R0

$F_{LSB}$  -13 bitová část FRAC v registru R1

`int()` - udělá celé číslo z argumentu v závorkách

- D - dvojitý bit RF REFIN
- R - referenční faktor dělení
- N - je celočíselný dělicí faktor

Výstupní kmitočet syntezátoru ADF4351 se vypočítá podle vztahů (8) a (9)

$$f_{PFD} = REF_{IN} * \frac{1 + D}{R * (1 + T)} \quad (8)$$

- REF<sub>IN</sub> - referenční kmitočet.
- D - RE<sub>FIN</sub> doubler bit (0 až 1).
- R - referenční dělicí faktor (1 až 1023).
- T - referenční dělicí faktor 2 bit (0 až 1).

$$RF_{OUT} = \left( INT + \frac{FRAC}{MOD} \right) * \left( \frac{f_{PFD}}{RF \text{ dělič}} \right) \quad (9)$$

- RF<sub>OUT</sub> – výstupní frekvence
- INT - celočíselný dělicí faktor
- FRAC - frakčního dělicí faktor
- MOD nastavení frakčního modulu (2 až 4095)
- RF dělič - dělič výstupního kmitočtu

Obvody ADF4351 a ADF4157 mají 32 bitové registry. Procesor ATmega16 má pro odesílání dat 8 bitový posuvný registr. Proto je nutné rozdělit odesílání dat na 4 části po 8 bitech. Data jsou předchystána a uložena do 4 proměnných, ze kterých jsou následně postupně odesílána. Datový přenos je zahájen výběrem obvodu, pomocí nulování jeho pinu LE. První část dat se uloží do registru SPDR a program v cyklu čeká, než jsou data odeslána. Tento postup se opakuje ještě 3x. Přenos je ukončen změnou hodnoty na logickou 1 na LE pinu.

## 5 NÁVOD K POUŽITÍ

Generátor se zapíná vypínačem v pravém horním rohu předního panelu. Po zapnutí generátoru se na displeji zobrazí základní obrazovka s informacemi o nastavení kmitočtu a výstupního výkonu. Nulová hodnota kmitočtu vyjadřuje, že kmitočet ještě nebyl nastaven. Atenuátor je nastaven na nejvyšší útlum, a výstup vypnut

Nastavení výstupního výkonu se provádí pomocí klávesy C. Po jejím stisknutí se u hodnoty útlumu zobrazí šipky a v tuto chvíli je možné pomocí rotačního kodéru nastavit hodnoty útlumu na -19, -6, -4, 8, 10, 11, 11,5 nebo 12 dBm. Volba se potvrdí opětovným stiskem klávesy C a šipky zmizí.



Obrázek 5.1 Fotografie displeje

Volba kmitočtu se provádí zadáním číselné hodnoty na klávesnici a zvolením jednotky kHz klávesou A, nebo MHz klávesou B. Špatně zadané číslo je možné smazat pomocí klávesy D. Nastavení frekvence je možné také měnit po krocích rotačním kodérem. Nastavení velikosti kroku se nachází pod klávesou #. Při jejím stisku se u nastavené hodnoty zobrazí šipky, které znázorňují, že je možné hodnotu změnit. Změna hodnoty se provádí pomocí číslic, kdy 1 znamená krok v jednotkách, 2 v desítkách, 3 ve stovkách a 4 v tisících. Potvrzení hodnoty se provede opětovným zmáčknutím klávesy #.

Výstup generátoru se zapíná a vypíná pomocí klávesy \*. Aktivace výstupu je signalizována svitem zelené LED diody u výstupního konektoru. Výstup je vyveden na BNC konektor ve spodní části panelu. Impedance výstupu je  $50\Omega$ .

## 6 KONSTRUKCE A OSAZENÍ

Obě desky plošných spojů byly vyrobeny v dílně UREL fotocestou. U zdrojové a řídicí desky nebyly kladeny velké nároky na přesnost leptání, protože šířka nejtenčího spoje byla 0,4 mm. Díky tomu bylo možné předlohy horní a dolní strany vytisknout na pauzovací papír.



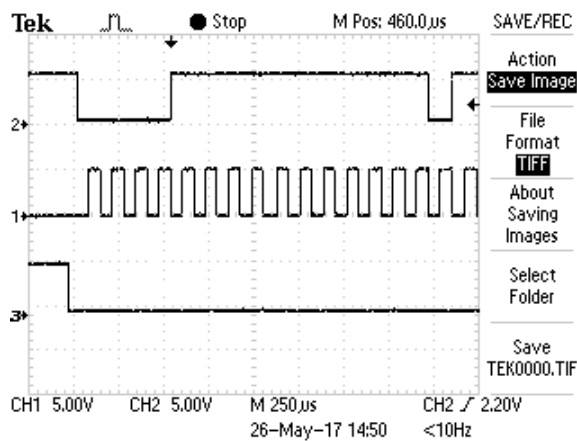
Obrázek 5.2 Osazená řídicí deska horní strana

Do třech rohů ve vzdálenosti 2,5 mm od kraje návrhu, byly umístěny sesazovací značky, pro přesné a pohodlné sesazení horního a spodního motivu. Do vyleptané DPS bylo třeba vyvrtat otvory pro vývody součástek a šrouby. Dále se deska stříhla pákovými nůžkami na požadovaný rozměr, začistily se hrany a nanese pájitelný lak. Osazeny byly nejdříve malé SMD součástky, patice procesoru, displeje a klávesnice.



Obrázek 5.3 Osazená řídicí deska spodní strana

Protože DPS neobsahovala prokovy, bylo nutné do přechodů mezi horní a spodní vrstvou zapájet drátové propojky, nebo oboustranně zapájet příslušné vývody součástek. Osazování pokračovalo zapájením elektrolytických kondenzátorů, usměrňovačů a stabilizátorů. Jako poslední byly osazeny konektory, pojistkové pouzdro a transformátor. Zdrojová část byla oživena, jednotlivá napětí přeměřena a zkontrolována. Poté byly přidány procesor klávesnice a displej. Pak bylo možné začít jednotlivé periferie testovat. Odpovídající kontrast LCD byl nastaven za pomoci trimru R2. Také bylo nutné doplnit napájení podsvícení LCD s předřadným odporem, které nebylo v původním návrhu obsaženo. Displej byl vyzkoušen spolu s klávesnicí. Dále bylo pomocí osciloskopu ověřeno, že procesor odesílá data po SPI sběrnici a správně aktivuje obvody přes LE piny. Na obrázku 5.4 je oscilogram průběhu přenosu dat po sběrnici SPI. Kanál 1 zobrazuje hodinový signál, kanál 2 datový přenos a na kanále 3 výběr syntezátoru. Dále proběhla kontrola nastavování správných hodnot z pravdivostní tabulky atenuátoru, pomocí LED diod připojených na port C.



Obrázek 5.4 Data přenášená po SPI sběrnici zobrazená na osciloskopu

Návrh druhé vysokofrekvenční desky plošných spojů byl náročnější, a to zejména kvůli pouzdrům obou PLL syntezátorů, kde mezery mezi ploškami jsou pouhých 0,2 mm. Z tohoto důvodu bylo nutné pro větší přesnost plošného spoje použít filmovou předlohu. Osazování probíhalo opět od nejmenších součástek, protože některé součástky dosud nebyly dodány, nemohla být tato DPS kompletně osazena a oživena. Otvory v této DPS byly prokoveny, a proto nebylo nutné pro spojování horní a dolní vrstvy používat žádné drátové propojky.



Obrázek 5.5 Osazená vysokofrekvenční deska horní strana

Uložení desek bylo navrženo za sebou tak, aby bylo možné generátor umístit do laboratorního systému Diametral. Desky jsou k sobě spojeny pomocí čtyř čtyřiceti milimetrových distančních sloupků. Displej a klávesnice jsou k řídicí desce připojeny osmi devíti milimetrovými sloupkami. Generátor je přichycen k panelu Diametral dvěma pětimilimetrovými a dvěma patnácti milimetrovými distančními sloupkami.

## 7 ZÁVĚR

Cílem práce byl návrh vysokofrekvenčního laboratorního generátoru s výstupním kmitočtem do několika set MHz. Byly prostudovány možnosti obvodového řešení pro konstrukci generátorů. Vybrána byla koncepce nepřímé analogové syntézy s fázovým závěsem. Pro tuto koncepci byla vytvořena schémata, která se skládají ze dvou částí, a to řídicí a vysokofrekvenční. Pro obě části byly navrženy desky plošných spojů. Desky plošných spojů byly vyrobeny. Řídicí deska byla osazena, oživena a otestována. Otestována byla funkčnost všech periférií a komunikace pro řízení obvodů syntézy a atenuátoru. Vysokofrekvenční deska byla částečně osazena. Generátor nemohl být kompletně dokončen, otestován a proměřen, protože některé součástky nebyly včas dodány. Předpokládaný frekvenční rozsah je od 100 kHz do 900 MHz, výstupní výkon 12dBm a výstupní impedance  $50\Omega$ . Avšak tyto parametry nemohly být ověřeny měřením. Návrh mechanické konstrukce byl přizpůsoben pro vložení do laboratorního systému Diametral. Jakmile budou chybějící součástky dodány, vř část generátoru bude osazena. Věřím, že následně bude úspěšně zprovozněn a proměřen.

# LITERATURA

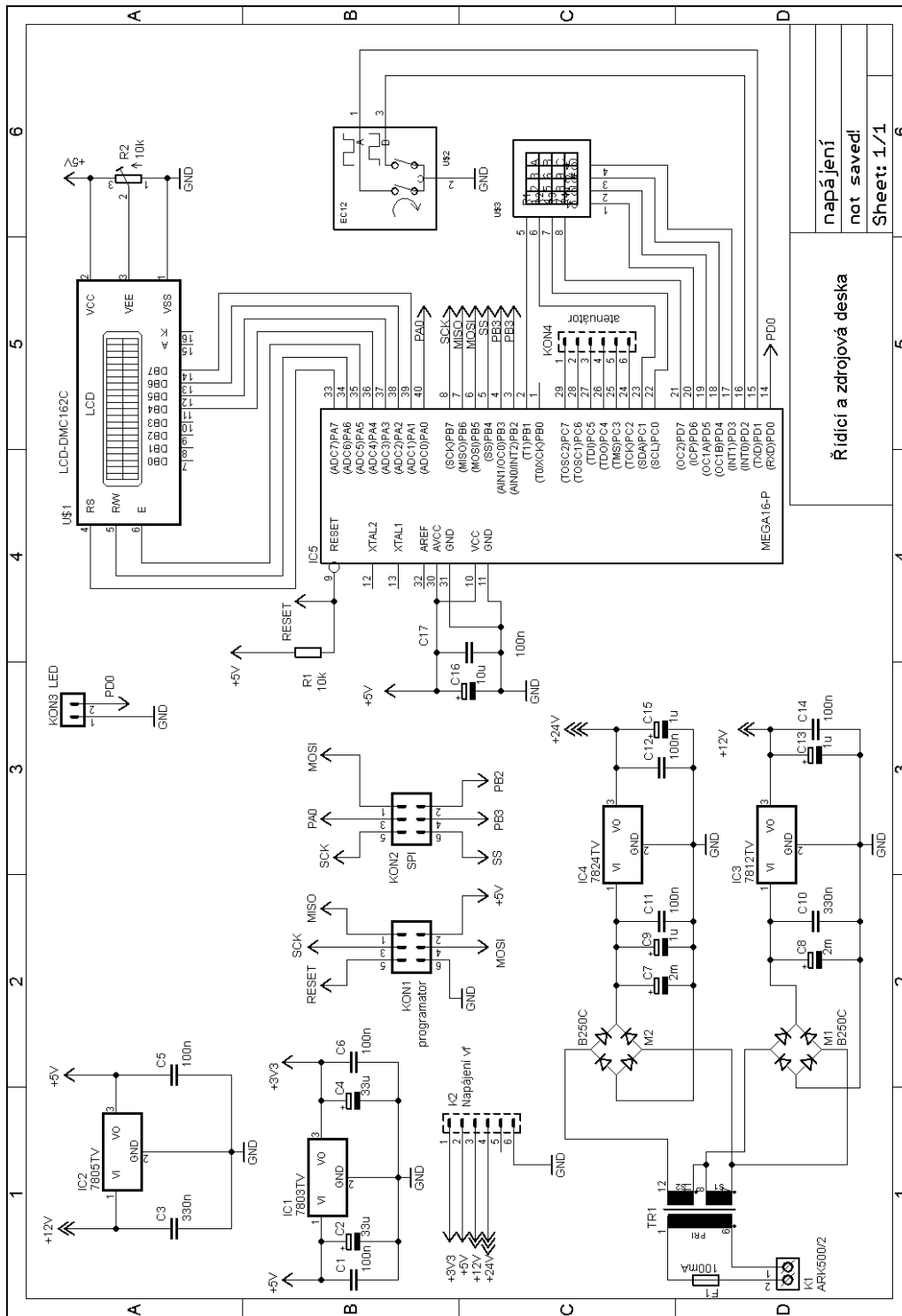
- [1] Analog Devices [online]. Katalogový list ADF4157 [cit. 2015-12-13]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADF4157.pdf>
- [2] Analog Devices [online]. Katalogový list HMC472 [cit. 2015-12-13]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/hmc472a.pdf>
- [3] Analog Devices [online]. Katalogový list ADF4351 [cit. 2015-12-13]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/ADF4351.pdf>
- [4] Atmel [online]. Katalogový list AT mega 16 [cit. 2015-12-13]. Dostupné z: <http://www.atmel.com/images/doc2466.pdf>
- [5] CARR, Joseph. *Practical Radio Frequency Test and Measurement: A Technician's Handbook*. New Jersey: Newnes Publisher, 1999. ISBN 0-7506-7161-0.
- [6] Crystek [online]. Katalogový list CVCO55BE [cit. 2015-12-13]. Dostupné z: <http://www.crystek.com/microwave/admin/webapps/welcome/files/vco/CVCO55BE-0800-1600.pdf>
- [7] EGAN, William. *Practical RF System Design*. Hoboken: John Wiley & Sons, Inc., 2003. ISBN 0-471-20023-9.
- [8] HANUS, Stanislav, SVAČINA, Jiří. *Vysokofrekvenční a mikrovlnná technika*. Brno: Skripta FEKT VUT v Brně, 2002. ISBN 80-214-2222-X.
- [9] Mouser.com [online]. Katalogový list EVE-GA1F2012M [cit. 2015-12-13]. Dostupné z: [http://www.mouser.com/ds/2/315/panasonic\\_atc0000ce4-551986.pdf](http://www.mouser.com/ds/2/315/panasonic_atc0000ce4-551986.pdf)
- [10] Mouser.com [online]. ECS-TXO-5032 [cit. 2015-12-13]. Dostupné z: <http://www.mouser.com/ds/2/122/ECS-TXO-5032-770276.pdf>
- [11] Mouser.com [online]. Katalogový list MAMXES0117 [cit. 2015-12-13]. Dostupné z: <http://www.mouser.com/ds/2/249/MAMXES0117-335782.pdf>
- [12] MYRRA [online]. Katalogový list DS484371 [cit. 2015-12-13]. Dostupné z: <http://www.farnell.com/datasheets/484371.pdf>
- [13] STMicroelectronics [online]. Katalogový list BAT42 [cit. 2015-12-13]. Dostupné z: <http://www.st.com/web/en/resource/technical/document/datasheet/CD00000814.pdf>
- [14] STMicroelectronics [online]. Katalogový list UA741 [cit. 2015-12-13]. Dostupné z: <http://www.st.com/web/en/resource/technical/document/datasheet/CD00001252.pdf>
- [15] STMicroelectronics [online]. Katalogový list BAT48 [cit. 2015-12-13]. Dostupné z: <http://www.st.com/web/en/resource/technical/document/datasheet/CD00000816.pdf>
- [16] Texas Instruments [online]. Katalogový list LM317 [cit. 2015-12-13]. Dostupné z: <http://www.ti.com/lit/ds/symlink/lm317.pdf>
- [17] Texas Instruments [online]. Katalogový list LM337 [cit. 2015-12-13]. Dostupné z: <http://www.ti.com/lit/ds/symlink/lm137.pdf>
- [18] TriQuint [online]. Katalogový list AG602 [cit. 2015-12-13]. Dostupné z: <http://www.triquint.com/products/d/DOC-A-00000311>
- [19] WÁGENR, Petr. *Vysokofrekvenční technika* [online]. Brno: FEKT VUT v Brně, 2013 [cit. 2015-12-13]. Dostupné z: [https://www.vutbr.cz/www\\_base/priloha.php?dpid=8330](https://www.vutbr.cz/www_base/priloha.php?dpid=8330)

# SEZNAM SYMBOLŮ, VELIČIN A ZKRATEK

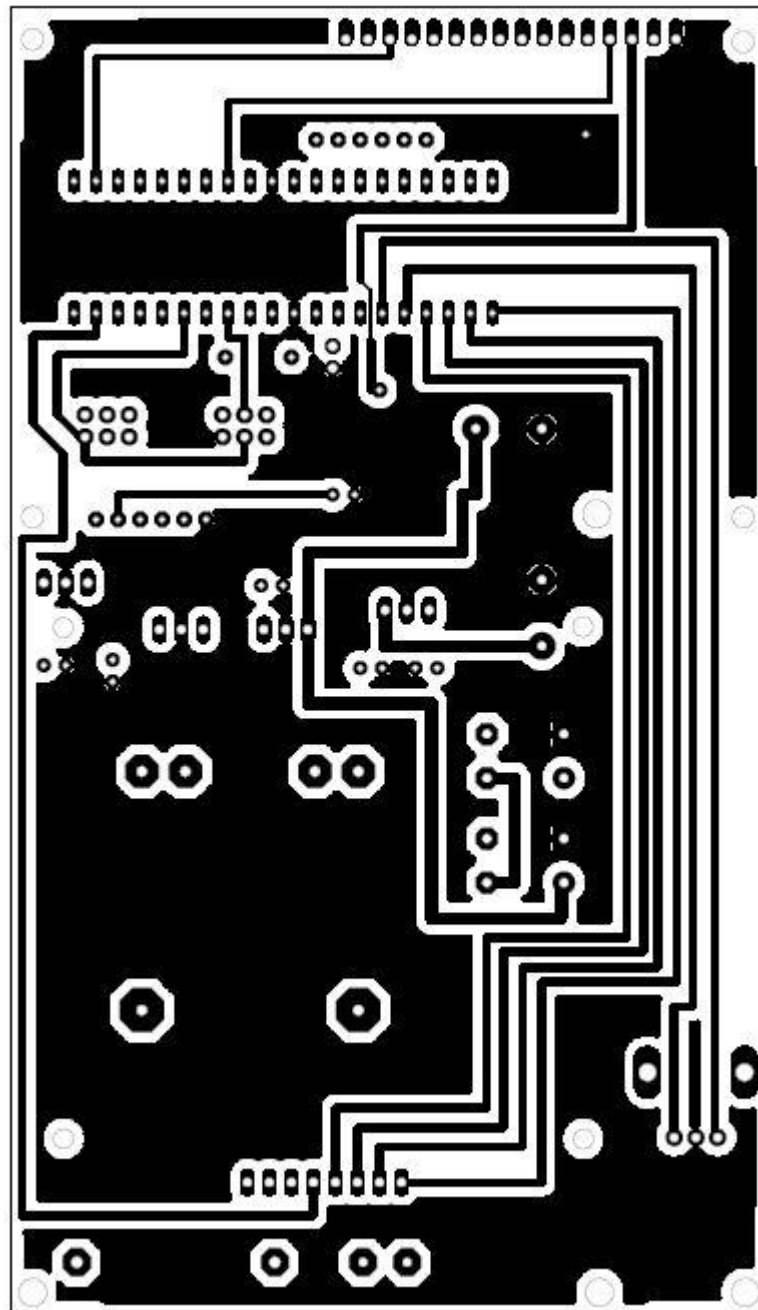
<i>AVR</i>	označení řady mikroprocesorů Atmel
<i>DDS</i>	Direct Digital Synthesis, přímá číslicová syntéza
<i>DP</i>	filtr typu dolní propust
<i>DPS</i>	deska plošných spojů
<i>LCD</i>	Liquid Crystal Display, displej s tekutými krystaly
<i>PLL</i>	Phase Locked Loop, smyčka fázového závěsu
<i>RISC</i>	Reduced Instruction Set Computer, redukováná instrukční sada
<i>RV</i>	oscilátor složený z odporu R a kapacitní diody V
<i>SPI</i>	Serial Peripheral Interface, sériové rozhraní periferie
<i>ss</i>	stejnoseměrné napětí
<i>USART</i>	Universal Synchronous Asynchronous Receiver Transmitter, univerzální synchronní / asynchronní sériové rozhraní
<i>VCO</i>	Voltage Controlled Oscillator, napětím řízený oscilátor
<i>vf</i>	vysokofrekvenční

# A NÁVRH ZAŘÍZENÍ

## A.1 Schéma zapojení řídicí části

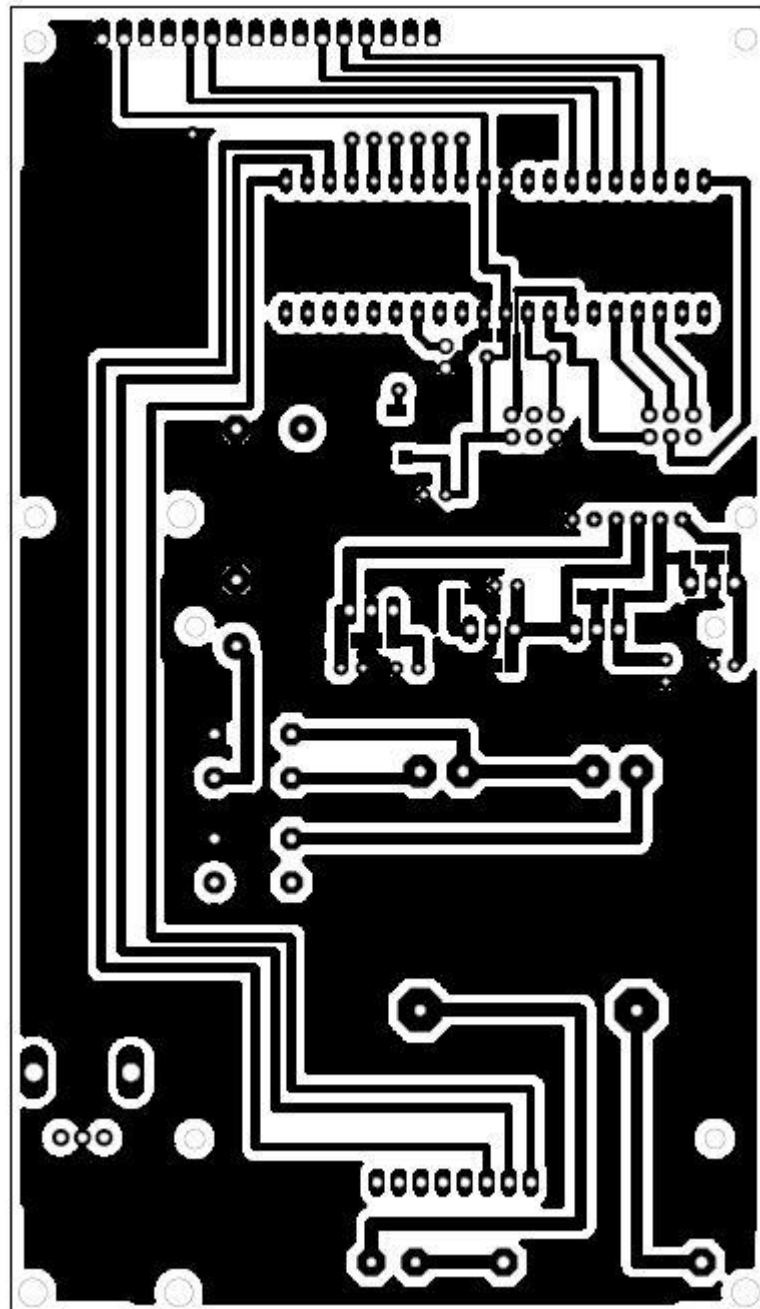


**A.2 Deska plošného spoje řídicí část – top (strana součástek)**



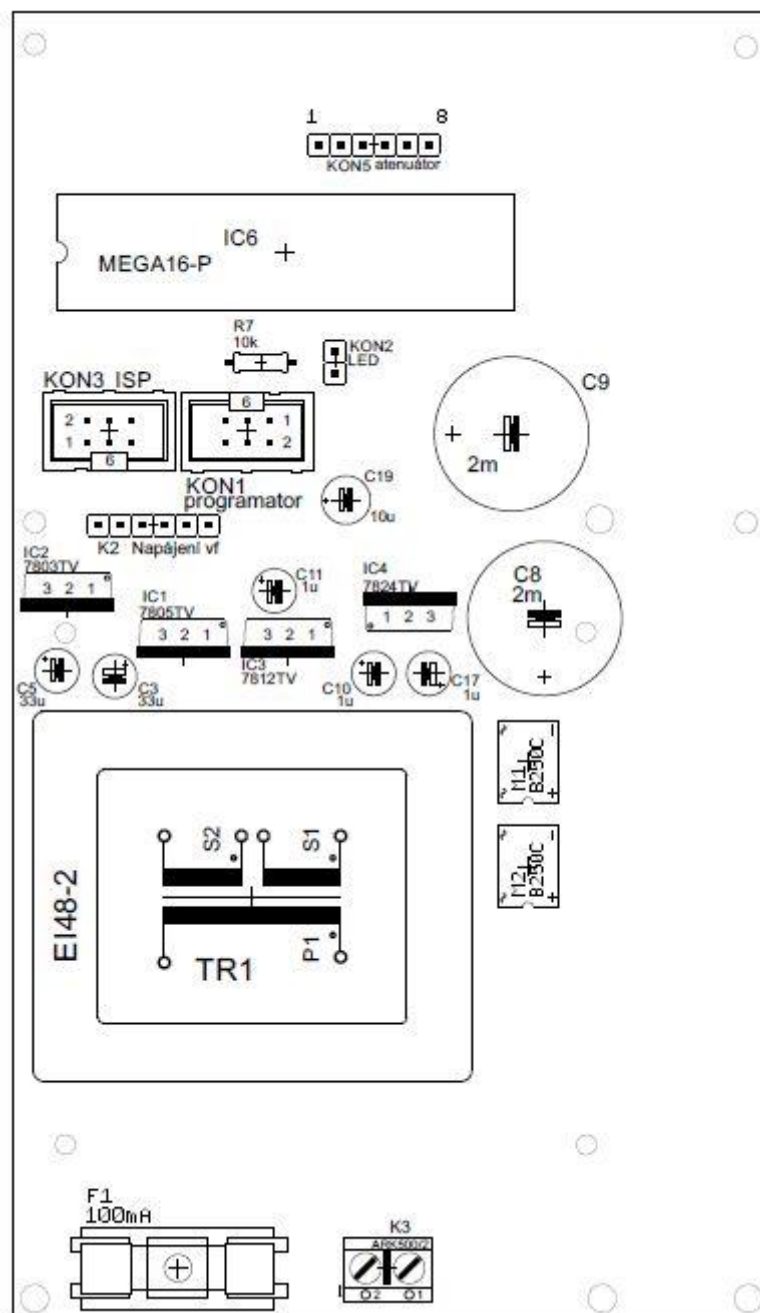
Rozměr desky 155 x 90 [mm], měřítko M1:1

### A.3 Deska plošného spoje řídicí část – bottom (strana spojů)

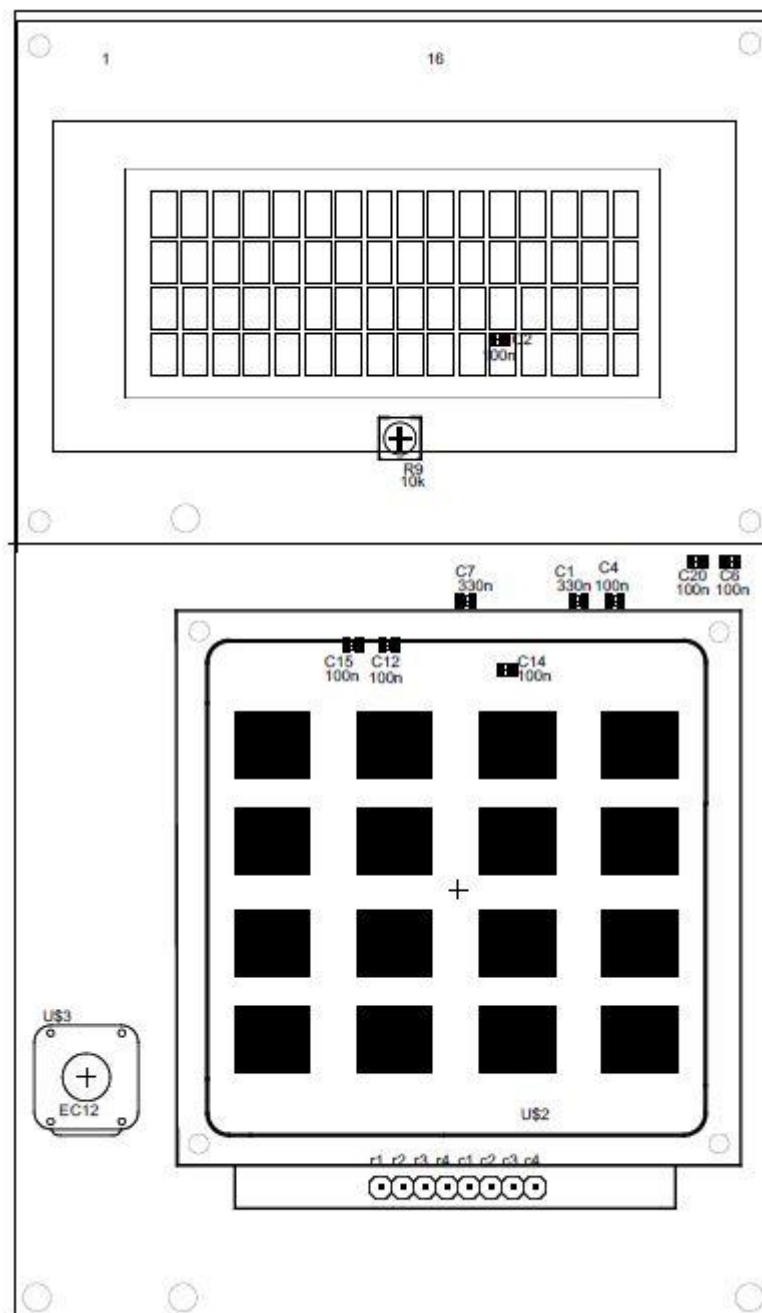


Rozměr desky 155 x 90 [mm], měřítko M1:1

## A.4 Osazovací plán řídicí části – top (strana součástek)



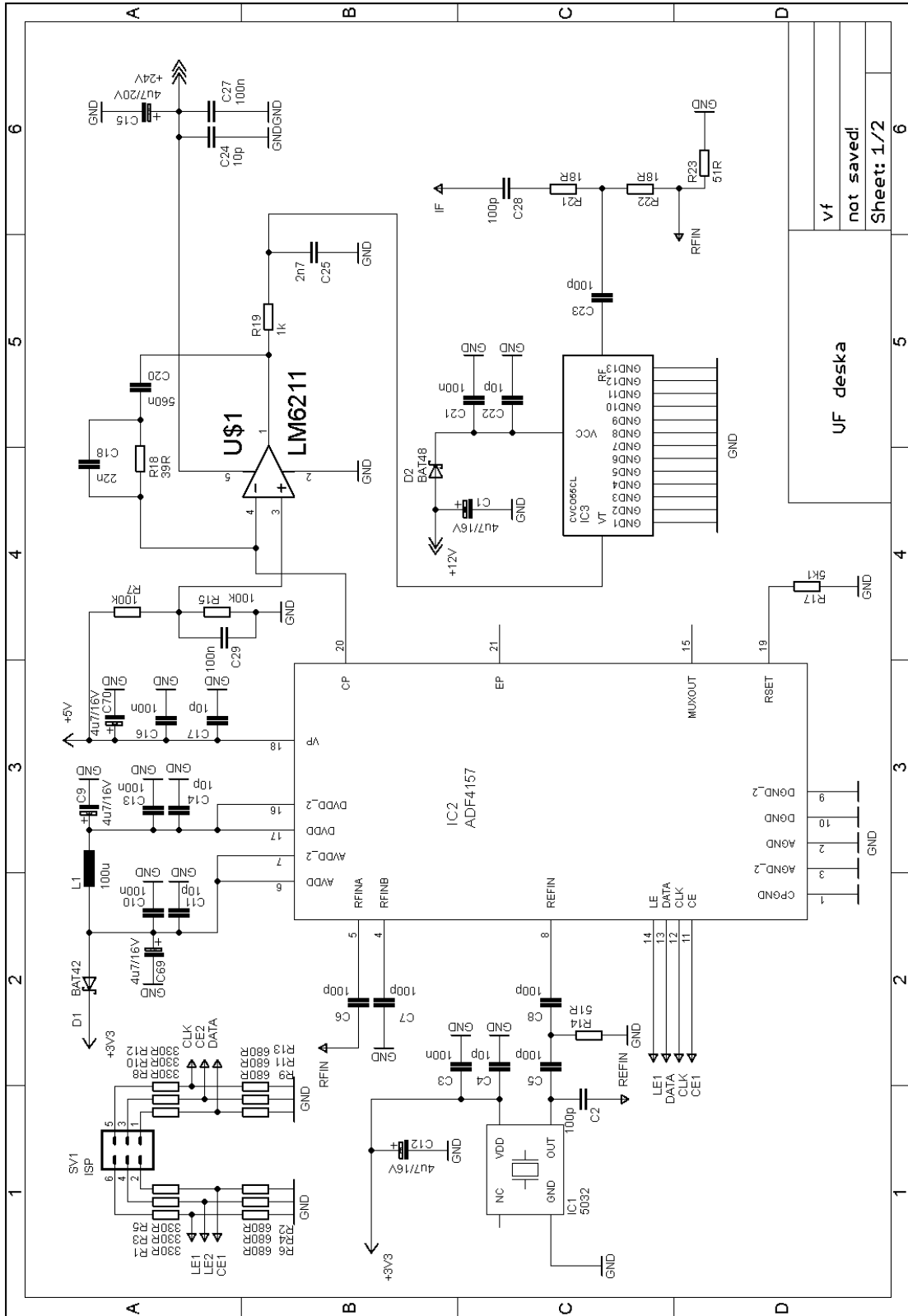
## A.5 Osazovací plán řídicí části – bottom (strana spojů)



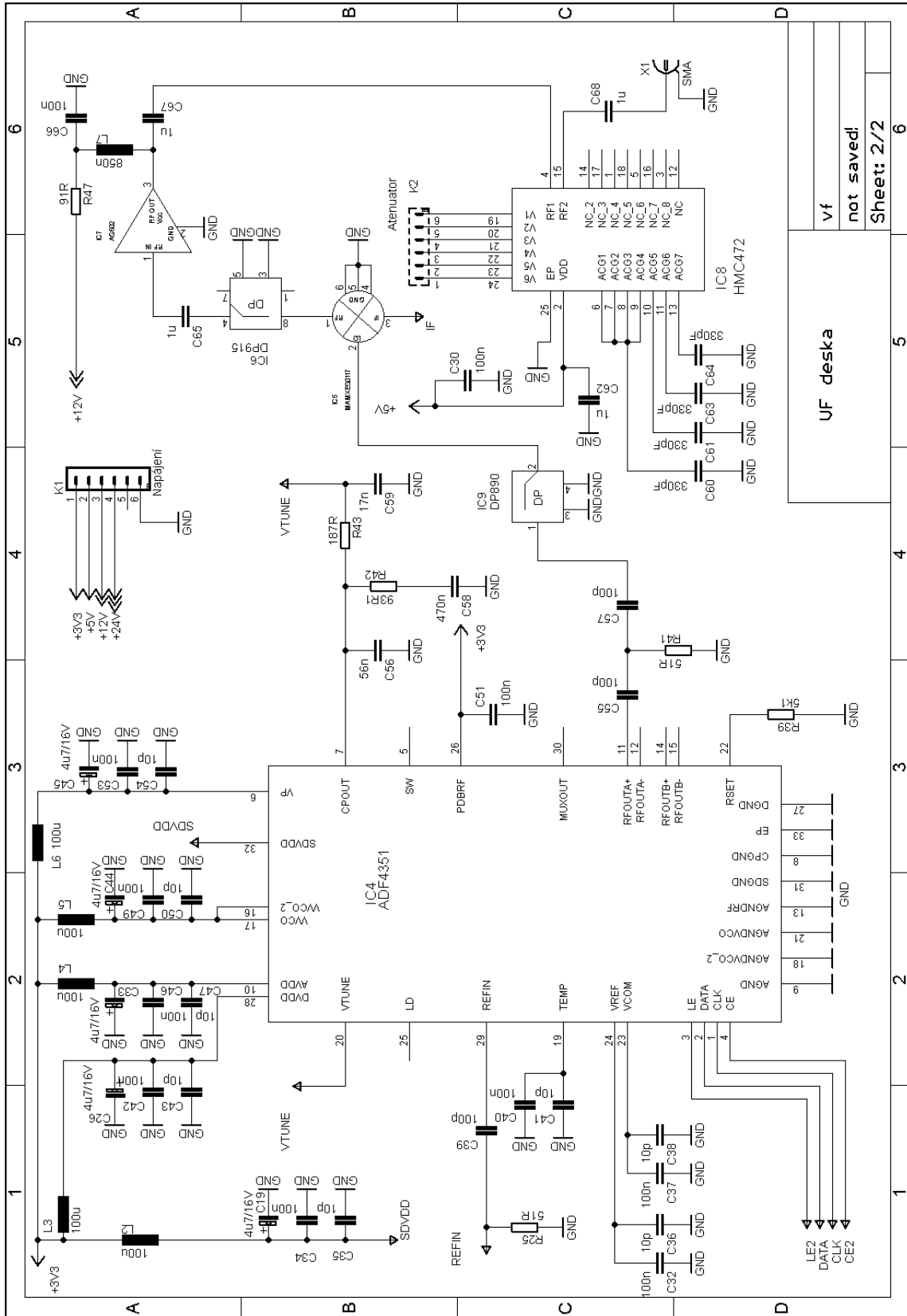
## A.6 Seznam součástek řídicí části

Počet	Hodnota	Součástka	Pouzdro	Označení
1		HAHN-BV-EI48-2	EI48-2	TR1
1		KEYPAD4X4	KEYPAD4X4	U\$3
1	100 mA	POJISTKYKS20	POJ_KS20	F1
7	100 nF	C-EUC0805	C0805	C1, C5, C6, C11, C12, C14, C17
1	10 kΩ	R-EU0207/7	0207/7	R1
1	10 kΩ	R-TRIMM4G/J	RTRIM4G/J	R2
1	10 uF	CPOL-EUE2,5-6E	E2,5-6E	C16
3	1 uF	CPOL-EUE2.5-5	E2,5-5	C9, C13, C15
2	2 mF	CPOL-EUE7.5-18	E7,5-18	C7, C8
2	330 nF	C-EUC0805	C0805	C3, C10
2	33 uF	CPOL-EUE2.5-5	E2,5-5	C2, C4
1	7803TV	786TV	TO220V	IC1
1	7805TV	7805TV	TO220V	IC2
1	7812TV	7812TV	TO220V	IC3
1	7824TV	7824TV	TO220V	IC4
1	ARK500/2	ARK500/2	ARK500/2	K1
2	B250C	D-MUSTEK_B250C1000DIL	DM_DB1	M1, M2
1	Klávesnice	KB1604-PAW	KB1604-PAW	U2
1	LCD-ST7066	RC1604A-BIW-ESX	RC1604A-BIW-ESX	U1
1	LED	S1G2_JUMP	S1G2_JUM	KON3
1	MEGA16-P	MEGA16-P	DIL40	IC5
1	Napájení vf	S1G6_JUMP	S1G6_JUM	K2
1	SPI	ML6	ML6	KON2
1	atenuátor	S1G6_JUMP	S1G6_JUM	KON4
1	programátor	ML6	ML6	KON1

# A.7 Schéma zapojení vysokofrekvenční části – list1

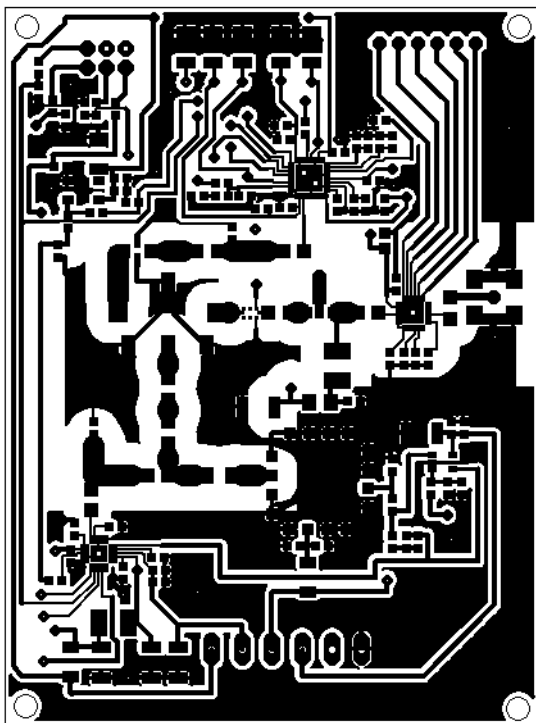


# A.8 Schéma zapojení vysokofrekvenční části – list 2



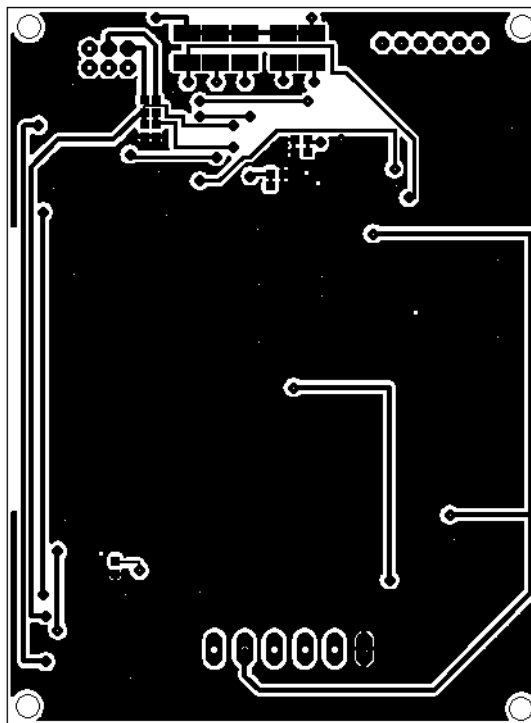
UF deska  
vf  
not saved!  
Sheet: 2/2  
6

## A.9 Deska plošného spoje vysokofrekvenční část – top (strana součástek)



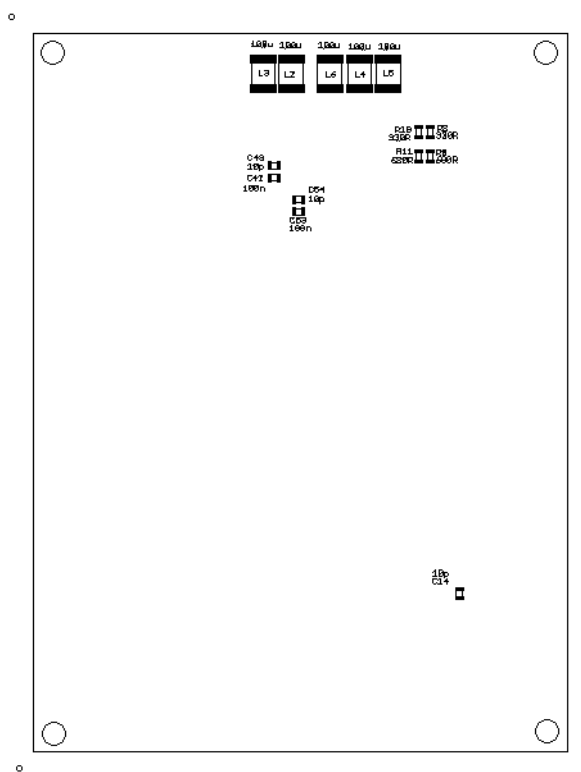
Rozměr desky 95 x 70 [mm], měřítko M1:1

## A.10 Deska plošného spoje vysokofrekvenční část – bottom (strana spojů)

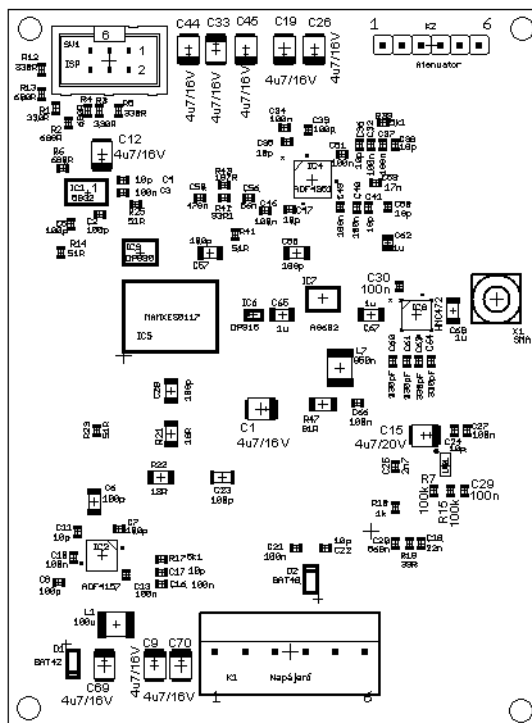


Rozměr desky 95 x 70 [mm], měřítko M1:1

## A.11 Osazovací plán vysokofrekvenční část – bottom (strana spojů)



## A.12 Osazovací plán vysokofrekvenční část – top (strana součástek)



## A.13 Seznam součástek pro vysokofrekvenční část

Počet	Hodnota	Součástka	Pouzdro	Označení
2	100 k $\Omega$	R-EU_R0603	R0603	R7, R15
18	100 nF	C-EUC0603	C0603	C3, C10, C13, C16, C21, C27, C29, C30, C32, C34, C37, C40, C42, C46, C49, C51, C53, C66
5	100 pF	C-EUC0603	C0603	C2, C5, C7, C8, C39
5	100 pF	C-EUC1206	C1206	C6, C28, C55, C57, C23
6	100 $\mu$ F	L-EUL1812	L1812	L1, L2, L3, L4, L5, L6
14	10 pF	C-EUC0603	C0603	C4, C11, C14, C17, C22, C24, C35, C36, C38, C41, C43, C47, C50, C54
1	17 nF	C-EUC0603	C0603	C59
1	187 $\Omega$	R-EU_R0603	R0603	R43
2	18 $\Omega$	R-EU_R1206	R1206	R21, R22
1	1 k $\Omega$	R-EU_R0603	R0603	R19
1	1 $\mu$ F	C-EUC0805	C0805	C62
3	1 $\mu$ F	C-EUC1206	C1206	C65, C67, C68
1	22 nF	C-EUC0603	C0603	C18
1	2,7 nF	C-EUC0603	C0603	C25
6	330 $\Omega$	R-EU_R0603	R0603	R1, R3, R5, R8, R10, R12
4	330 pF	C-EUC0603	C0603	C60, C61, C63, C64
1	39 $\Omega$	R-EU_R0603	R0603	R18
1	470 nF	C-EUC0603	C0603	C58
10	4,7 $\mu$ F/16 V	4M7/16V	B	C1, C9, C12, C19, C26, C33, C44, C45, C69, C70
1	4,7 $\mu$ F/20 V	4M7/20V	B	C15
1	5032	ECS-TXO-5032	ECS-TXO-5032	IC1
4	51 $\Omega$	R-EU_R0603	R0603	R14, R23, R25, R41
1	560 nF	C-EUC0603	C0603	C20
1	56 nF	C-EUC0603	C0603	C56
2	5,1 k $\Omega$	R-EU_R0603	R0603	R17, R39
6	680 $\Omega$	R-EU_R0603	R0603	R2, R4, R6, R9, R11, R13
1	850 nF	L-EUL1812	L1812	L7
1	91 $\Omega$	R-EU_M3216	M3216	R47

1	93 Ω	R-EU_R0603	R0603	R42
1	ADF4157	ADF4157BCPZ	CP_20_6	IC2
1	ADF4351	ADF4351BCPZ	CP_32_2	IC4
1	AG602	AG602	AG602	IC7
1	Atenuator	S1G6_JUMP	S1G6_JUM	K2
1	BAT42	BAT48	MINIMELF	D1
1	BAT48	BAT48	MINIMELF	D2
1	CVCO55CL	CVCO55CL	CVCO55CL	IC3
1	DP890	DP890	DP890	IC9
1	DP915	DP915	DP915	IC6
1	HMC472	HMC472ALP4ETR	HCP_24_1	IC8
1	SPI	ML6	ML6	SV1
1	LM6211	LM6211_I	SOT-23-5	U1
1	MAMXES0117	MAMXES0117	SM-2	IC5
1	Napájení	PSH04-06P	PSH04-06P	K1
1	SMA	SMA-SMD	SMA-SMD	X1

## A.14 Výkres pro výrobu předního panelu

