VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH A REALIZACE PĚTI-ÚROVŇOVÉHO KVANTOVACÍHO OBVODU

DESIGN AND REALISATION OF THE FIVE-LEVELS QUANTIZATOR

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE Bc. PAVEL ZEMAN
AUTHOR

VEDOUCÍ PRÁCE Ing. MICHAL PAVLÍK, Ph.D.
SUPERVISOR

BRNO 2010

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

Fakulta elektrotechniky a komunikačních technologií

Ústav mikroelektroniky

Diplomová práce

magisterský navazující studijní obor
Mikroelektronika

Student:	Bc. Pavel Zeman	***ID:***	77819
Ročník:	2	***Akademický rok:***	2009/2010

NÁZEV TÉMATU:

Návrh a realizace pěti-úrovňového kvantovacího obvodu

POKYNY PRO VYPRACOVÁNÍ:

V návrhovém prostředí CADENCE navrhněte analogově digitální převodník (kvantovací obvod) s rozlišením pěti kvantovacích hladin. Převodník navrhněte za použití principů techniky spínaných proudů. Správnost návrhu ověřte simulacemi.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání:	8.2.2010	***Termín odevzdání:***	27.5.2010

Vedoucí práce: Ing. Michal Pavlík, Ph.D.

prof. Ing. Vladislav Musil, CSc.
Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Abstrakt

Tato práce se zabývá návrhem pěti-úrovňového kvantovacího obvodu pro rychlé zpracování analogového signálu, který je založen na technice spínaných proudů. Cílem práce je rozebrat a využít výhody této techniky, jako je například potenciál vysoké rychlosti, a potlačit nepříznivé vlivy, kterými zmíněná technika trpí. Požadavek vysoké rychlosti směřuje celý návrh na použití paralelního zapojení převodníku A/D. Navrhovaný kvantovací obvod je určen pro začlenění do větších integrovaných systémů a své uplatnění může najít například v modulátorech delta-sigma vyššího řádu. Návrh převodníku je doložen simulacemi v prostředí CADENCE. Pro navrhovaný smíšený obvod je použita technologie AMIS CMOS 0,7 μm.

Abstract

The work deals with design and realisation of the five-levels high-speed quantizer using switched-current technique (SI). The main aim is to use an advantage of switched-current technique like potential of the high-speed operation and to minimize disadvantages at all. Flash structure of the quantizer is used to ensure high-speed operation. It is supposed that the quantizer will be part of greater integrated systems such as higher-order delta-sigma modulators. Simulations are performed in CADENCE simulation tool using AMIS CMOS 0,7 μm technologic process.

Klíčová slova

Technika spínaných proudů (SI), základní stavební bloky obvodové techniky spínaných proudů, chyby obvodové techniky spínaných proudů, paralelní převodník A/D v technologii CMOS, parametry převodníků A/D

Keywords

Switched-current technique (SI), basic building blocks of switched-current technique, errors of switched-current technique, high-speed CMOS flash A/D converter, parameters of ADC

Bibliografická citace díla

ZEMAN, P. *Návrh a realizace pěti-úrovňového kvantovacího obvodu.* Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2010. 50 s. Vedoucí diplomové práce Ing. Michal Pavlík, Ph.D.

Prohlášení autora o původnosti díla

Prohlašuji, že jsem tuto vysokoškolskou kvalifikační práci vypracoval samostatně pod vedením vedoucího diplomové práce, s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury. Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 27. 5. 2010

…….

Poděkování

Děkuji vedoucímu bakalářské práce Ing. Michalu Pavlíkovi, Ph.D. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady plnění úkolů realizovaných v průběhu zpracovávání diplomové práce.

OBSAH

ÚVOD **9**

1 TEORIE OBVODOVÉ TECHNIKY SPÍNANÝCH PROUDŮ **10**

1.1 CHYBY TECHNIKY SPÍNANÝCH PROUDŮ 12

1.1.1 Chyba nesymetrie tranzistorů *12*

1.1.2 Chyba pronikání hodinového signálu a injekce náboje *12*

1.1.3 Dynamický rozsah *12*

1.2 ZÁKLADNÍ BLOKY OBVODOVÉ TECHNIKY SPÍNANÝCH PROUDŮ 13

1.2.1 Proudová paměťová buňka první generace *13*

1.2.2 Proudová paměťová buňka druhé generace *14*

1.2.3 Proudová paměťová buňka s regulovanou kaskodou *15*

1.2.4 Dvojfázová proudová paměťová buňka *16*

1.2.5 Proudová paměťová buňka třídy AB *16*

1.2.6 Proudový komparátor *17*

2 TEORIE PŘEVODU ANALOGOVÉHO SIGNÁLU NA DIGITÁLNÍ **18**

2.1 PARALELNÍ PŘEVODNÍK A/D 18

2.2 ZÁKLADNÍ STATICKÉ A DYNAMICKÉ PARAMETRY PŘEVODNÍKŮ 19

2.2.1 Statické parametry převodníku A/D *20*

2.2.2 Dynamické parametry převodníku A/D *23*

3 NÁVRH KVANTOVACÍHO OBVODU **24**

3.1 KOMPARAČNÍ ČÁST REALIZOVANÁ TECHNIKOU SI 25

3.1.1 Komparační proudová buňka *25*

3.1.2 Diferenční proudová paměťová buňka *25*

3.1.3 Proudový komparátor *28*

3.2 PROUDOVÁ REFERENCE 30

3.3 ZDROJ HODINOVÉHO SIGNÁLU 34

3.4 SIMULACE ANALOGOVÉ ČÁSTI PĚTI-ÚROVŇOVÉHO KVANTOVACÍHO OBVODU 35

3.5 DIGITÁLNÍ ZPRACOVÁNÍ 36

3.6 PARAMETRY KVANTOVACÍHO OBVODU 38

4 ZÁVĚR **41**

SEZNAM POUŽITÉ LITERATURY **42**

SEZNAM ZKRATEK A SYMBOLŮ **44**

SEZNAM PŘÍLOH **46**

Úvod

Převodníky A/D (kvantovací obvody) nacházejí uplatnění všude tam, kde je zapotřebí analogový signál digitálně zpracovat. Nejčastěji se jedná o zpracování audio a video signálu, digitalizaci signálů z analogových snímačů apod. Digitální zpracování má celou řadu výhod, jako například dostupnost a nízkou cenu digitálních obvodů, pokročilé softwarové nástroje pro jejich programování atd.

Jelikož je realizována analogová i digitální část kvantovacího obvodu zpravidla na jednom čipu, návrh je omezen na použití jednoho druhu výrobní technologie. To přináší celou řadu komplikací, kterým musí výrobci čelit. V dnešní době se pro návrh převodníků A/D využívá nejčastěji technika spínaných kapacitorů, která v technologii CMOS vyžaduje použití lineárních kondenzátorů. Jejich přítomnost zvyšuje počet operací při výrobě čipu, čímž rostou také výrobní náklady. Jistou alternativou je proto použití techniky spínaných proudů.

Tato práce se zabývá návrhem pěti-úrovňového kvantovacího obvodu pro rychlé zpracování analogového signálu, který je založen právě na technice spínaných proudů. Cílem práce je rozebrat a využít výhody této techniky, jako je například potenciál vysoké rychlosti, a potlačit nepříznivé vlivy, kterými zmíněná technika trpí. Požadavek vysoké rychlosti směřuje návrh na použití paralelního zapojení převodníku A/D. Navrhovaný kvantovací obvod je určen pro začlenění do větších integrovaných systémů a své uplatnění může najít například v modulátorech delta-sigma vyššího řádu. Pro navrhovaný smíšený obvod je použita technologie AMIS CMOS 0,7 μm.

1 Teorie obvodové techniky spínaných proudů

Techniku spínaných proudů (*switched current – SI*) lze použít pro aplikace v převodnících A/D a analogových filtrech a nahradit tak techniku spínaných kapacitorů (*switched capacitor – SC*). Technika SC v technologii CMOS vyžaduje použití lineárních kondenzátorů, které zvyšují počet operací při výrobě čipu, a tak rostou také výrobní náklady. Technika SI naopak využívá parazitní kapacity v oblasti hradla MOS tranzistoru.

Pro proud tranzistorem MOS v saturaci platí vztah

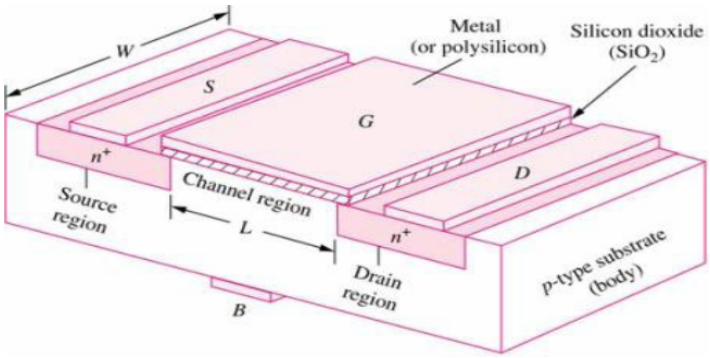
$$I_D = \frac{\mu.C_{OX}}{2}\frac{W}{L}\left(V_{GS} - V_T\right)^2.\left(1 + \lambda.V_{DS}\right) \qquad \text{pro } V_{DS} = V_{GS} - V_T, \qquad (1.1)$$

kde μ je pohyblivost nosičů náboje, C_{OX} je měrná kapacita hradla na čtverec, W je šířka kanálu, L je délka kanálu, V_{GS} je napětí mezi hradlem a elektrodou S, U_T je prahové napětí tranzistoru, λ je faktor modulace délky kanálu a V_{DS} je napětí mezi elektrodami D a S tranzistoru MOS (Obr. 1.1).

Zanedbáme-li faktor modulace délky kanálu, je možné rovnici zjednodušit na

$$I_D = \frac{\mu.C_{OX}}{2}\frac{W}{L}\left(V_{GS} - V_T\right)^2 \qquad \text{pro } V_{DS} = V_{GS} - V_T \qquad (1.2)$$

Z této rovnice vyplývá, že proud tranzistorem MOS je určen pouze napětím V_{GS}. Vzhledem k vysoké impedanci hradla MOS tranzistoru může dojít k „zapamatování“ napětí V_{GS} prostřednictvím parazitní kapacity v oblasti hradla. Díky tomu zůstane tranzistor ve stejném pracovním bodě i po odpojení hradla a poteče přes něj konstantní proud. Toto je základní princip všech obvodů, které využívají techniky SI.



Obr. 1.1: Struktura tranzistoru NMOS

Protože obvody využívající techniky SI pracují v proudovém módu, je jejich rychlost omezena pouze dobou ustálení, která je dána časovou konstantou

$$\tau = \frac{C}{g_m}, \tag{1.3}$$

kde C je celková kapacita hradla paměťového tranzistoru a g_m je jeho transkonduktance. Pro proudovou paměťovou buňku druhé generace (Obr. 1.4) lze kapacitu hradla C_{GS} dle [1] vypočítat

$$C_{GS} = \frac{2}{3} C_{OX} W.L \tag{1.4}$$

Transkonduktance je dána vztahem

$$g_m = \mu.C_{OX}.\frac{W}{L}\left(V_{GS} - V_T\right) \tag{1.5}$$

Dosazením rovnice (1.4) a (1.5) do rovnice (1.3) dostaneme vztah pro výpočet časové konstanty proudové paměťové buňky druhé generace

$$\tau = \frac{2}{3}\frac{L^2}{\mu.(V_{GS} - V_T)} \tag{1.6}$$

Pokud do tohoto vztahu dosadíme technologické parametry pro použitou technologii AMIS CMOS 0,7 μm (minimální délka kanálu tranzistoru L = 0,7 μm) a budeme uvažovat napětí $V_{GS} - V_T$ = 0,5 V, dostaneme hodnotu časové konstanty τ = 13 ps. Tato hodnota je pouze teoretická, naznačuje však potenciál pro použití techniky SI v aplikacích pracujících na vysokých kmitočtech. Další výhodou může být fakt, že nosičem informace v technice SI je velikost proudu a impedance ve všech uzlech obvodu je tudíž nízká. Díky tomu je možné použít nízké napájecí napětí bez vlivu na vstupní rozsah zpracovávaného signálu. Praktický návrh však ovlivňují chyby, které použití techniky SI limitují.

1.1 Chyby techniky spínaných proudů

Kromě výše zmíněných výhod techniky SI je tato technika limitována určitými chybami. Nejvýznamnější z nich budou rozebrány v této části.

1.1.1 Chyba nesymetrie tranzistorů

Při technologickém procesu výroby čipu není možné zaručit absolutní rozměrovou přesnost navržených součástek (*mismatching*). S tímto problémem se potýkáme ve všech v současnosti využívaných obvodových technikách. Při použití techniky SI lze tento problém částečně řešit použitím paměťové buňky druhé generace. Velmi důležitou roli však hraje symetrie proudových zrcadel, které nastavují pracovní proudy v obvodu.

1.1.2 Chyba pronikání hodinového signálu a injekce náboje

Chyba pronikání hodinového signálu (*clock feedthrough – CFT*) je neodmyslitelně spojena s analogovými vzorkovacími obvody. Dochází zde k znehodnocování vstupního užitečného signálu signálem hodinovým, který proniká přes spínací tranzistory do analogové části obvodu. V technice SI se tato chyba stává dominantní a limituje její použití [1].

Chyba CFT je způsobena parazitní kapacitou hradla spínacích tranzistorů a závisí tak na jejich velikosti. Bylo uvedeno, že kapacita hradla MOS tranzistoru je dána rovnicí 1.4. Při nabíjení této kapacity je do prostoru kanálu přitahován náboj o velikosti

$$Q_{cft} = \frac{2}{3} C_{OX}.W.L.(V_H - V_T - V_S), \qquad (1.7)$$

kde C_{OX} je měrná kapacita hradla MOS tranzistoru na čtverec, V_H je napětí hodinového signálu v úrovni log. 1, V_T je prahové napětí spínacího tranzistoru a V_S je napětí mezi elektrodou S spínacího tranzistoru a nulovým potenciálem obvodu.

Nashromážděný náboj v kanálu spínacího tranzistoru musí být při změně úrovně hodinového signálu a vypnutí tranzistoru z kanálu odveden. Tím dojde ke vzniku chyby injekce náboje (*charge injection*).

1.1.3 Dynamický rozsah

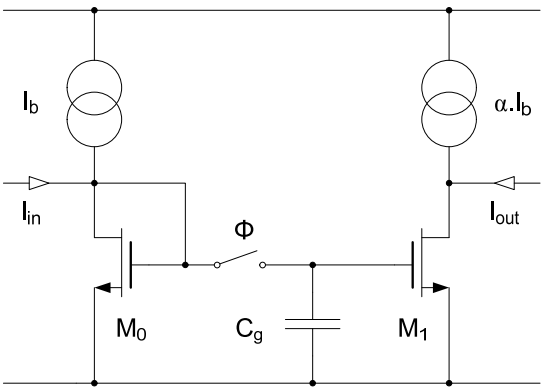
Dynamický rozsah obvodů založených na technice SI je obvykle menší ve srovnání s obvody SC. Dynamický rozsah závisí především na velikosti proudu v pracovním bodě spínacího tranzistoru (I_b). Zvětšení hodnoty tohoto proudu přináší i zvýšení spotřeby celého obvodu. Celková rychlost obvodu tímto ovlivněna není, protože šířka kanálu paměťového tranzistoru W, která se pro stejnou hodnotu napětí $V_{GS} - V_T$ změní, ve výsledném vztahu 1.6 nefiguruje.

1.2 Základní bloky obvodové techniky spínaných proudů

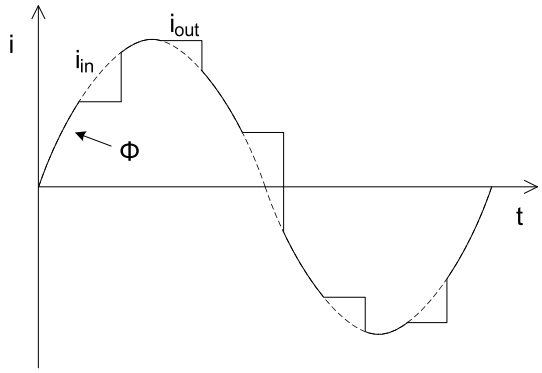
Základní stavební jednotkou obvodové techniky spínaných proudů je proudová paměťová buňka. Kromě proudové paměťové buňky první a druhé generace bude tato část dále zaměřena i na popis složitějších bloků, které vznikly rozšířením proudové paměťové buňky.

1.2.1 Proudová paměťová buňka první generace

Proudová paměťová buňka (*current memory cell - CMC*) první generace je tvořena dvojicí tranzistorů MOS (Obr. 1.2). Pracovní bod každého tranzistoru je nastaven proudovým zdrojem I_b. Činnost paměťové buňky je řízena hodinovým signálem Φ. V první fázi je spínač sepnut a obvod se chová jako proudové zrcadlo. Výstupní signál I_{out} tak sleduje signál vstupní I_{in}. Dochází také k nabíjení parazitní kapacity hradla C_g a tím k „zapamatování“ napětí V_{GS}. V další fázi je spínač rozepnut a po dobu trvání této fáze teče přes tranzistor M_1 kromě proudu I_b také konstantní výstupní proud I_{out}, jejichž součet odpovídá „zapamatovanému“ napětí V_{GS} podle rovnice 1.1. Obvod tedy pracuje v režimu track-and-hold (Obr. 1.3).



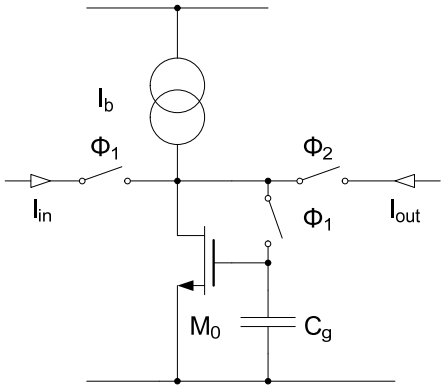
Obr. 1.2: Proudová paměťová buňka první generace



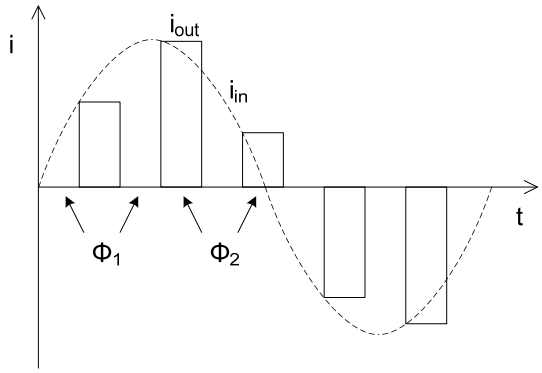
Obr. 1.3: Princip činnosti proudové paměťové buňky první generace

1.2.2 Proudová paměťová buňka druhé generace

CMC druhé generace (Obr. 1.4) je tvořena pouze jediným tranzistorem. Pracovní bod tranzistoru je nastaven proudovým zdrojem I_b. V první fázi (Φ_1) je tranzistor v diodovém zapojení a vstupní proud I_{in} tekoucí přes něj způsobí změnu napětí V_{GS}. Toto napětí je „zapamatováno“ prostřednictvím parazitní kapacity hradla C_g. V této fázi je výstup proudové paměťové buňky odpojen. Ve druhé fázi (Φ_2) dojde k odpojení vstupního proudu I_{in} a hradla paměťového tranzistoru. K tranzistoru je nyní připojen výstup, tranzistorem protéká kromě proudu I_b také konstantní výstupní proud I_{out}, jejichž součet odpovídá „zapamatovanému“ napětí V_{GS} podle rovnice 1.1. Obvod pracuje v režimu sample-and-hold (Obr. 1.5).



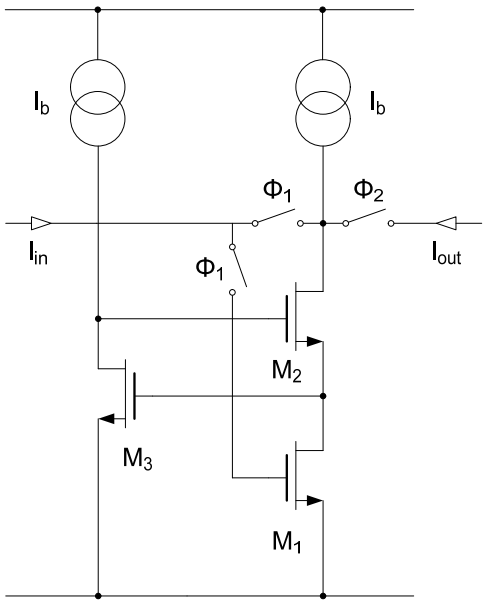
Obr. 1.4: Proudová paměťová buňka druhé generace



Obr. 1.5: Princip činnosti proudové paměťové buňky druhé generace

1.2.3 Proudová paměťová buňka s regulovanou kaskodou

Pro snížení výstupní vodivosti CMC lze použít zapojení s regulovanou kaskodou (Obr. 1.6), [1], [2], [4]. To je tvořeno kaskodovým tranzistorem M_2 a regulačním tranzistorem M_3, které společně tvoří zápornou zpětnou vazbu. Její nevýhodou je delší doba ustálení signálu.



Obr. 1.6: Proudová paměťová buňka s regulovanou kaskodou

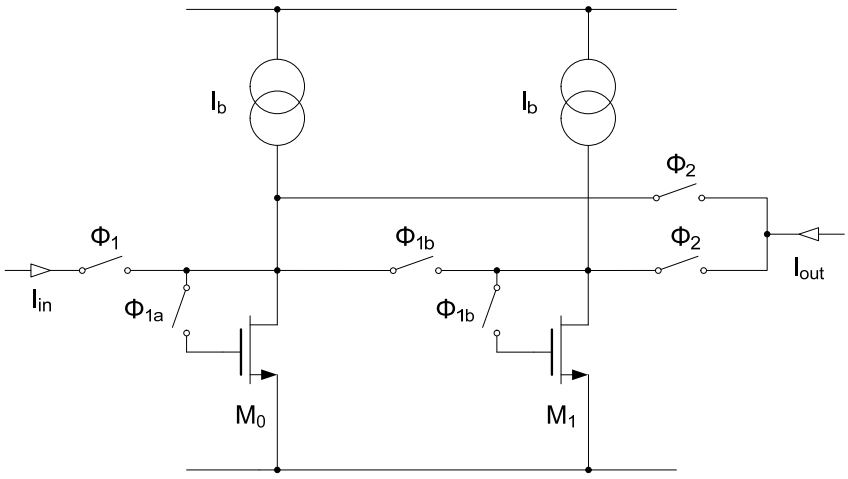
Výstupní vodivost paměťové buňky s regulovanou kaskodou je dána

$$g_{out} = \frac{g_{dsM1}}{A_{M2}.A_{M3}} = \frac{g_{dsM1}}{\frac{g_{mM2}}{g_{dsM2}}\frac{g_{mM3}}{g_{dsM3}}}, \tag{1.8}$$

kde g_{dsM1} je výstupní vodivost paměťového tranzistoru M_1, A_{M2} je zesílení kaskodového tranzistoru M_2, A_{M3} je zesílení regulačního tranzistoru M_3, g_{mM2} je transkonduktance kaskodového tranzistoru M_2, g_{dsM2} je výstupní vodivost kaskodového tranzistoru M_2, g_{mM3} je transkonduktance regulačního tranzistoru M_3 a g_{dsM3} je výstupní vodivost regulačního tranzistoru M_2. Ze vztahu vyplývá, že výstupní vodivost paměťové buňky s regulovanou kaskodou je snížena násobkem zisku tranzistorů M_2 a M_3.

1.2.4 Dvojfázová proudová paměťová buňka

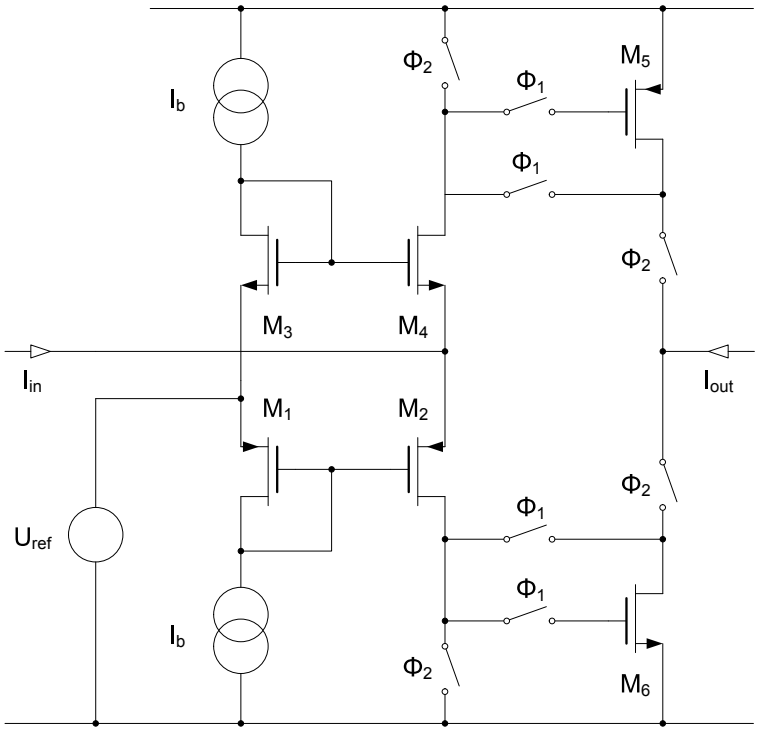
Jedná se o dvě paměťové buňky druhé generace zapojené v kaskádě (Obr. 1.7), [1]. Obvodová technika SI je ovlivňována mnoha parazitními jevy, které lze omezit použitím tohoto zapojení. Tranzistor M_0 má mnohem větší rozměry než tranzistor M_1. V první fázi (Φ_{1a}) je „zapamatován“ vstupní proud prostřednictvím tranzistoru M_0. Po skončení fáze Φ_{1a} je hradlo tranzistoru M_0 odpojeno a vlivem pronikání hodinového signálu a chyby injekce náboje může dojít k vychýlení pracovního bodu tohoto tranzistoru. V další fázi (Φ_{1b}) protéká přes tranzistor M_0 stále vstupní proud I_{in}. Chybový proud vzniklý změnou pracovního bodu tranzistoru M_0 je zapamatován prostřednictvím tranzistoru M_1. Proudové příspěvky z obou paměťových buněk jsou v závěrečné fázi (Φ_2) na výstupu sečteny, díky čemuž lze snížit odchylku výstupního proudu I_{out} od proudu vstupního I_{in}. Propojením většího množství proudových paměťových buněk druhé generace lze realizovat i vícefázovou paměťovou buňku.



Obr. 1.7: Dvojfázová proudová paměťová buňka

1.2.5 Proudová paměťová buňka třídy AB

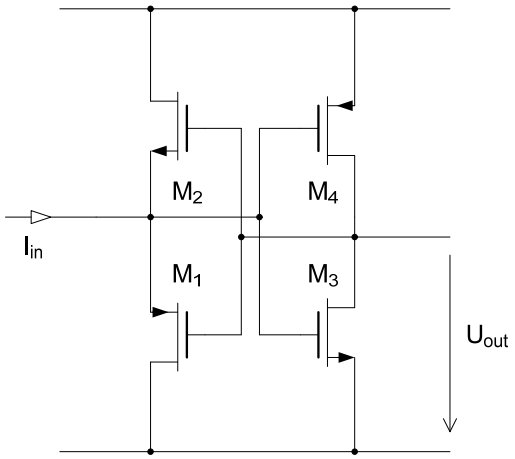
Základem pro CMC třídy AB (Obr. 1.8) jsou dvě paměťové buňky druhé generace. Při kladné orientaci vstupního proudu I_{in} ve fázi Φ_1 dojde k rozvážení proudů, které protékají tranzistory M_2 a M_4 takovým způsobem, že přes tranzistor M_4 poteče menší proud než tranzistorem M_2. Tento děj je zaznamenán paměťovými tranzistory M_5 a M_6. Ve fázi Φ_2 jsou tranzistory M_5 a M_6 zapojeny do jedné společné větve. Každý tranzistor si však „pamatuje“ jinou hodnotu proudu, proto poteče do buňky rozdílový proud I_{out}.



Obr. 1.8: Proudová paměťová buňka třídy AB

1.2.6 Proudový komparátor

Pro vyhodnocení směru proudu v obvodech, které pracují v proudovém modu je zapotřebí použít proudový komparátor. Jednoduchý „Traffův“ proudový komparátor (Obr. 1.9) sestává z invertoru (M_3 a M_4) a smyčky kladné zpětné vazby (M_1 a M_2), díky které dosáhne komparátor nízké hodnoty vstupního odporu [9], [11]. Proudový komparátor vyhodnotí směr proudu na svém vstupu a v závislosti na něm nastaví patřičnou logickou napěťovou úroveň na svém výstupu. Jeho nevýhodou je pomalá odezva při nízkých hodnotách vstupního proudu.



Obr. 1.9: „Traffův“ proudový komparátor

2 Teorie převodu analogového signálu na digitální

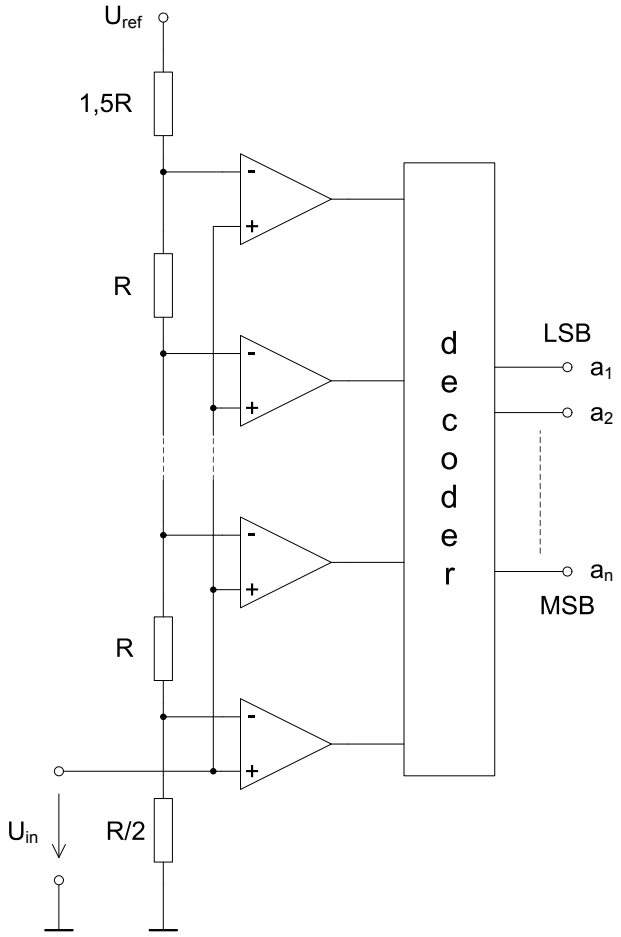
Tématem této práce je návrh rychlého převodníku A/D s pěti kvantovacími úrovněmi. Tento požadavek směřuje celý návrh k využití paralelního (*flash*) převodníku A/D, jehož princip činnosti bude rozebrán v této kapitole. Dále budou popsány statické a dynamické parametry převodníků A/D a chyby vznikající při převodu analogového signálu na digitální.

2.1 Paralelní převodník A/D

Paralelní (*komparační, flash*) převodníky A/D využívají přímé porovnání měřeného a referenčního napětí (proudu). Dosahují tak krátké doby převodu. Nevýhodou je velký počet komparátorů a složitost dekodéru (u převodníků s velkým rozlišením). Počet komparátorů k u paralelního převodníku A/D lze vypočítat

$$k = 2^N - 1 \tag{2.1}$$

kde N je rozlišení převodníku.



Obr. 2.1: Zjednodušené schéma paralelního převodníku A/D

Princip činnosti paralelního převodníku A/D (Obr. 2.1) je následující. Vstupní analogový signál U_{in} je přiveden paralelně na řadu komparátorů. Na každý komparátor je rovněž připojena poměrná část referenčního napětí U_{ref} získaná na rezistorové síti. Tím je vytvořena napěťová úroveň pro každou možnou kvantovací hladinu. Komparační úrovně jsou voleny do středů intervalů mezi požadované kvantovací úrovně. To je zajištěno použitím rezistorů o velikosti odporu R/2 a 1,5R v rezistorové síti převodníku. Díky tomu vypadá převodní charakteristika převodníku A/D dle obrázku 2.2.

Po přivedení vstupního napětí U_{in} všechny komparátory porovnají jeho hodnotu s referenčním napětím na svém vstupu a rozhodnou o logické úrovni na svém výstupu. Výstupy všech komparátorů jsou dále přivedeny na dekodér, který zajistí převedení na paralelní binární kód.

2.2 Základní statické a dynamické parametry převodníků

Statické parametry převodníků jsou určovány pomocí převodní charakteristiky, zatímco dynamické se vyhodnocují z kmitočtového spektra převodníku [7], [8].

Mezi základní statické parametry patří:

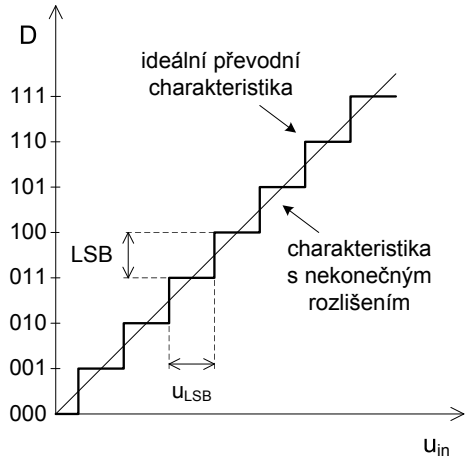
- rozlišení převodníku (*resolution*)
- rozsah
- chyba nastavení nuly (*offset error*)
- chyba zesílení (*gain error*)
- integrální nelinearita (*integral nonlinearity – INL*)
- diferenciální nelinearita (*differential nonlinearity – DNL*)
- chyba monotónnosti
- hystereze a další

K hlavním dynamickým parametrům patří

- odstup signál-šum (*signal to noise ratio – SNR*)
- efektivní počet bitů (*effective number of bits – ENOB*)
- odstup signál-šum a zkreslení (*signal to noise ratio and distortion – SINAD (SNDR)*)
- doba ustálení a další

2.2.1 Statické parametry převodníku A/D

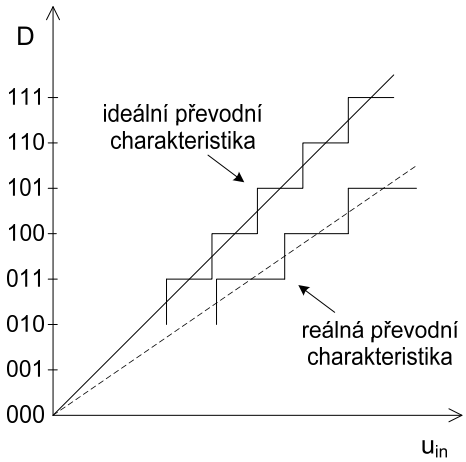
Statické parametry převodníku A/D vystihuje jeho převodní charakteristika. Ideální převodní charakteristika převodníku s rozlišením 3 bity je uvedena na obrázku 2.2. Porovnáním skutečné a ideální převodní charakteristiky převodníku A/D lze určit chybu zesílení, chybu nuly a chybu linearity (*INL, DNL*). Chyba se nejčastěji vyjadřuje v nejmenších jednotkách výstupní veličiny (LSB).



Obr. 2.2: Převodní charakteristika převodníku A/D

Chyba zesílení:

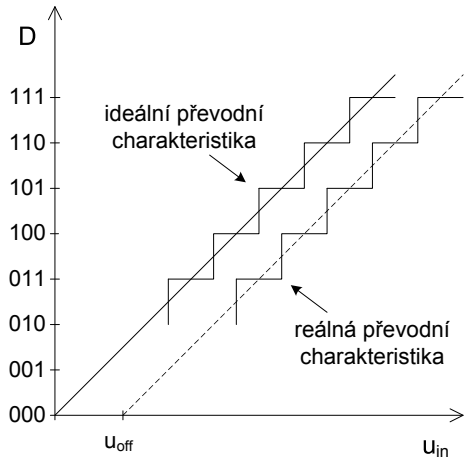
Na obrázku 2.3 je zobrazena převodní charakteristiku převodníku A/D s nesprávnou hodnotou zesílení. Absolutní hodnota této chyby narůstá lineárně se vstupním napětím u_{in} a maxima nabývá při plném rozsahu převodníku. Tato chyba je obvykle způsobena nepřesností váhových rezistorů, nebo nepřesností referenčního zdroje napětí či proudu. Ve většině případů ji lze eliminovat.



Obr. 2.3: Převodní charakteristika převodníku A/D - chyba zesílení

Chyba nastavení nuly (offset error):

Na obrázku 2.4 je zobrazena převodní charakteristika rovnoběžně posunutá o chybu nastavení nuly. Tato chyba je charakterizována chybovým napětím u_{off}. Obvykle bývá způsobena vstupní napěťovou nebo proudovou nesymetrií použitých operačních zesilovačů. Ve většině případů ji lze eliminovat.



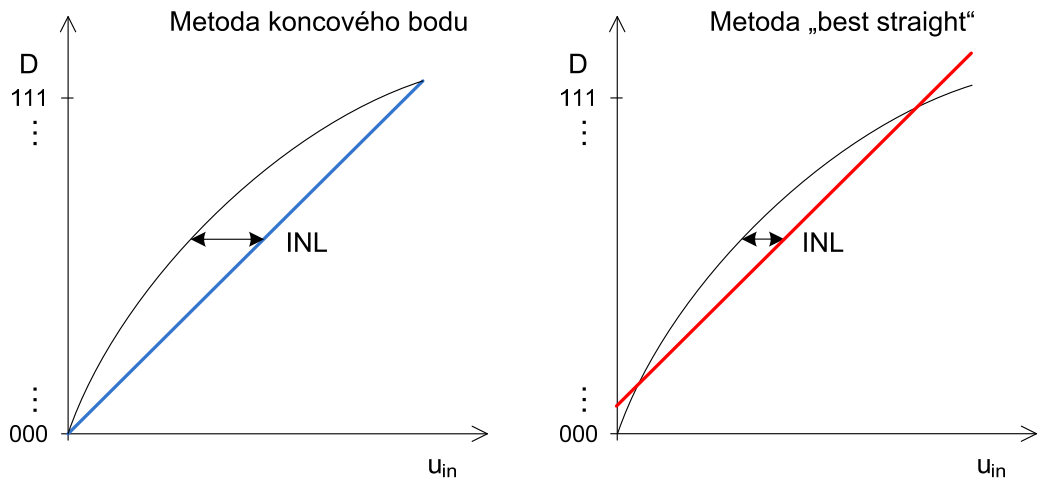
Obr. 2.4: Převodní charakteristika převodníku A/D - chyba nuly

Parametry charakterizující linearitu převodní charakteristiky:

Integrální nelinearita (INL) – Integrální nelinearita udává odchylku od ideální převodní charakteristiky pro každou kvantovací úroveň. Existují dvě metody měření integrální nelinearity – metoda koncového bodu a metoda nazvaná „best straight“. Rozdíl mezi oběma metodami nejlépe vystihuje obrázek 2.5. V případě metody „best straight“ vychází integrální nelinearita poloviční v porovnání s metodou koncového bodu.

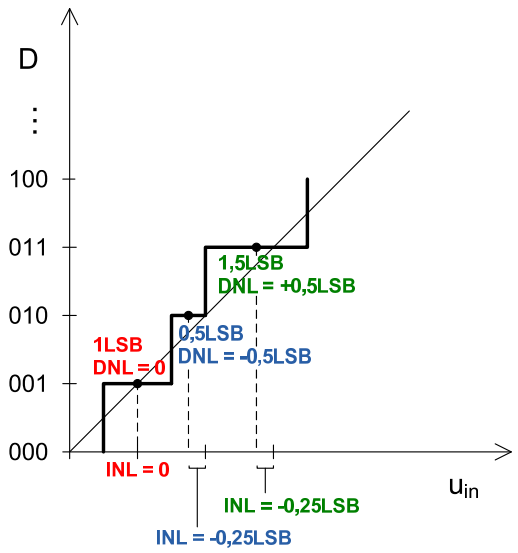
Diferenciální nelinearita (DNL) – Při zjišťování diferenciální nelinearity posuzujeme vždy pouze dvě po sobě jdoucí kvantovací úrovně reálné převodní charakteristiky. Vzdálenost mezi jednotlivými kvantovacími úrovněmi by měla vždy odpovídat hodnotě LSB. Pokud tomu tak není, vzniká diferenciální nelinearita.

Problematika měření *INL* a *DNL* je u převodníku A/D mnohem komplikovanější, než by tomu bylo u převodníku D/A, kde stačí pouze změřit výstupní napětí pro každou kvantovací úroveň převodníku a změřená data zpracovat.



Obr. 2.5: Rozdíl mezi metodou koncového bodu a metodou „best straight“ při měření INL [8]

U převodníku A/D lze postupovat následovně. Na vstup převodníku je přiveden ideální pilový signál, jehož frekvence musí být mnohem nižší, než je vlastní vzorkovací kmitočet převodníku. Následně je změřena převodní charakteristika převodníku, která může vypadat například dle obrázku 2.6. Z takto změřené charakteristiky je možné odečíst chybu *INL* a *DNL*. Ideálně by šířka každé kvantovací úrovně měla odpovídat napětí LSB. Pokud tomu tak není, vzniká chyba *DNL*. Pro zjištění chyby *INL* je nutné vyznačit střed každé kvantovací úrovně. Ten by měl ideálně odpovídat teoreticky vypočtené hodnotě napětí. Jakákoli odchylka od této hodnoty způsobí vznik *INL*.



Obr. 2.6: Měření *INL* a *DNL* u převodníku A/D

2.2.2 Dynamické parametry převodníku A/D

Odstup signál-šum (*signal to noise ratio – SNR*) se vyhodnocuje z kmitočtového spektra signálu, kdy užitečný signál odpovídá první harmonické složce. Pokud zvýšíme rozlišení převodníku o 1 bit, dosáhneme dvojnásobného zlepšení odstupu užitečného signálu od šumu, čemuž odpovídá hodnota 6,02 dB. Pro harmonický signál platí

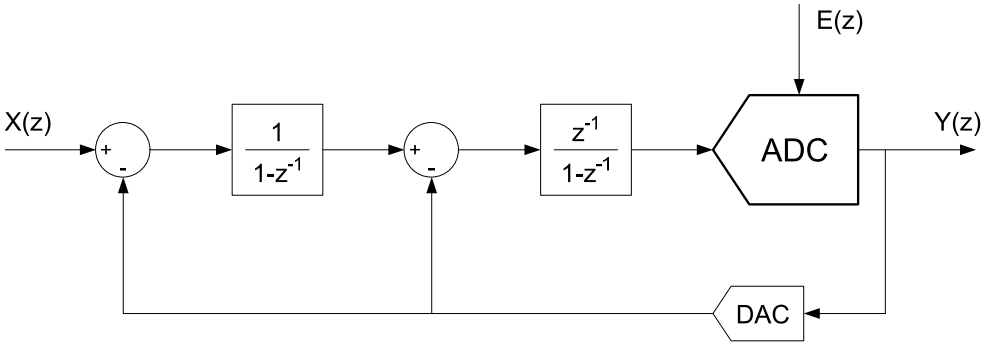
$$SNR = 6{,}02.ENOB + 1{,}76\,, \qquad (2.2)$$

kde *ENOB* je efektivní počet bitů převodníku (*effective number of bits*). Tento vztah však zahrnuje pouze informaci o šumu, který vzniká převodem spojitého signálu na diskrétní (kvantizační šum). *ENOB* ve skutečnosti udává, jaké rozlišení by musel mít ideální převodník, který kromě kvantizačního šumu nepřidává žádné další rušení a chyby. Efektivní počet bitů je vždy menší, než skutečné rozlišení převodníku.

U reálných převodníků se však kromě kvantizačního šumu uplatňují ještě další rušivé vlivy, jako pronikání hodinového signálu z digitální části převodníku, šum a zkreslení vstupních analogových obvodů a také nelinearita. Pro zjištění reálné hodnoty odstupu signálu od šumu se při specifikaci parametrů převodníku postupuje tak, že známý ideální signál je přiveden na vstup převodníku A/D a z číslicové podoby signálu na jeho výstupu se matematicky odvodí poměr signál/šum. V tomto případě se jedná o parametr označovaný *SINAD* (někdy také *SNDR – signal to noise ratio and distortion*).

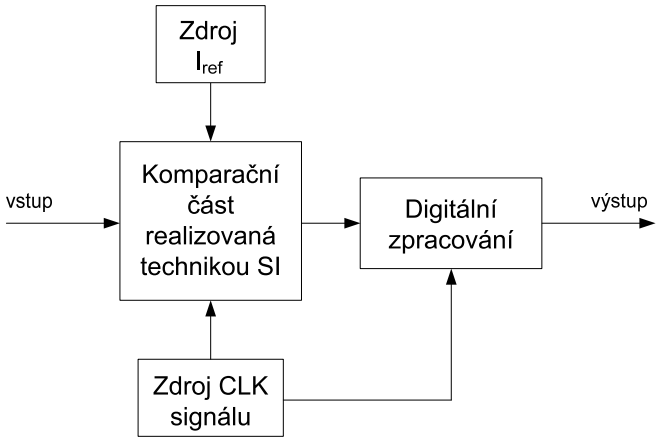
3 Návrh kvantovacího obvodu

Tématem práce je návrh a realizace pěti-úrovňového kvantovacího obvodu pro vysokorychlostní zpracování analogového signálu (desítky MS/s), který využívá techniky spínaných proudů. Kvantovací obvod je určen pro začlenění do větších integrovaných systémů a je vhodný pro využití v modulátorech delta-sigma vyššího řádu. Blokovou strukturu jednoduchého delta-sigma modulátoru druhého řádu lze vidět na obrázku 3.1.



Obr. 3.1 Bloková struktura delta-sigma modulátoru druhého řádu

Na obrázku 3.2 je znázorněno blokové schéma navrhovaného kvantovacího obvodu. Základem obvodu je komparační část realizována technikou SI. Ta potřebuje ke své činnosti zdroj referenčního proudu a zdroj hodinového signálu pro přepínání jednotlivých fází činnosti obvodu. Získaná data jsou na výstupu digitálně zpracována v dekodéru.



Obr. 3.2: Blokové schéma navrhovaného kvantovacího obvodu

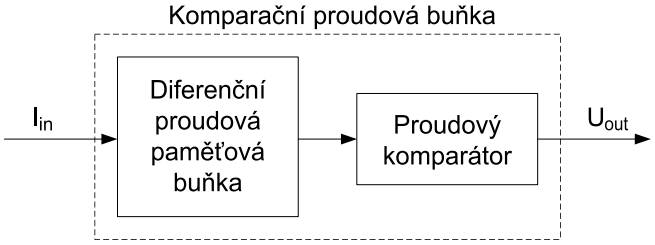
Následuje detailní popis návrhu jednotlivých bloků kvantovacího obvodu.

3.1 Komparační část realizovaná technikou SI

Požadavek vysoké rychlosti směřuje celý návrh k použití paralelního zapojení (*flash A/D converter*). Základním blokem převodníku je v tomto případě komparační proudová buňka.

3.1.1 Komparační proudová buňka

Pro použití proudové paměťové buňky v převodníku A/D bylo nutné provést v její konstrukci změny a doplnit ji, aby byla schopna nejen uchovat hodnotu vstupního proudu, ale i porovnat tuto hodnotu s proudem referenčním. Na základě tohoto porovnání je stanoveno, zda byla překročena požadovaná komparační úroveň. Komparační část pěti-úrovňového kvantovacího obvodu obsahuje celkem čtyři komparačních proudové buňky (Obr. 3.3).



Obr. 3.3: Komparační proudová buňka

Komparační proudová buňka se skládá z diferenční proudové paměťové buňky a proudového komparátoru. V diferenční proudové paměťové buňce dojde v první fázi k zapamatování hodnoty vstupního proudu, ve druhé fázi potom k odečtení referenčního proudu od proudu zapamatovaného. To znamená, že na výstupu diferenční proudové paměťové buňky dojde ke změně orientace proudu v závislosti na velikosti vstupního proudu I_{in}. Proudový komparátor následně vyhodnotí směr proudu na svém vstupu a zareaguje nastavením patřičné logické napěťové úrovně na svém výstupu.

3.1.2 Diferenční proudová paměťová buňka

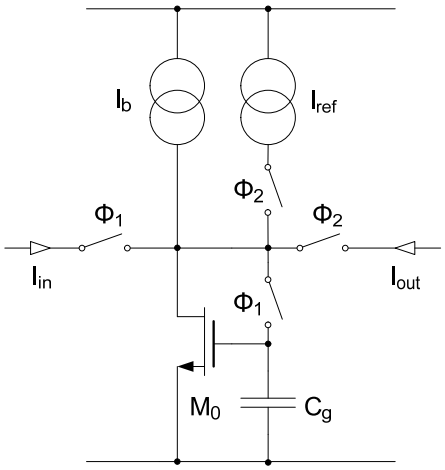
Základem diferenční proudové paměťové buňky je proudová paměťová buňka druhé generace, která byla pozměněna dle obrázku 3.4. Vzniklo tak zapojení, které kombinuje funkci sample-and-hold a zároveň plní funkci odečtení hodnoty referenčního proudu od proudu zapamatovaného. Princip činnosti takto upravené proudové buňky je následující:

Pracovní bod paměťového tranzistoru M_0 je nastaven proudovým zdrojem I_b. V první fázi (Φ_1) protéká přes paměťový tranzistor, kromě proudu I_b, ještě vstupní proud I_{in}, což způsobí změnu napětí V_{GS} na hradle tranzistoru. Toto napětí je „zapamatováno“ a ve druhé fázi (Φ_2) zajistí dle rovnice 1.1 tok konstantního proudu přes tranzistor. Ve druhé fázi (Φ_2) dojde k odpojení vstupního proudu a paměťový tranzistor je připojen

k výstupu. V této fázi je také připojen zdroj referenčního proudu I_{ref}, jehož proud je odečten od hodnoty proudu zapamatovaného v paměťovém tranzistoru. Pokud vstupní proud I_{in} odpovídá proudu I_{ref}, celkový proud protékající ve druhé fázi přes paměťový tranzistor je odebírán ze zdroje referenčního proudu a výstupní proud je tedy roven nule. Dojde-li ke zvýšení vstupního proudu, bude v první fázi „zapamatována“ vyšší hodnota proudu v paměťovém tranzistoru. Ve druhé fázi pak nestačí referenční zdroj proudu I_{ref} dodat dostatečně velký proud odpovídající proudu zapamatovanému a proto je zbývající proud doplněn proudem výstupním (I_{out}). Z popisu vyplývá, že buňka realizuje funkci

$$I_{out}(\Phi_2) = I_{in}(\Phi_1) - I_{ref} \tag{3.1}$$

Pokud tedy překročí vstupní proud hodnotu referenčního, je tento stav zachycen změnou orientace proudu na výstupu diferenční proudové paměťové buňky.

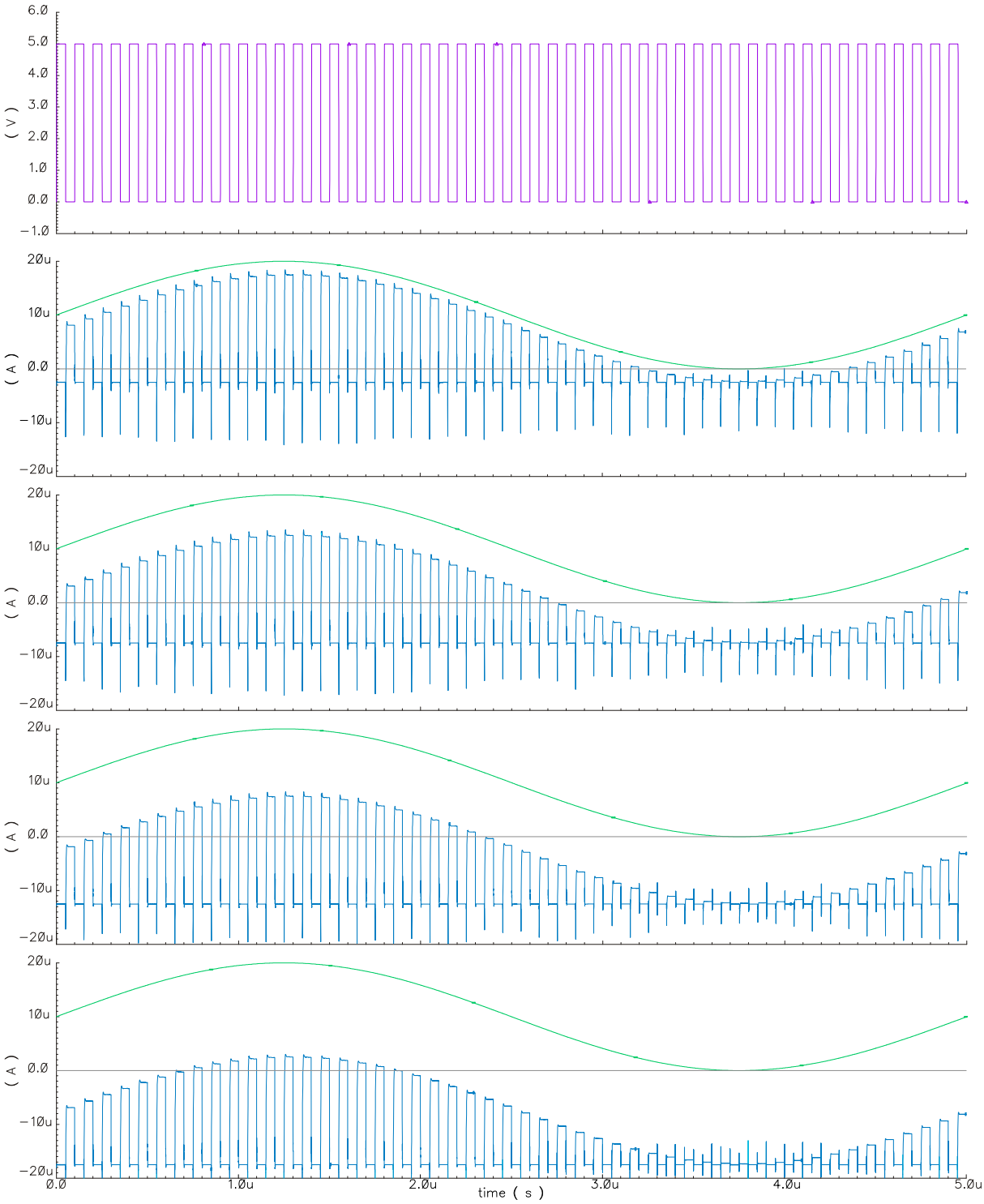


Obr. 3.4: Diferenční proudová paměťová buňka

Reálné zapojení simulované v prostředí CADENCE se nachází v příloze č.1. Paměťový tranzistor M_0 je pro zvýšení dynamického výstupního odporu v zapojení s regulovanou kaskodou a pracuje v oblasti silné inverze. Spínací tranzistory jsou navrženy s nejmenším možný rozměrem pro daný technologický proces, čímž je minimalizován vliv pronikání hodinového signálu a chyba injekce náboje. Velký vliv na zlepšení přesnosti zapojení má přidání „dummy“ spínače (M_7, M_8) ke spínacím tranzistorům (M_3, M_4), které připojují hradlo paměťového tranzistoru M_0.

Pro realizaci pěti-úrovňového kvantovacího obvodu byly stanoveny následující kvantovací úrovně: 5 μA, 10 μA, 15 μA a 20 μA. Jelikož se jedná o převodník A/D, kvantovací úroveň 5 μA je dle převodní charakteristiky charakterizována vstupním proudem od 2,5 μA do 7,5 μA, kvantovací úroveň 10 μA je charakterizována vstupním proudem od 7,5 μA do 12,5 μA atd. Z výše uvedeného tedy vyplývá, že ve čtyřech diferenčních proudových paměťových buňkách pro celý kvantovací obvod budou

od navzorkované hodnoty odečítány následující hodnoty proudu I_{ref} dle vztahu 3.1: 2,5 µA v první, 7,5 µA ve druhé, 12,5 µA ve třetí a 17,5 µA ve čtvrté diferenční proudové paměťové buňce. Simulace pro tento případ je zachycena na obrázku 3.5.

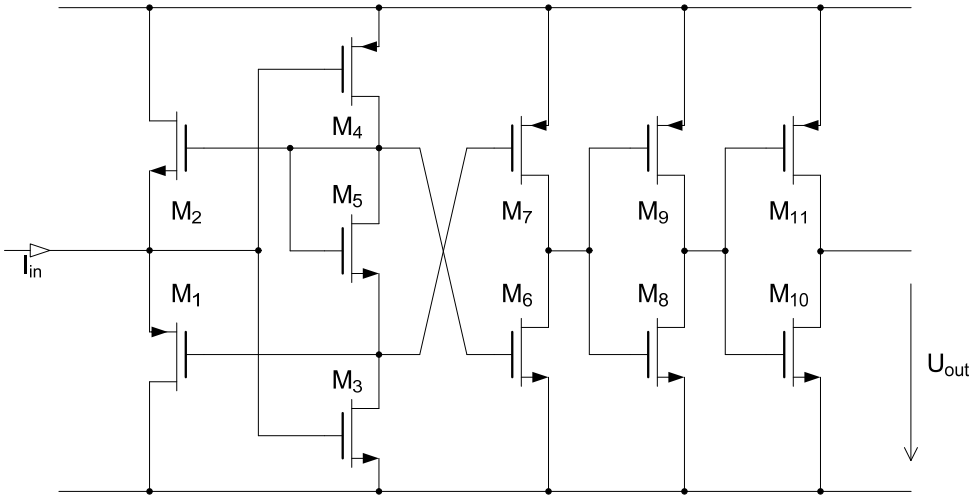


Obr. 3.5: Simulace činnosti diferenčních proudových paměťových buněk: zelená – vstupní proud, modrá – výstupní proud, fialová – průběh hodinového signálu

První graf zobrazuje průběh hodinového signálu v analogové části obvodu (fialová). Následují průběhy pro každou ze čtyř diferenčních proudových paměťových buněk. Zelenou barvou je vyznačen průběh vstupního proudu, který je shodný pro všechny buňky (vstup celého kvantovacího obvodu). V tomto případě se jedná se o harmonický signál s amplitudou 10 μA a kmitočtem 200 kHz. Modrou barvou je pak vykreslen průběh výstupního proudu. Hodnoty výstupních proudů, které překročily šedou dělící čáru v každém grafu budou vyhodnoceny proudovým komparátorem jako dosažení požadované komparační úrovně. Bylo zapotřebí navrhnout proudový komparátor, který rozhodne o směru proudu na svém vstupu, podle kterého nastaví patřičnou logickou úroveň na svém výstupu. Získáme tak digitální informaci o hodnotě vstupního proudu, a to v teploměrovém kódu. Tuto informaci lze dále libovolně digitálně zpracovávat a převést ji na binární kód.

3.1.3 Proudový komparátor

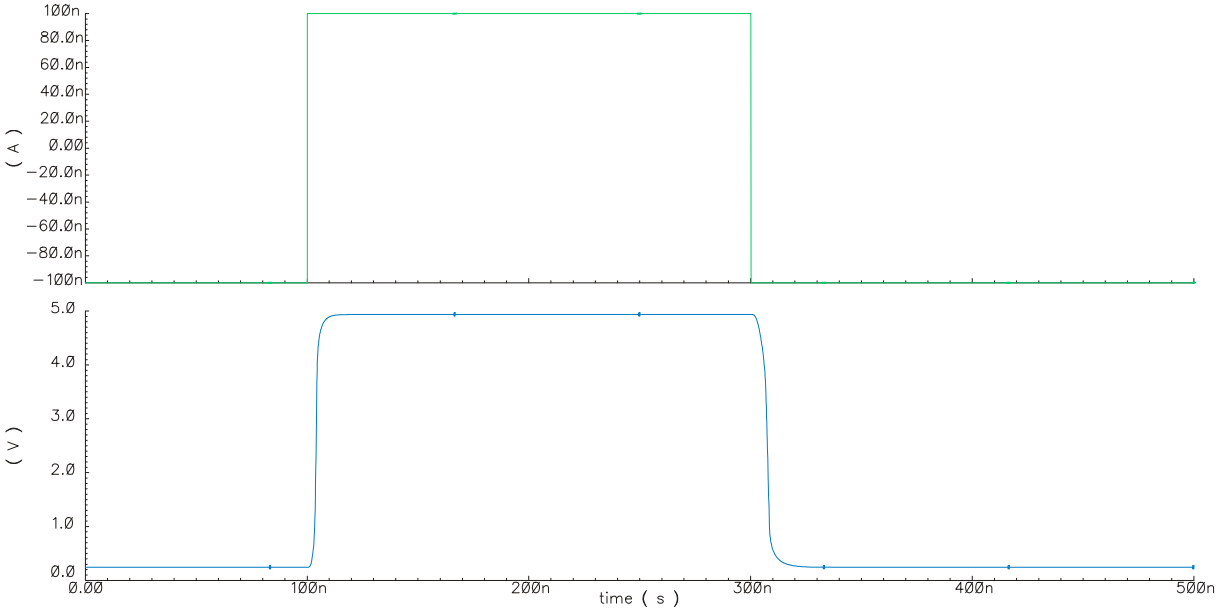
Dále je zapotřebí navrhnout proudový komparátor, který vyhodnocuje směr proudu na svém vstupu v závislosti na něm nastaví patřičnou logickou napěťovou úroveň na svém výstupu. Pro tento účel lze použít „Traffův“ proudový komparátor (Obr. 1.9). Jeho nevýhodou je však pomalá odezva při nízkých hodnotách vstupního proudu (řádově stovky nA). Z tohoto důvodu bylo použito vylepšené zapojení tohoto komparátoru (Obr. 3.6), které odstraňuje nevýhodu základního zapojení [10], [12].



Obr. 3.6: Vylepšené zapojení „Traffova“ proudového komparátoru

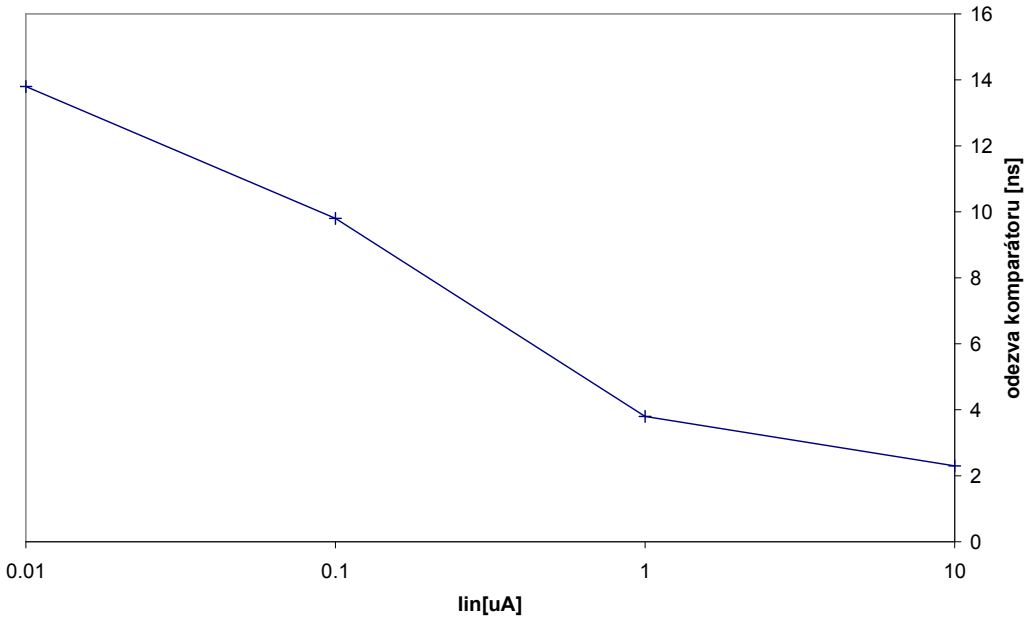
Hlavním rozdílem oproti původnímu zapojení je přítomnost tranzistoru M_5. Ten má za úkol zajistit trvalý rozdíl napětí na hradlech tranzistorů M_6 a M_7, což přináší zlepšení odezvy zapojení. Invertory na výstupu, které sestávají z tranzistorů M_8 – M_{10} zajistí zvýšení zisku výstupního napětí.

Kompletní simulované zapojení se nachází v příloze č.2. Pro uvedené zapojení byla provedena simulace (Obr. 3.7), při které byl na vstup komparátoru přiveden obdélníkový impuls (zelená) o velikosti ± 100 nA. Sledován byl průběh výstupního napětí komparátoru (modrá). Odezva výstupu v tomto případě nepřesáhla hodnotu 10 ns.



Obr. 3.7: Simulace odezvy proudového komparátoru: zelená – vstupní proud, modrá – výstupní napětí

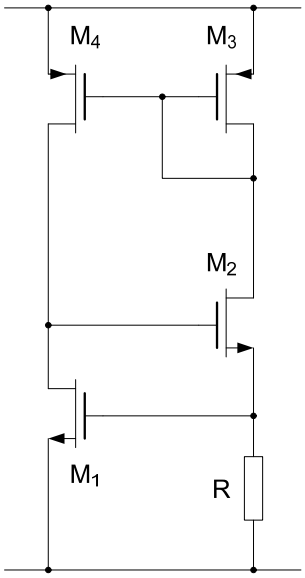
Dále byla provedena simulace závislosti odezvy komparátoru na velikosti vstupního proudu. Komparátor je schopen velmi rychle reagovat i při velmi nízkých vstupních proudech řádově v desítkách nA (Obr. 3.8).



Obr. 3.8: Závislost odezvy výstupního napětí komparátoru na velikosti vstupního proudu

3.2 Proudová reference

Ke správné činnosti kvantovacího obvodu je zapotřebí navrhnout přesný zdroj referenčního proudu. Proudová reference by ideálně neměla být závislá na změně napájecího napětí ani na teplotě.

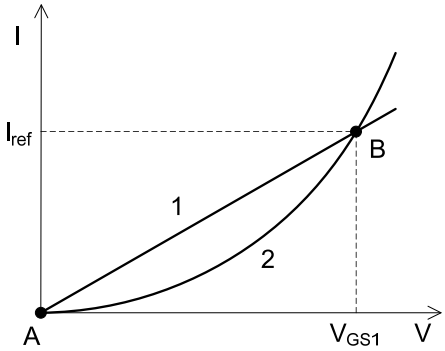


Obr. 3.9: Jednoduchá proudová reference v technologii CMOS

Návrh byl zaměřen na vytvoření proudové reference v technologii CMOS (Obr. 3.9), [2]. Jedná se o referenční zdroj řízený prahovým napětím tranzistoru – tzv. „bootstrap“. Proudové zrcadlo tvořené tranzistory M_3 a M_4 zajistí, že poteče oběma větvemi stejný proud. Hodnota tohoto proudu je dána polohou bodu B v obrázku 3.10. Jedná se o průsečík průběhu napětí na rezistoru R (průběh č. 1) a průběhu napětí V_{GS} tranzistoru M_1 (průběh č. 2). Platí tedy následující rovnice

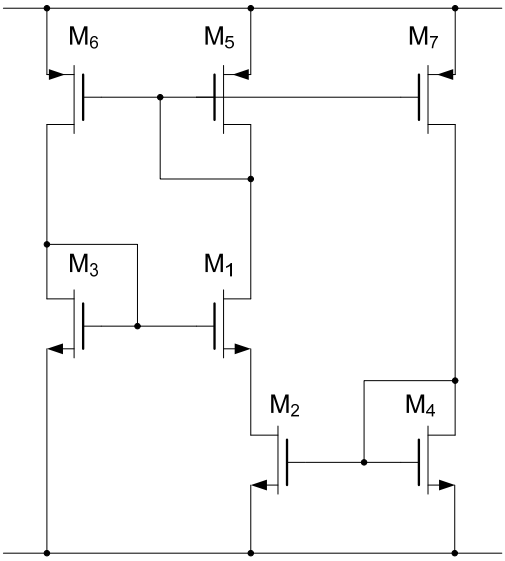
$$V_{GS1} = R.I_{ref} \tag{3.2}$$

$$V_{GS1} = V_T + \sqrt{\frac{2.I_{ref}.L}{\mu.C_{OX}.W}} \tag{3.3}$$



Obr. 3.10: Princip činnosti jednoduché proudové reference v technologii CMOS

Křivky se však protínají také v počátku, tedy v bodě A, kterému přísluší nulový proud. Tomuto bodu je nutné se vyhnout použitím startovacího obvodu.



Obr. 3.11: Upravené zapojení proudové reference v technologii CMOS

Zmíněné zapojení má však nevýhodu, která spočívá v přítomnosti rezistoru. Ty jsou v technologickém procesu výroby čipu velmi nepřesnou záležitostí, když jejich reálná hodnota se může od požadované lišit až v rozmezí ± 20 %. Cílem je nahradit zmíněný rezistor tranzistorem NMOS, který pracuje v lineární oblasti. To však u zapojení na obrázku 3.9 nelze provést, protože napětí na rezistoru je příliš vysoké a po nahrazení tranzistorem by se pracovní bod nacházel automaticky v oblasti saturace a reference by přestala pracovat. Proto bylo zapojení upraveno dle obrázku 3.11, [5], [6]. Všemi větvemi teče opět stejný proud, což je zajištěno proudovým zrcadlem M_5, M_6 a M_7. Při zvýšení napájecího napětí má proud tendenci vzrůst, což má za následek zvětšení úbytku napětí na tranzistoru M_2, který nahrazuje rezistor a pracuje tudíž v lineární oblasti. Díky tomu dojde ke snížení napětí V_{GS1}, k přivření tranzistoru M_1 a k následné stabilizaci proudu. Pro toto zapojení lze psát rovnice

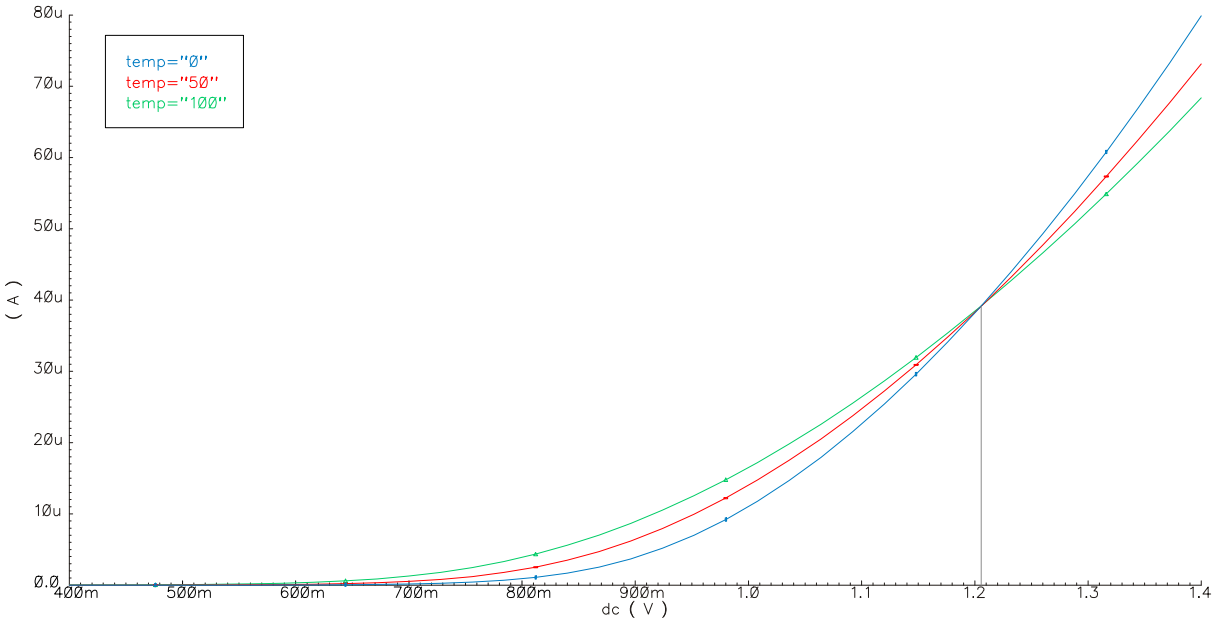
$$V_{GS3} = V_{GS1} + V_{DS2} \tag{3.4}$$

$$V_{GS3} = V_T + \sqrt{\frac{2.I_{ref}.L_3}{\mu.C_{OX}.W_3}} \tag{3.5}$$

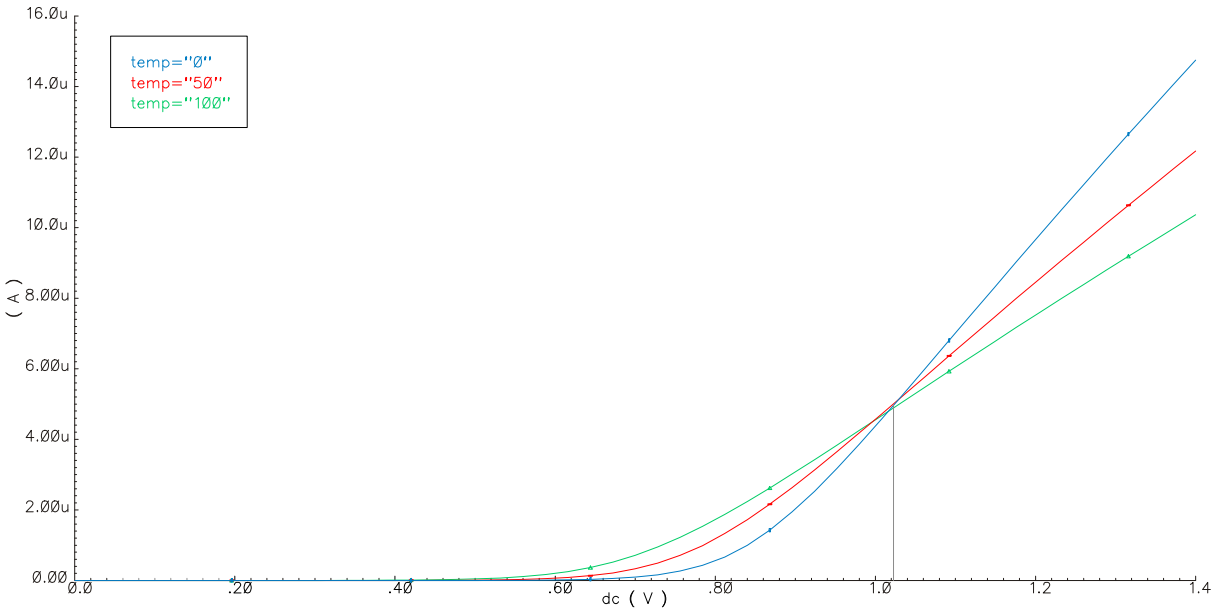
$$V_{GS1} = V_T + \sqrt{\frac{2.I_{ref}.L_1}{\mu.C_{OX}.W_1}} \qquad \text{přitom } V_{GS1} < V_{GS3} \tag{3.6}$$

$$I_{ref} = \mu.C_{OX}\frac{W_2}{L_2}\left[(V_{GS2} - V_T)V_{DS2} - \frac{V_{DS2}^{\ 2}}{2}\right] \qquad \text{pro } V_{DS2} < (V_{GS2} - V_T) \tag{3.7}$$

Upravené zapojení má i tu výhodu, že je možno kompenzovat teplotní závislost výstupního proudu. MOS tranzistor má ve své převodní charakteristice bod, který je nezávislý na teplotě (Obr. 3.12). V tomto případě pracuje tranzistor v oblasti saturace a hodnota napětí V_{GS}, při které je výstupní proud teplotně nezávislý se pohybuje okolo 1,2 V. Porovnáme-li tuto charakteristiku s tranzistorem pracujícím v lineární oblasti (Obr. 3.13), je zřejmé, že došlo ke snížení tohoto napětí, a to téměř na hodnotu 1 V.

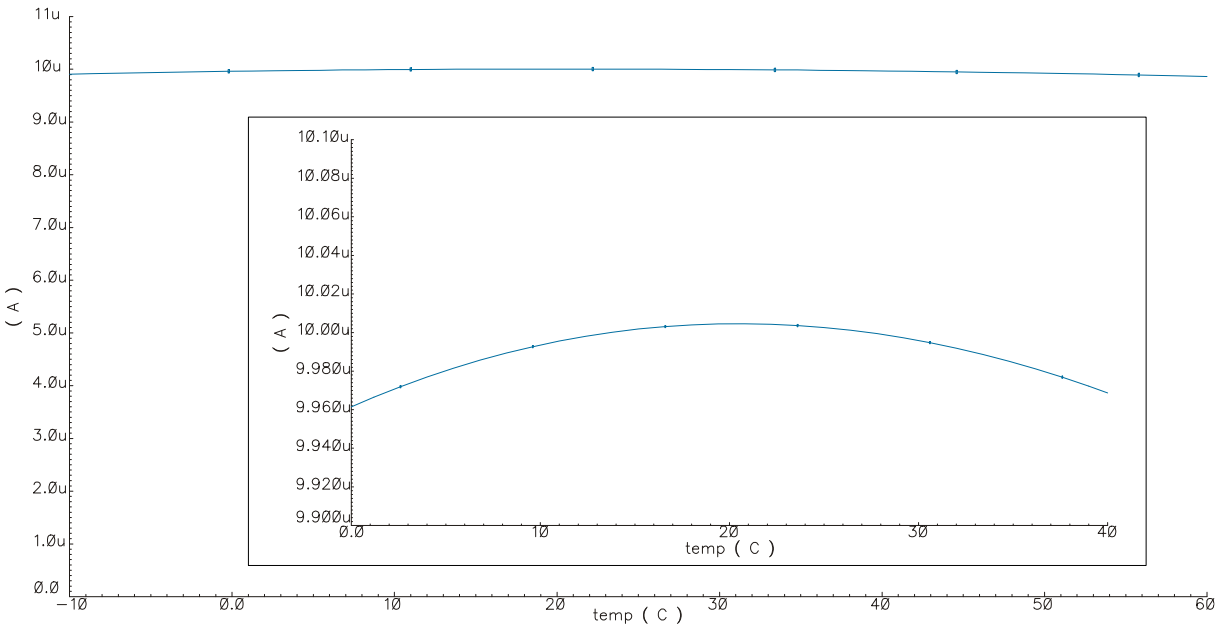


Obr. 3.12: Převodní charakteristika MOS tranzistoru, který pracuje v oblasti saturace



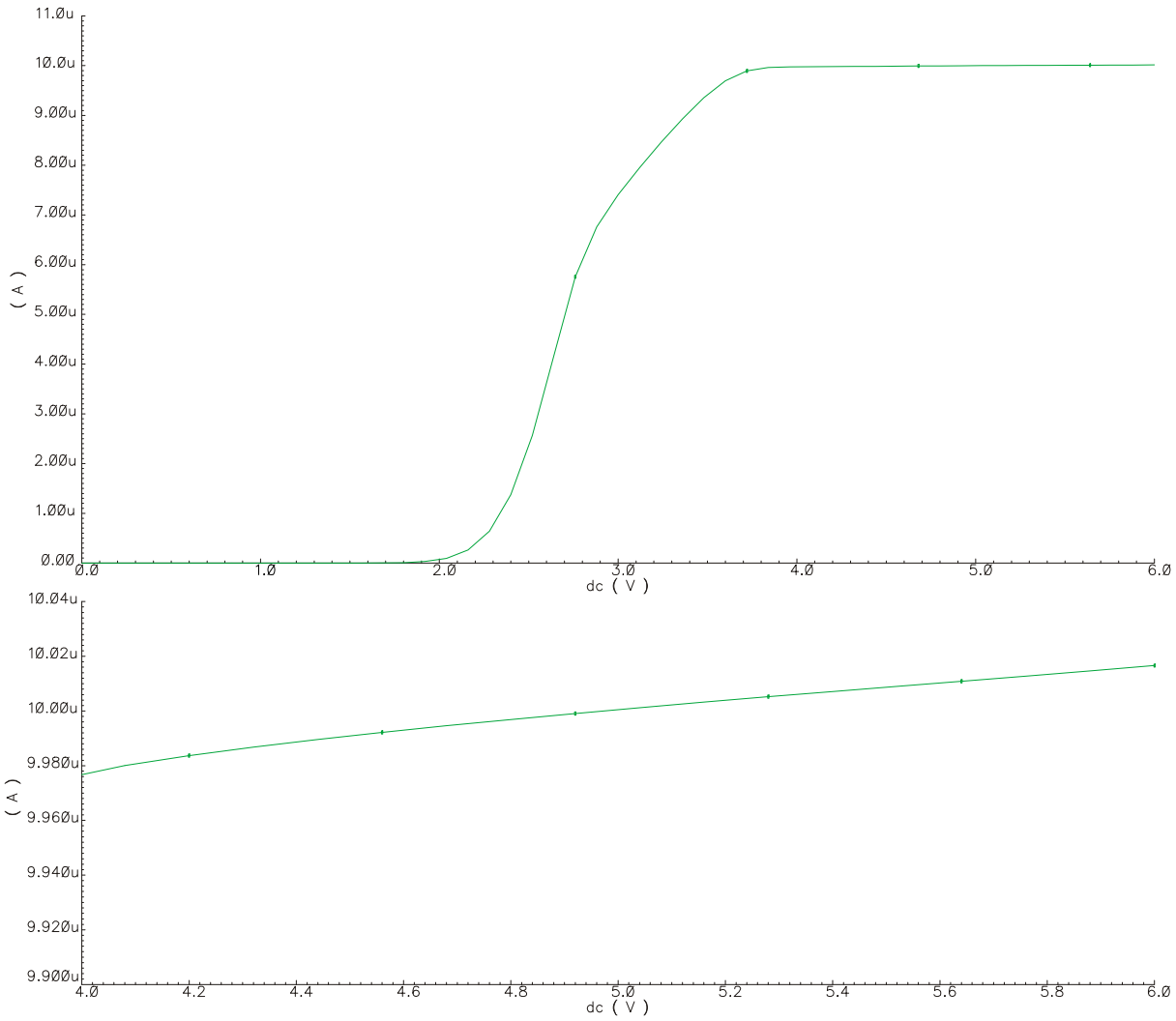
Obr. 3.13: Převodní charakteristika MOS tranzistoru, který pracuje v lineární oblasti

Z výše uvedených informací lze zajistit stabilitu proudové reference podle obrázku 3.11 následovně: Tranzistor M_4 pracuje v saturaci a udržuje na hradle tranzistoru M_2 teplotně nezávislé napětí 1,2 V. Tranzistor M_2 naopak pracuje v lineární oblasti, což při zmíněném napětí na jeho hradle způsobí teplotní závislost jeho výstupního proudu, a to se záporným teplotním součinitelem. Umístíme-li pracovní bod tranzistoru M_1, který pracuje v saturaci tak, aby bylo napětí na jeho hradle menší, než 1,2 V, bude jeho výstupní proud také teplotně závislý, a to s kladným teplotním součinitelem. Dojde tak k teplotní stabilizaci zapojení.



Obr. 3.14: Závislost výstupního proudu simulované proudové reference na teplotě

V příloze č.3 se nachází kompletní schéma simulovaného zapojení, které využívá popsaného principu stabilizace. Zapojení je doplněno i o startovací obvod. Výsledkem simulace je charakteristika na obrázku 3.14 zobrazující závislost výstupního proudu reference na teplotě. Na obrázku 3.15 je pak uvedena závislost výstupního proudu na napájecím napětí proudové reference.



Obr. 3.15: Závislost výstupního proudu simulované proudové reference na napájecím napětí

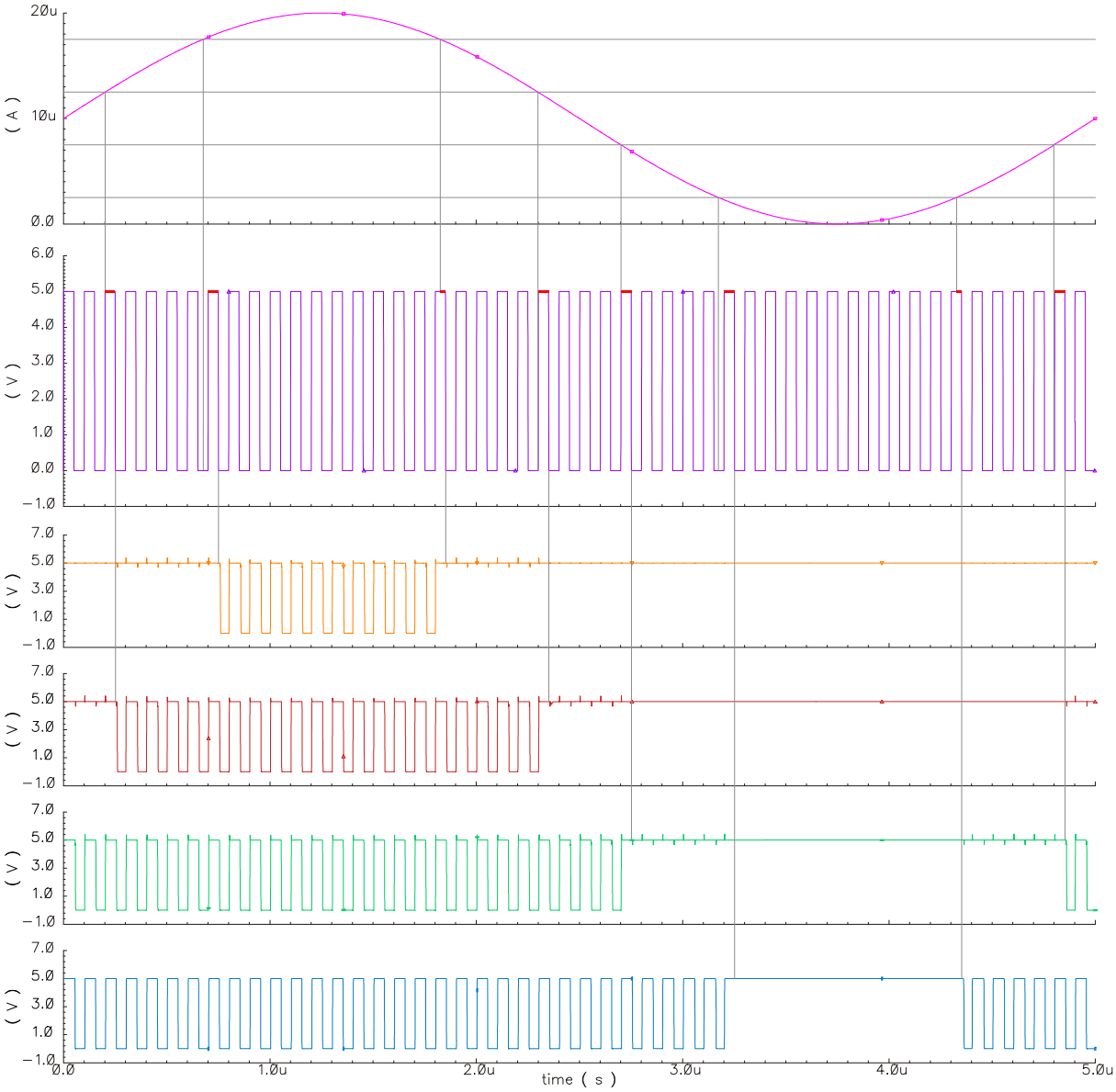
3.3 Zdroj hodinového signálu

Jako zdroj hodinového signálu pro simulaci byl použit obdélníkový signál o periodě 100 ns s dobou náběžné a sestupné hrany 1 ns a střídou 50 %. Pro komparační proudovou buňku byl zapotřebí i invertovaný zdroj hodinového signálu. Jelikož je navrhovaný kvantovací obvod určený pro začlenění do větších integrovaných systémů, časování bude řešeno komplexně pro celý systém. Musí však být dodrženo, aby přímá i invertovaná verze hodinového signálu vůči sobě nebyly časově posunuté. Jedině tak dojde k nejlepšímu potlačení parazitních vlivů techniky spínaných proudů, jako je pronikání hodinového signálu a chyba injekce náboje.

Pro digitální část kvantovacího obvodu byl použit zdroj hodinového signálu, který je oproti výše zmíněnému zpožděn tak, aby došlo k aktualizaci výstupních digitálních hodnot až po ustálení stavů v analogové části obvodu. Pro simulaci bylo použito zpoždění 90 ns oproti původnímu průběhu.

3.4 Simulace analogové části pěti-úrovňového kvantovacího obvodu

Činnost analogové části pěti-úrovňového kvantovacího obvodu, který sestává ze čtyř komparačních proudových buněk, je patrná z provedené simulace (Obr. 3.16). Schéma simulovaného zapojení se nachází v příloze č.4.



Obr. 3.16: Simulace analogové části pěti-úrovňového kvantovacího obvodu: růžová – vstupní proud, fialová – hodinový signál, dále výstupy proudových komparátorů

Jako vstupní průběh kvantovacího obvodu byl použit harmonický signál o amplitudě 10 µA a kmitočtu 200 kHz (růžová). Dále lze pozorovat průběh hodinového signálu analogové části převodníku (fialová). Ke vzorkování vstupního signálu dochází, pokud je tento signál v úrovni log. 1. Červenou barvou je zvýrazněna ta část hodinového signálu, ve které překročí vstupní signál určitou kvantovací úroveň a tudíž musí dojít ke změně logické úrovně na výstupu daného proudového komparátoru. Poslední čtyři průběhy zobrazují digitální

výstupy proudových komparátorů převodníku. Výstupní data jsou platná pouze v čase, kdy se hodinový signál nachází v úrovni log. 0, a to navíc až po ustálení napětí na výstupech proudových komparátorů. Zpoždění, které zavádí proudový komparátor, je závislé na velikosti proudu na jeho vstupu (Obr. 3.8). Tyto podmínky musí být uvažovány při návrhu digitální části obvodu.

3.5 Digitální zpracování

Jelikož je výstupem komparační části paralelního převodníku teploměrový kód (v tomto případě inverzní), je nutné pro získání binárního kódu následného digitálního zpravování. Situaci vystihuje pravdivostní tabulka Tab. 3.1. Výstupy proudových komparátorů jsou označeny *a*, *b*, *c*, a *d*. Výstup celého kvantovacího obvodu je vyjádřen v binárním kódu pomocí tří bitů y_0, y_1 a y_2.

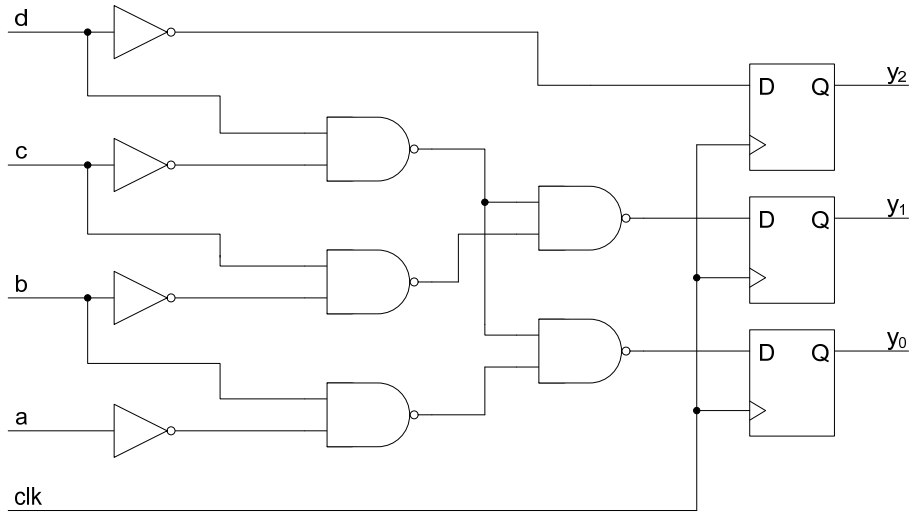
Tab. 3.1 Pravdivostní tabulka pro návrh digitální části převodníku

d	*c*	*b*	*a*	y_2	y_1	y_0
1	1	1	1	0	0	0
1	1	1	0	0	0	1
1	1	0	0	0	1	0
1	0	0	0	0	1	1
0	0	0	0	1	0	0

Z pravdivostní tabulky byly vytvořeny zjednodušené součtové a součinové termy

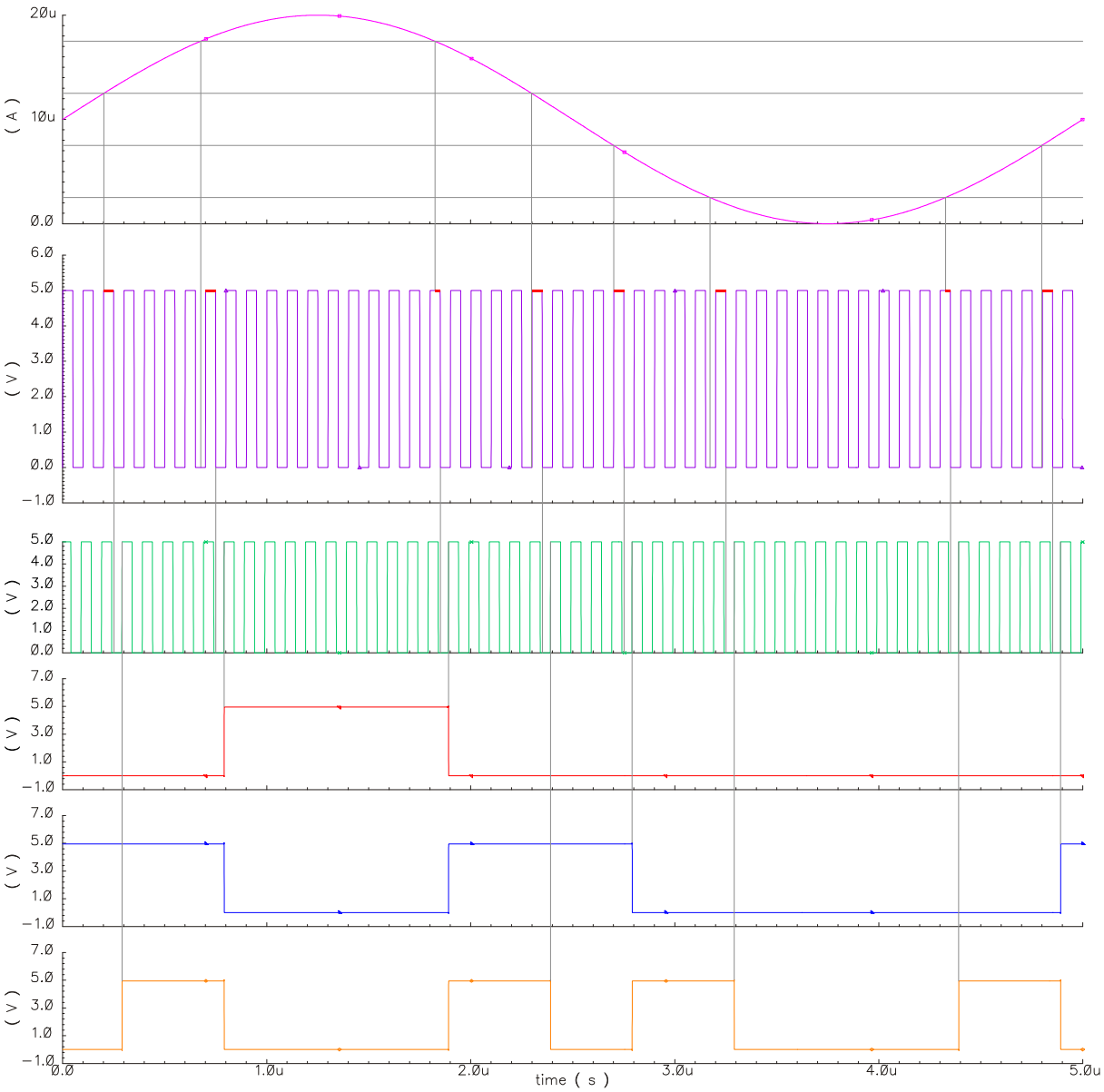
$$\begin{aligned} y_0 &= \overline{a}.b + \overline{c}.d = \overline{\overline{\overline{a}.b} \,.\, \overline{\overline{c}.d}} \\ y_1 &= \overline{b}.c + \overline{c}.d = \overline{\overline{\overline{b}.c} \,.\, \overline{\overline{c}.d}} \\ y_2 &= \overline{d} \end{aligned} \tag{3.8}$$

Podle výše uvedených rovnic bylo navrženo zapojení pro digitální zpracování (Obr. 1.1). Synchronizaci výstupů zajišťují klopné obvody typu D.



Obr. 3.17: Logika pro výsledné digitální zpravoání

Činnost kompletního pěti-úrovňového kvantovacího obvodu včetně digitálního zpracování je patrná z provedené simulace (Obr. 3.18). Kompletní simulované zapojení se nachází v příloze č.4. Jako vstupní průběh byl opět použit harmonický signál o amplitudě 10 μA a kmitočtu 200 kHz (růžová). Dále lze pozorovat průběh hodinového signálu analogové části převodníku (fialová). Ke vzorkování vstupního signálu dochází, pokud je tento signál v úrovni log. 1. Červenou barvou je zvýrazněna ta část hodinového signálu, ve které překročí vstupní signál určitou kvantovací úroveň a tudíž musí dojít ke změně kódu na výstupu převodníku. Zelenou barvou je vyznačen průběh hodinového signálu digitální části kvantovacího obvodu. Při příchodu vzestupné hrany tohoto signálu dojde k aktualizaci stavů na výstupech klopných obvodů typu D. Tento hodinový signál je oproti hodinovému signálu analogové části převodníku zpožděn tak, aby došlo k aktualizaci výstupních digitálních hodnot až po ustálení stavů v analogové části obvodu. Pro simulaci bylo použito zpoždění 90 ns oproti průběhu hodinového signálu v analogové části převodníku. Poslední tři průběhy zobrazují digitální výstup celého kvantovacího obvodu, přičemž červenou barvou je vyznačen průběh MSB a oranžovou barvou průběh LSB.



Obr. 3.18: Simulace kompletního pěti-úrovňového kvantovacího obvodu: růžová – vstupní proud, fialová – hodinový signál analogové části, zelená – hodinový signál digitální části, dále průběhy výstupního digitálního signálu (červená – MSB, oranžová – LSB)

3.6 Parametry kvantovacího obvodu

Zjišťovány byly statické parametry, konkrétně integrální nelinearita (*INL*), diferenciální nelinearita (*DNL*) a maximální rychlost převodníku.

Maximální rychlost je ovlivněna dvěma faktory. První z nich je doba ustálení v analogové části obvodu ve fázi, kdy nedochází ke vzorkování vstupního proudu. Technika SI trpí překmity, které vznikají na náběžné hraně výstupního signálu paměťové buňky (Obr. 3.5), což je způsobeno především pronikáním hodinového signálu a chybou injekce

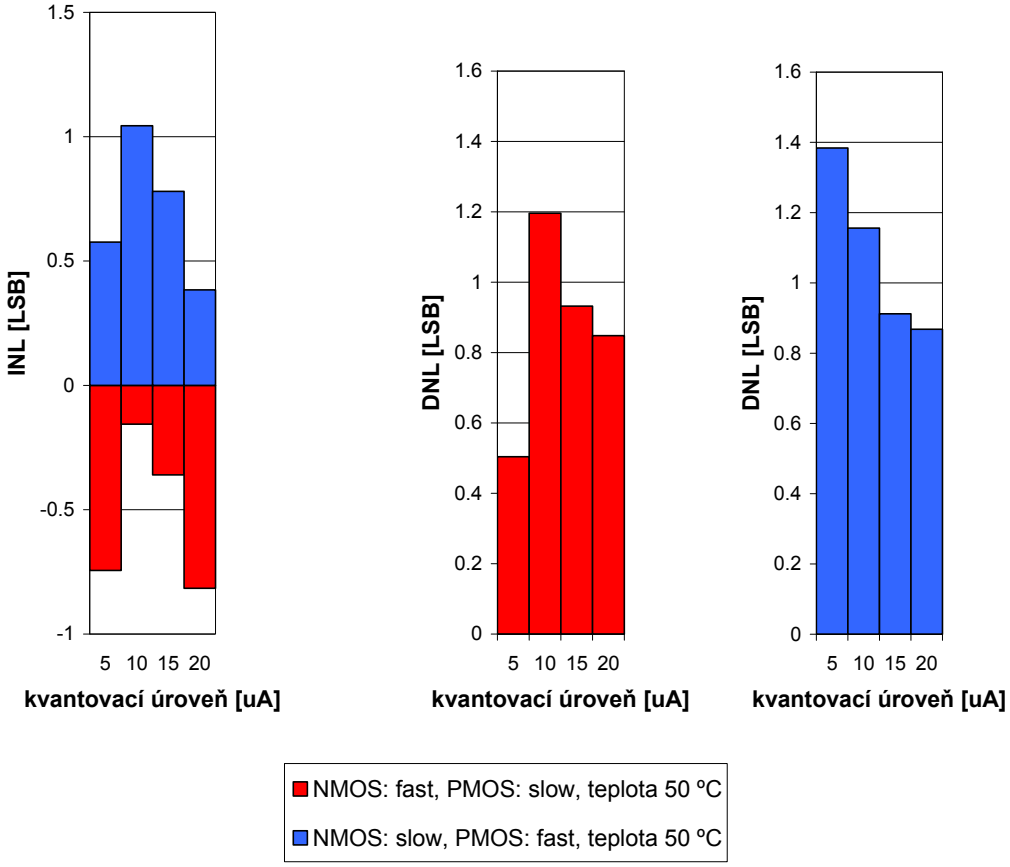
náboje. Chybu lze různými návrhy eliminovat. Spínací tranzistory jsou navrženy s nejmenším možný rozměrem pro daný technologický proces. Dále byl použit „dummy“ spínač, který je umístěn na hradle paměťového tranzistoru. Během simulací bylo také zjištěno, že pokud dojde k umístění pracovního bodu paměťového tranzistor do oblasti silné inverze, dojde k dalšímu snížení této chyby. Doba ustálení byla odečtena ze simulace a pohybuje se okolo hodnoty 10 ns.

Druhým faktorem, který ovlivňuje maximální rychlost převodníku je doba ustálení výstupů proudových komparátorů. Ta závisí na velikosti vstupního proudu. Je-li uvažována chyba maximálně 1 % z rozsahu převodníku, což odpovídá hodnotě 0,25 μA, bude doba ustálení dle obrázku 3.8 přibližně 10 ns.

Pokud jsou sečteny oba zmíněné vlivy, maximální vzorkovací kmitočet převodníku je 25 MHz. Tato hodnota je však limitní. V prováděných analýzách byla použit vzorkovací kmitočet nižší, konkrétně 10 MHz.

V případě nutnosti se však nabízí možnost zdvojnásobit rychlost převodníku, k čemuž by bylo nutné zapojení upravit tak, aby na jeden proudový komparátor připadly dvě diferenční proudové paměťové buňky pracující v opačné fázi hodinového signálu. Plocha analogové části na čipu by se tímto řešením však téměř zdvojnásobila. Při návrhu smíšených integrovaných obvodů má ve většině případů analogová část majoritní rozměry na čipu a digitální část je pouze malý zlomek velikosti analogové části. Toto řešení by tedy bylo nutné zvážit s ohledem na konkrétní aplikaci, do které by byl převodník začleněn.

Dále byly zjišťovány chyby *INL* a *DNL*. Za tímto účelem byla provedena Corner analýza v rozmezí teplot 0 – 50 °C pro všechna procesní okna tranzistorů NMOS i PMOS. Chyby linearity, které nastaly ve dvou limitních stavech jsou zaneseny v grafech na obrázku 3.19. Tyto průběhy byly vytvořeny ze získaných dat dle popisu v kapitole 2.2.1. Chyba zesílení a offsetu je zahrnuta v chybě *INL*, protože u převodníku s takto malým rozlišením lze jen těžko pozorovat určitý trend v převodní charakteristice a přesně přisoudit odchylku konkrétní chybě.



Obr. 3.19: Chyby linearity navrženého kvantovacího obvodu

Všechny parametry kvantovacího obvodu jsou na závěr shrnuty v přehledové tabulce 3.2.

Tab. 3.2 Přehled parametrů navrženého kvantovacího obvodu

parametr	**hodnota**
rozlišení	5 kvantovacích úrovní
maximální rychlost	25 MS/s (50 MS/s) – viz popis
napájecí napětí	5 V
spotřeba	10 mW
vstupní rozsah	0 – 25 µA
INL	± 1 LSB
DNL	1,5 LSB

4 Závěr

Cílem práce byl návrh pěti-úrovňového kvantovacího obvodu pro rychlé zpracování analogového signálu, který je založen na technice spínaných proudů. Bylo zvoleno paralelní zapojení převodníku A/D, které splňuje požadavek vysoké rychlosti. V simulačním prostředí CADENCE byla v technologii AMIS CMOS 0,7 μm navržena struktura komparační proudové buňky, která je v tomto případě základním blokem kvantovacího obvodu. Kompletní převodník skládající se ze čtyř proudových komparačních buněk je doplněn i o část digitální, která zajistí převod do tříbitové binární podoby na výstupu převodníku.

Přestože má technika spínaných proudů potenciál pro využití u vysokorychlostních aplikací, trpí také nepříznivými vlivy, které použití této techniky limitují. Ukázalo se, že dominantním chyba je způsobena pronikáním hodinového signálu a chybou injekce náboje. V tomto případě se však podařilo tyto nepříznivé vlivy velmi dobře eliminovat. Bylo dosaženo rychlosti převodu 25 MS/s, přičemž limit použitého technologického procesu je uveden 60 MHz. V případě nutnosti se však nabízí možnost dosažení dvojnásobné rychlosti převodu (50 MS/s), k čemuž by bylo nutné zapojení komparační proudové buňky upravit tak, aby na jeden proudový komparátor připadly dvě diferenční proudové paměťové buňky pracující v opačné fázi hodinového signálu. Plocha analogové části na čipu by se tímto řešením však téměř zdvojnásobila. Při návrhu smíšených integrovaných obvodů má ve většině případů analogová část majoritní rozměry na čipu a digitální část je pouze malý zlomek velikosti analogové části. Toto řešení by tedy bylo nutné zvážit s ohledem na konkrétní aplikaci, do které by byl převodník začleněn. Co se týče linearity navrženého kvantovacího obvodu, bylo dosaženo také velmi povzbudivých hodnot, konkrétně $INL = \pm 1$ LSB a $DNL = 1{,}5$ LSB.

Výsledky této práce naznačují, že má technika spínaných proudů potenciál pro využití v převodnících A/D. Pokud by byl použit technologický proces dovolující nižší rozměry tranzistoru MOS, došlo by ke snížení vlivu pronikání hodinového signálu a chyby injekce náboje v analogové části zapojení. Díky tomu by bylo možné dále zvýšit vzorkovací kmitočet kvantovacího obvodu.

Seznam použité literatury

[1] TAN, N., *Switched-current design and implementation of oversampling A/D converters*. Norwell: Kluwer Academic Publishers, 1997, 231 pages, ISBN 0-7923-9963-3.

[2] ALLEN, P., E., HOLBERG, D., R., *CMOS analog circuit design, second edition*. Oxford University Press, New York 2002, ISBN 0-19-511644-5.

[3] LO, M., KI, W., MOW, W., *A 20MHz Switched-Current Sample-and-Hold Circuit for Current Mode Analog Iterative Decoders*. IEEE, 2009, ISBN: 978-9-8108-2468-6, http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5403889

[4] ROBERTS, G., *CMOS Components & Building Blocks*. McGill University, http://www.ece.mcgill.ca/~grober4/ROBERTS/COURSES/AnalogICCourse/IC_Components_Ccts_HTML

[5] HIROSE, T., TETSUYA, A., YOSHIHITO, A., *Temperature-compensated CMOS current referencecircuit for ultralow-power subtreshold LSIs*. Electronic Express, vol.5, p. 204-210, 2008.

[6] OGUEY, H., AEBISCHER, D., *CMOS Current Reference without Resistance*. IEEE Journal of Solid-State Circuits, vol. 32, p. 351-358, July 1997.

[7] HÁZE, J., VRBA, R., FUJCIK, L., SAJDL, O., *Teorie vzájemného převodu analogového a číslicového signálu*. Brno: Vysoké učené technické v Brně, 2006.

[8] KESTER, W., *The Data Conversion Handbook*. Newnes, 2005, 976 pages, ISBN: 0-7506-7841-0.

[9] RAVEZZI, L., STOPPA, D., BETTA, G., *Simple high-speed CMOS current comparator*. Electronic Letters, Vol. 33, October 1997.

[10] ZIABAKHSH, S., HOSEIN R., ALIREZA, S., SHAHRIAR, S., *An Ultra High Speed Low-Power CMOS Integrated Current Comparator*. Design and Test Workshop, p. 159-164, Dec. 2008, ISBN: 978-1-4244-3479-4.

[11] RODRIGUEZ, A., DOMINGUEZ,R., MEDEIRO, F., DELGADO, M., *High Resolution CMOS Current Comparators: Design and Applications to Current-Mode Function Generation*. Analog Integrated Circuits and Signal Processing, Vol. 7, p. 149-165, March 1995.

[12] HONGCHIN, L., HUANG J., WON, S., *A simple high-speed low current comparator*. IEEE International Symposium on Circuits and Systems, 2000, http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=856428

[13] HORSKÝ, P., *Design of analog ICs*. Brno: Vysoké učené technické v Brně, 2008.

[14] WALTARI, M., HALONEN, K., *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*. Springer, 2002, 265 pages, ISBN: 1-4020-7244-9.

Seznam zkratek a symbolů

A/D analogově – digitální

ADC analog to digital converter – převodník A/D

CMC current memory cell – proudová paměťová buňka

DAC digital to analog converter – převodník D/A

LSB nejméně významný bit

MOS metal oxide semiconductor – tranzistor řízený elektrickým polem

MSB nejvýznamnější bit

SC technika spínaných kapacitorů

S/H sample and hold – vzorkovač s analogovou pamětí

SI technika spínaných proudů

C_{GS} kapacita hradla tranzistoru MOS

C_{OX} měrná kapacita hradla na čtverec

DNL diferenciální nelinearita

ENOB *effective number of bits* – efektivní počet bitů

g_m transkonduktance tranzistoru MOS

I_b proud nastavující pracovní bod tranzistoru MOS

I_D proud tekoucí tranzistorem MOS

I_{in} vstupní proud

I_{out} výstupní proud

I_{ref} referenční proud

INL integrální nelinearita

L délka kanálu tranzistoru MOS

Q_{CFT} velikost náboje přemisťovaného vlivem pronikání hodinového signálu

SINAD *(SNDR) signal to noise ratio and distortion* – odstup signál-šum a zkreslení

SNR	signal to noise ratio – odstup signál-šum
V_{H}	napětí logické úrovně 1
V_{L}	napětí logické úrovně 0
V_{GS}	napětí mezi hradlem a elektrodou S tranzistoru MOS
V_{T}	prahové napětí tranzistoru MOS
V_{DS}	napětí mezi elektrodami D a S tranzistoru MOS
W	šířka kanálu tranzistoru MOS
μ	pohyblivost nosičů náboje

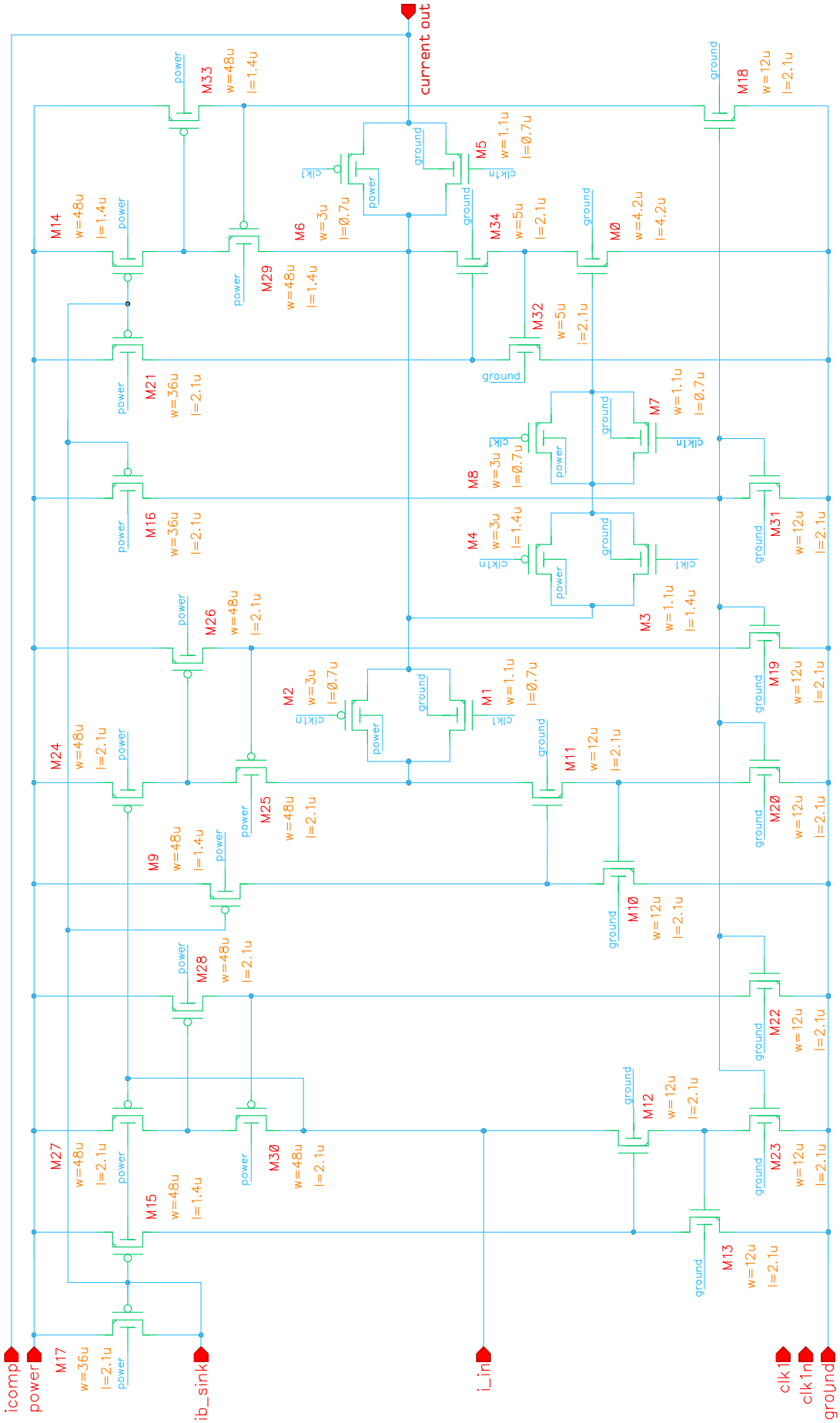
Seznam příloh

Příloha 1: Diferenční proudová paměťová buňka – CADENCE

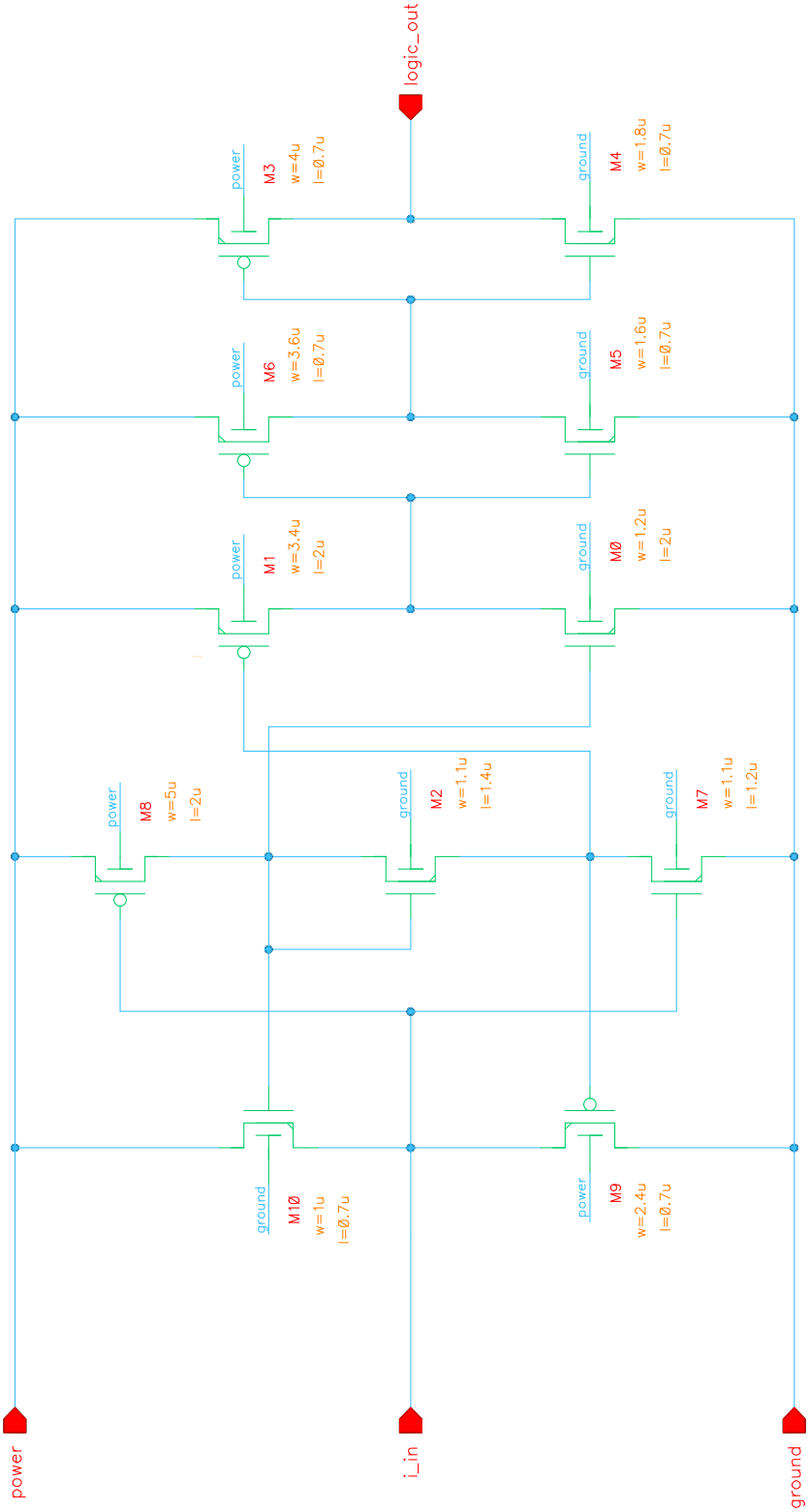
Příloha 2: Proudový komparátor – CADENCE

Příloha 3: Proudová reference – CADENCE

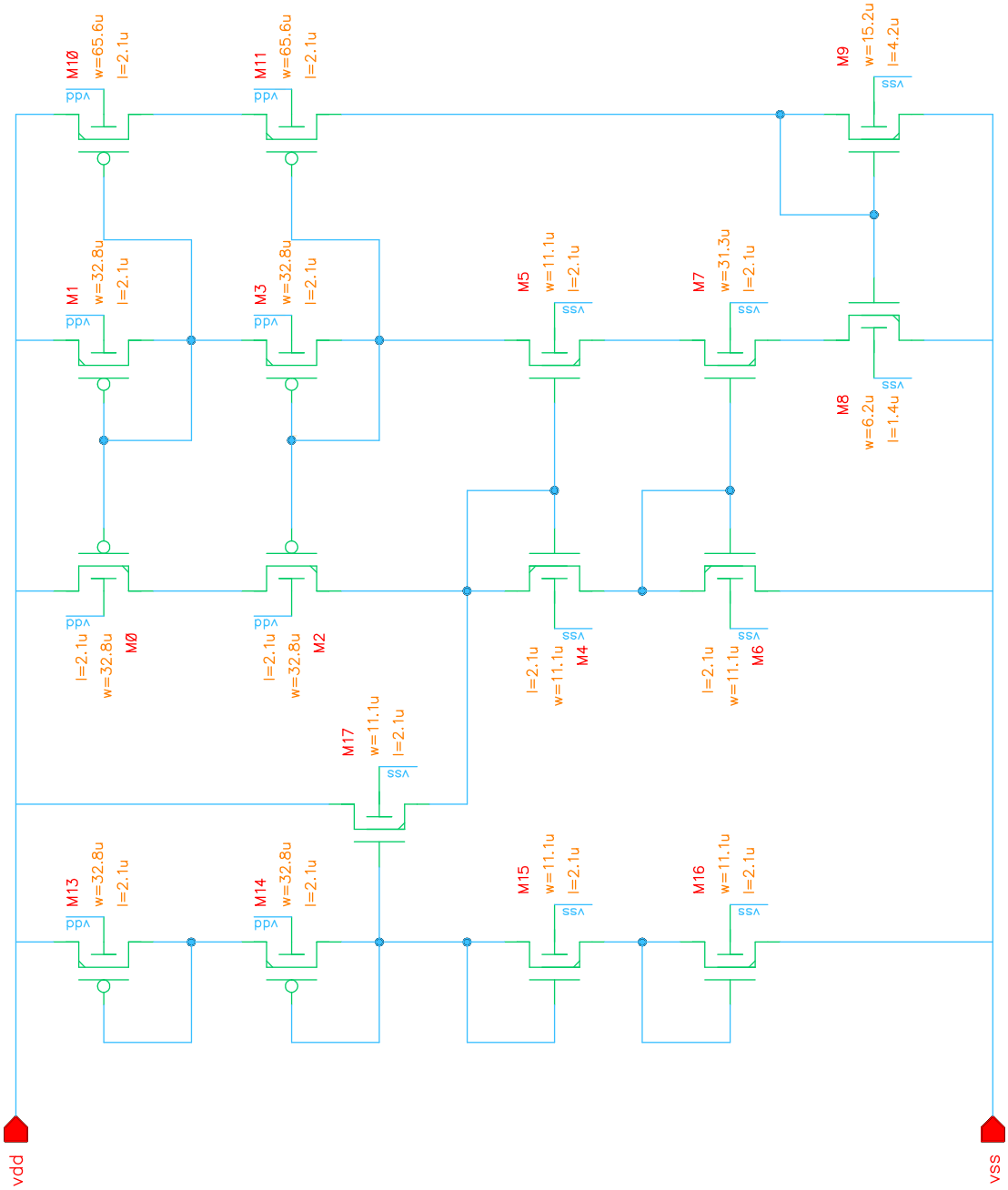
Příloha 4: Kompletní zapojení pěti-úrovňového kvantovacího obvodu – CADENCE



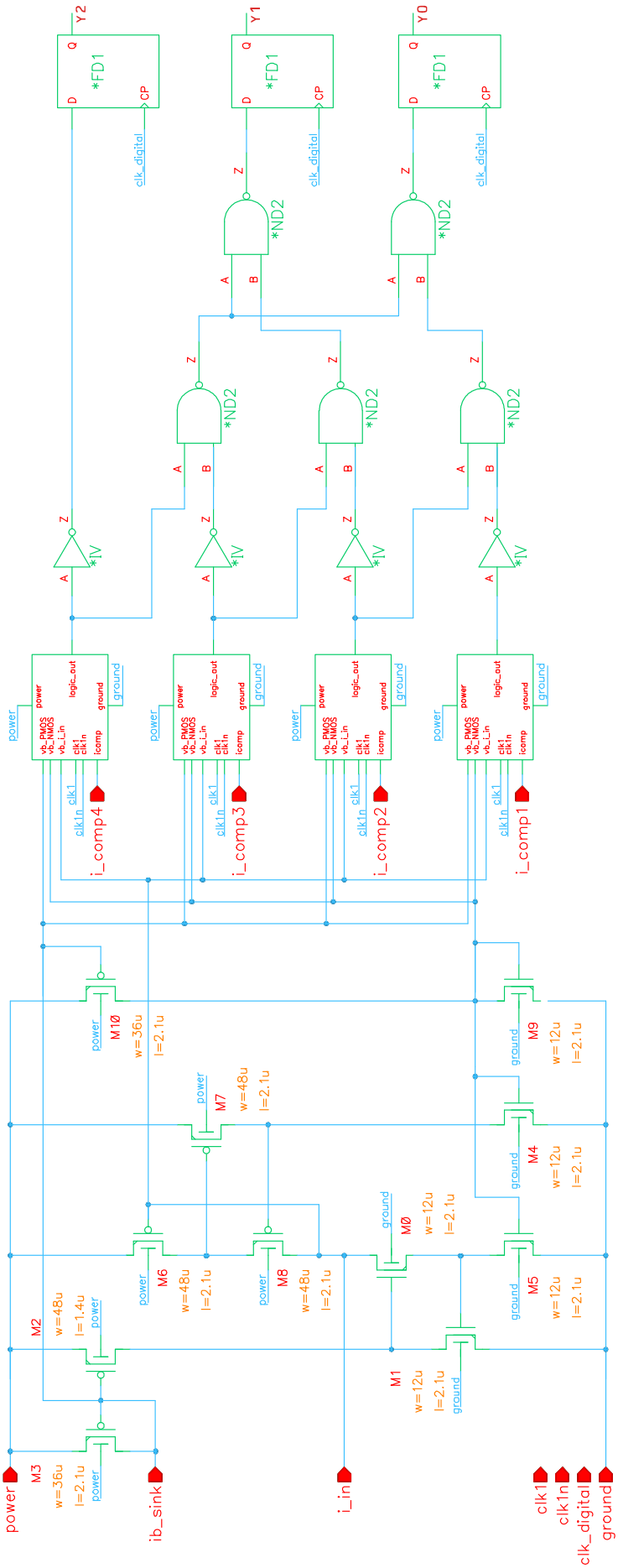
Příloha 1: Diferenční proudová paměťová buňka – CADENCE



Příloha 2: Proudový komparátor – CADENCE



Příloha 3: Proudová reference – CADENCE



Příloha 4: Kompletní zapojení pěti-úrovňového kvantovacího obvodu – CADENCE